

**Prof. Jürgen Becker**

becker@kit.edu

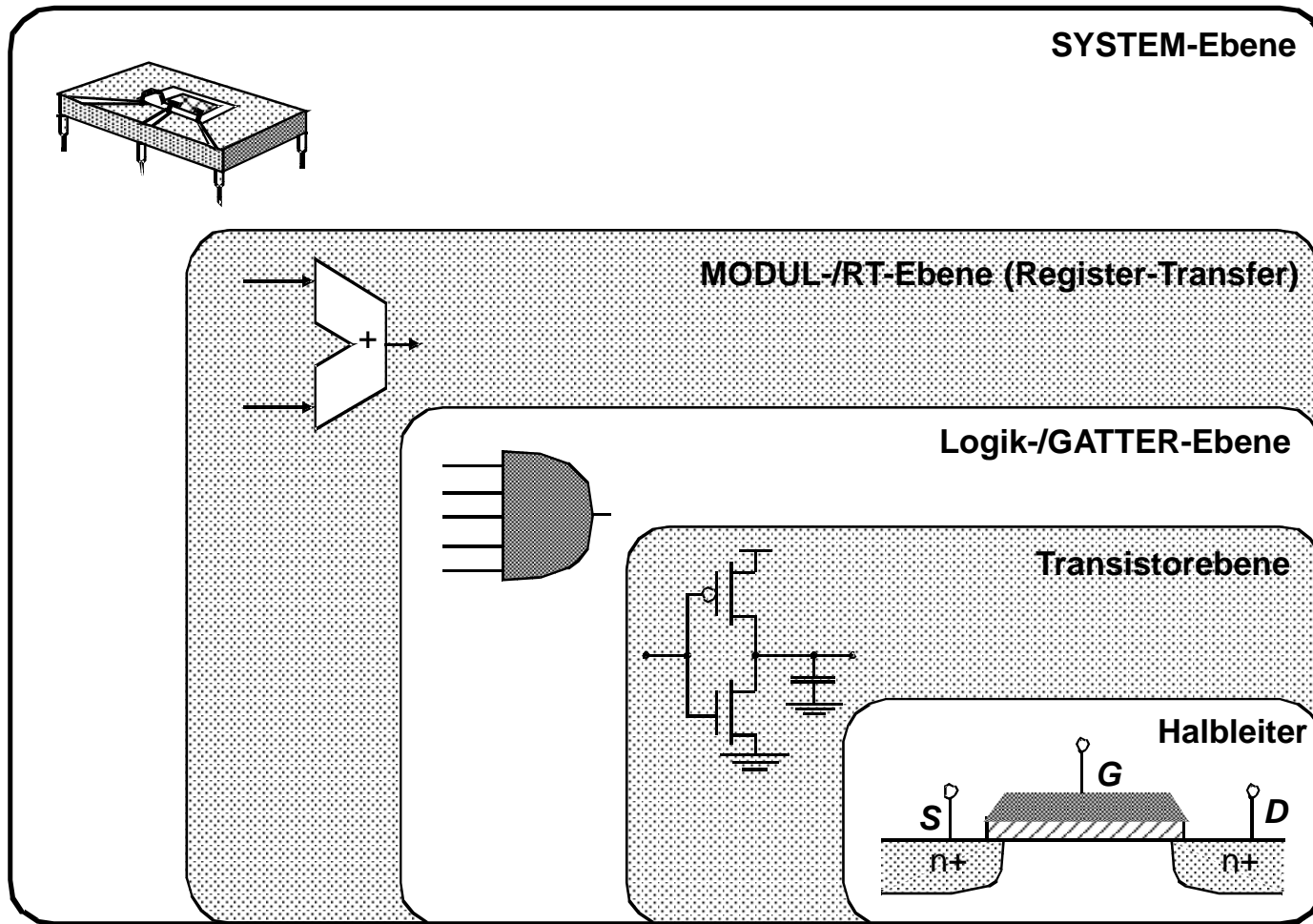
Karlsruher Institut für Technologie (KIT)

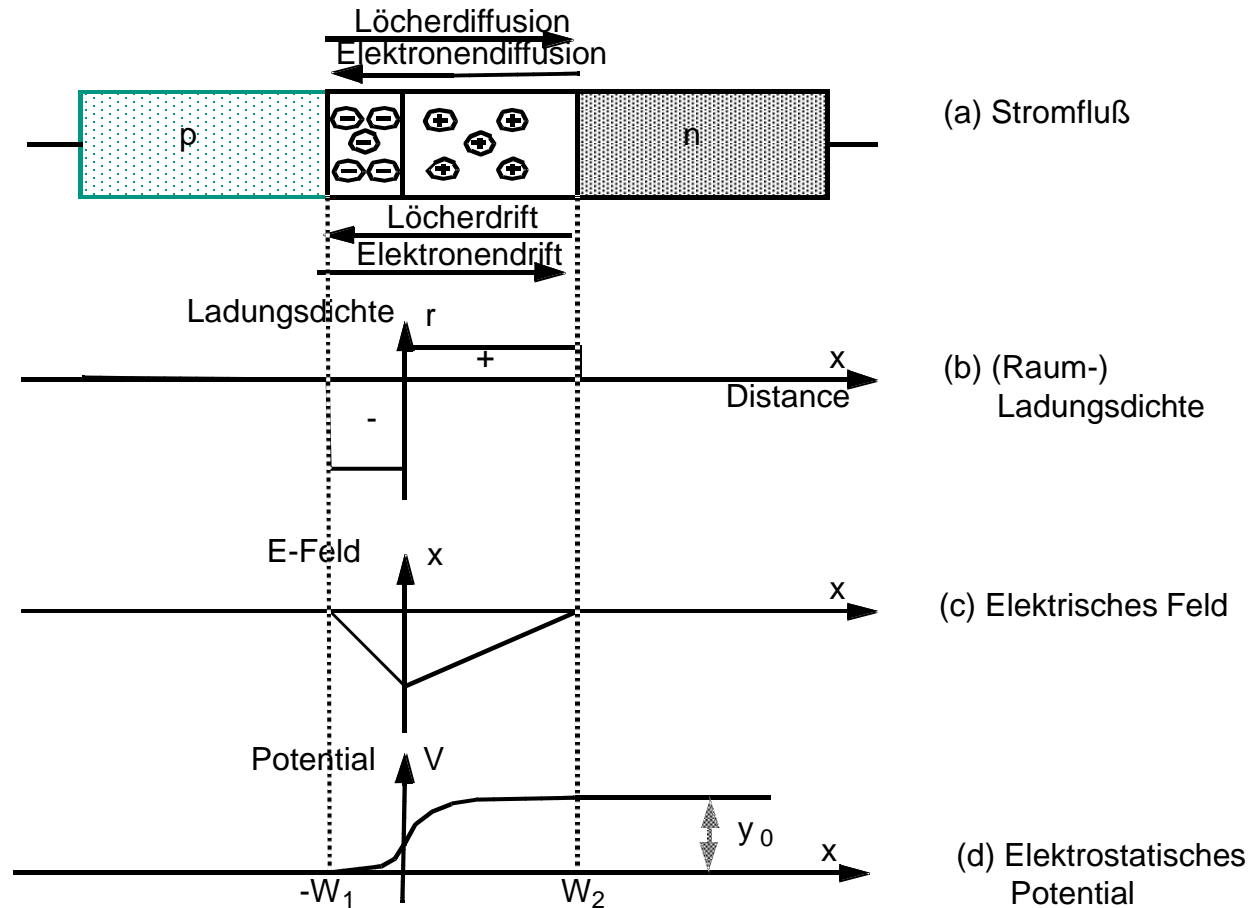
Institut für Technik der Informationsverarbeitung (ITIV)

# Digitaltechnik

## Einführung in CMOS-Technologie

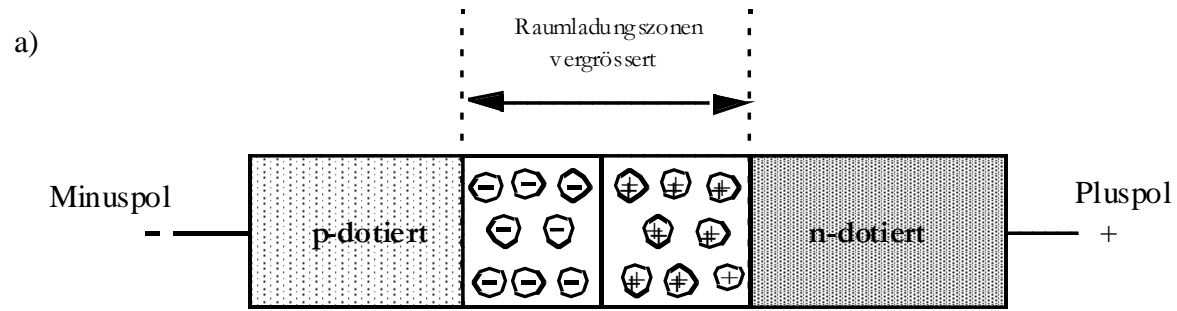
# Entwurfsraum - Abstraktionsebenen



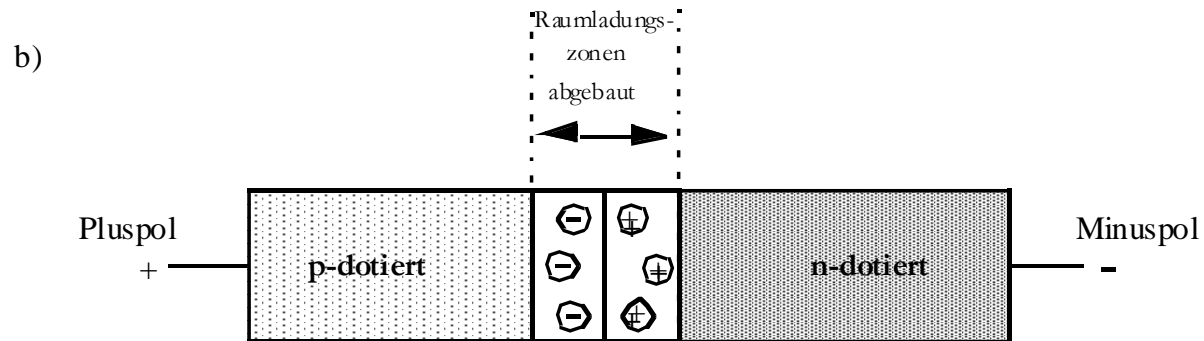


- **Diffusion:** Sowohl Elektronen als auch Löcher wandern in die p- bzw. n-Gebiete
- **Drift:** durch das Wandern der Ladungen entsteht ein Elektrisches Feld welches der Diffusion entgegenwirkt -> **Gleichgewicht** zwischen **Diffusion** und **Drift** entsteht

## Sperrschicht- polung

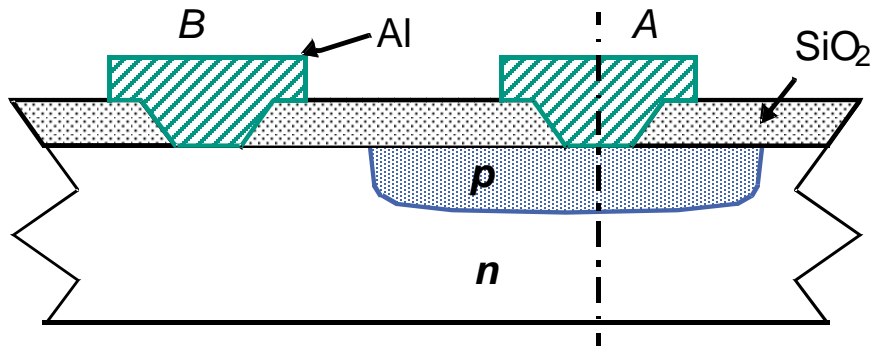


## Durchlass- polung

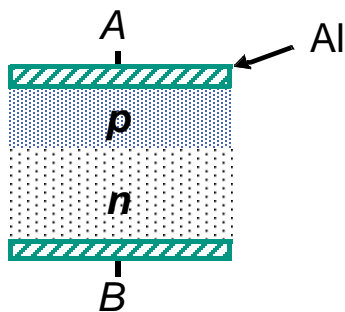


- a) **Sperrschichtpolung:** negativer Pol ans p-Gebiet, positiver Pol ans n-Gebiet  
→ Raumladungszonen werden vergrößert
- b) **Durchlasspolung:** positiver Pol ans p-Gebiet, negativer Pol ans n-Gebiet  
→ Raumladungszonen werden verkleinert  
→ Ladungsträgerbewegung über die Grenzschicht

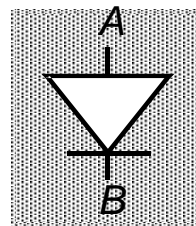
# Aufbau einer Diode



Querschnitt eines  $pn$ -Kontaktes in einem IC-Prozess

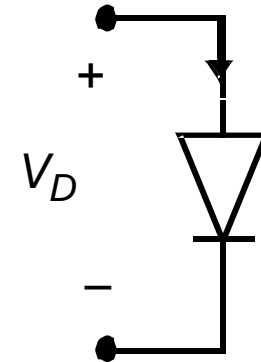


Eindimensionale Darstellung



Diodensymbol

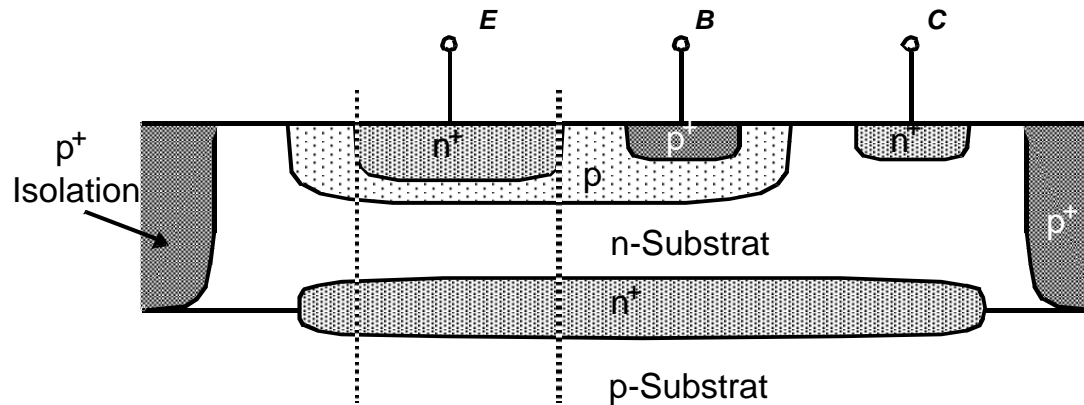
## Ideales Diodenmodell



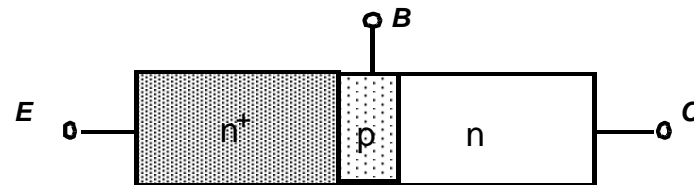
$$I_D = I_S (e^{V_D / T} - 1)$$

- **Diode** ermöglicht nur einen Stromfluss von  $p$  nach  $n$ , d.h. von Anschluss A nach B
- Die Gleichung  $I_D$  beschreibt das **Strom-/Spannungsverhalten** der Diode in Abhängigkeit von  $V_D$

# Aufbau eines Bipolar-Transistor



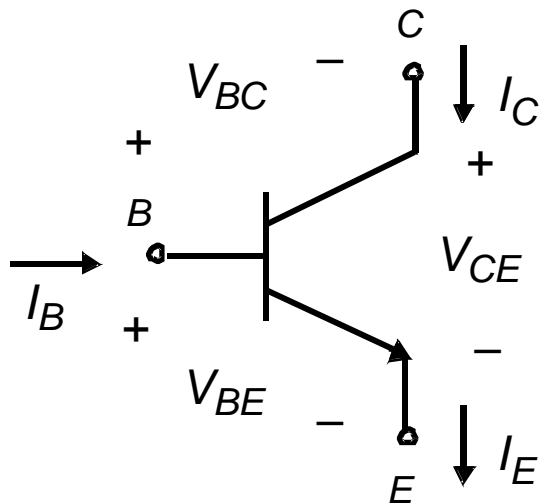
(a) Querschnittsdarstellung.



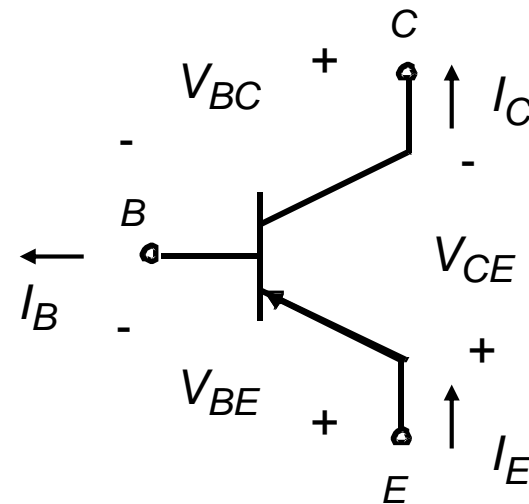
(b) Idealisierte Darstellung.

- **Bipolar-Transistoren** werden oft in Anschaltungen eingesetzt, z.B. Hifi-Verstärker
- Anordnung von **3 dotierten Gebieten**
  - > Folge **npn** oder **pnp**, wobei die mittlere Schicht sehr dünn ausgelegt wird
- Im Gegensatz zu MOS-Transistoren sind beim **Bipolar-Transistor** sowohl *Majoritäts-* als auch *Minoritätsladungsträger* beim Stromfluss beteiligt

## Schaltsymbole und Vorzeichen-Konventionen:

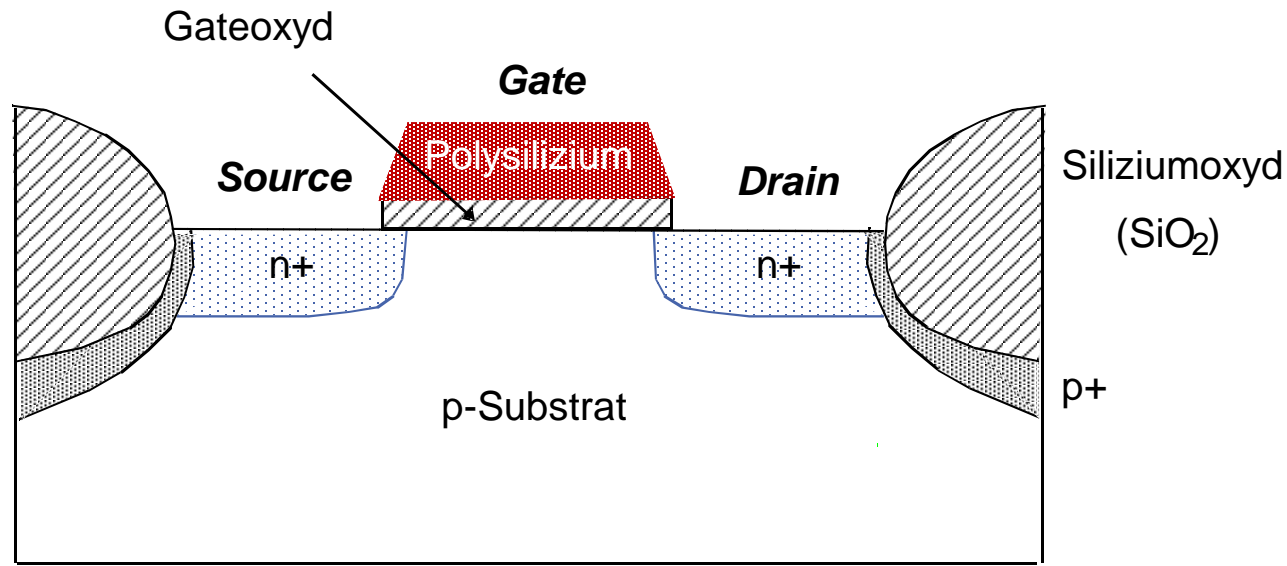


(a) *n*pn



(b) *p*np

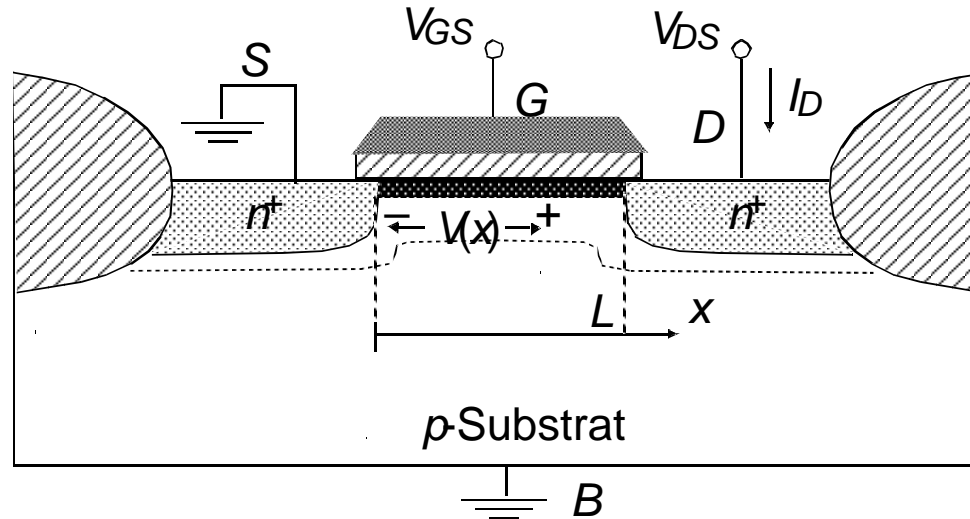
## Querschnitt eines NMOS-Transistors:



- **MOS-FETs** werden meist in **Digitalschaltungen** eingesetzt
- Der **Strom** durch den **MOS-FET** fließt in **lateraler Richtung**
- Am Stromfluss sind ausschließlich Majoritätsladungsträger beteiligt
- Das **Gate** dient als Schalter -> aktiviert den **Kanal** zwischen **Source** und **Drain**  
-> angelegte positive Spannung: zieht Elektronen an und verdrängt Löcher



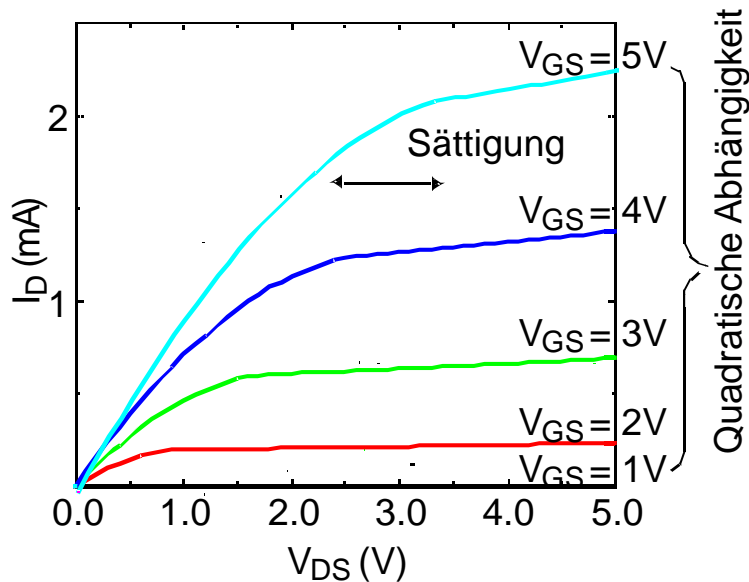
## Strom-Spannungszusammenhang -> Durchlassspannung



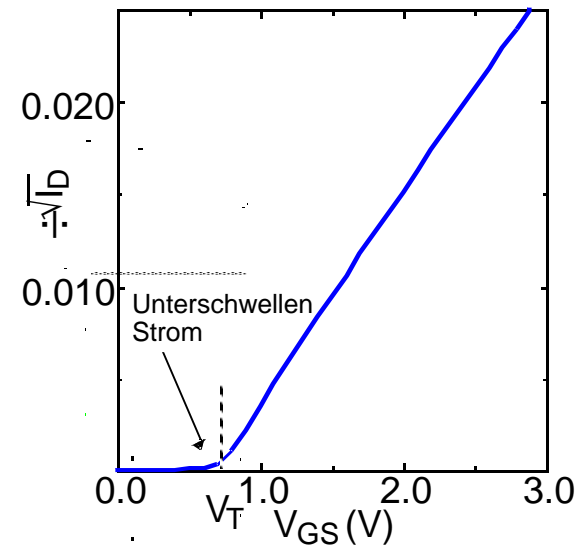
- **Transistor ist gesperrt:** d.h.  $V_{GS} < V_{th}$ , somit kann zwischen **Source** und **Drain** der **Strom  $I_D$**  **nicht** fließen
- **Transistor ist geöffnet:** d.h.  $V_{GS} > V_{th}$ , zwischen **Source** und **Drain** Gebieten bildet sich eine negative Ladungszone  
→ **Stromfluss** zwischen **Source** und **Drain** ermöglicht

## I-V Zusammenhang

(a)  $I_D$  als Funktion von  $V_{DS}$

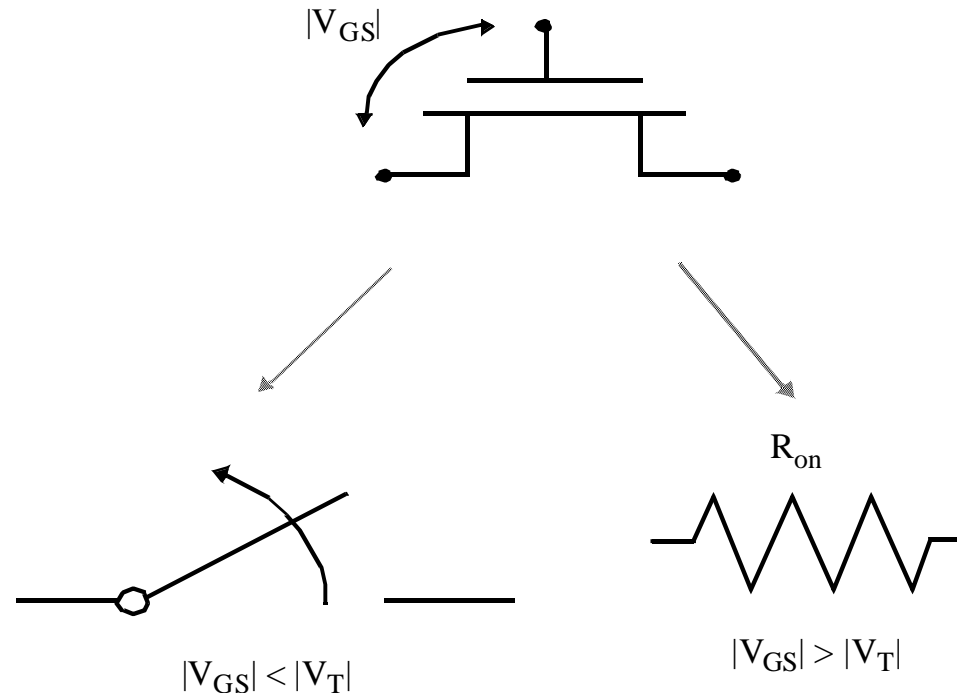


(b)  $\sqrt{I_D}$  als eine Funktion von  $V_{GS}$   
(für  $V_{DS} = 5V$ )



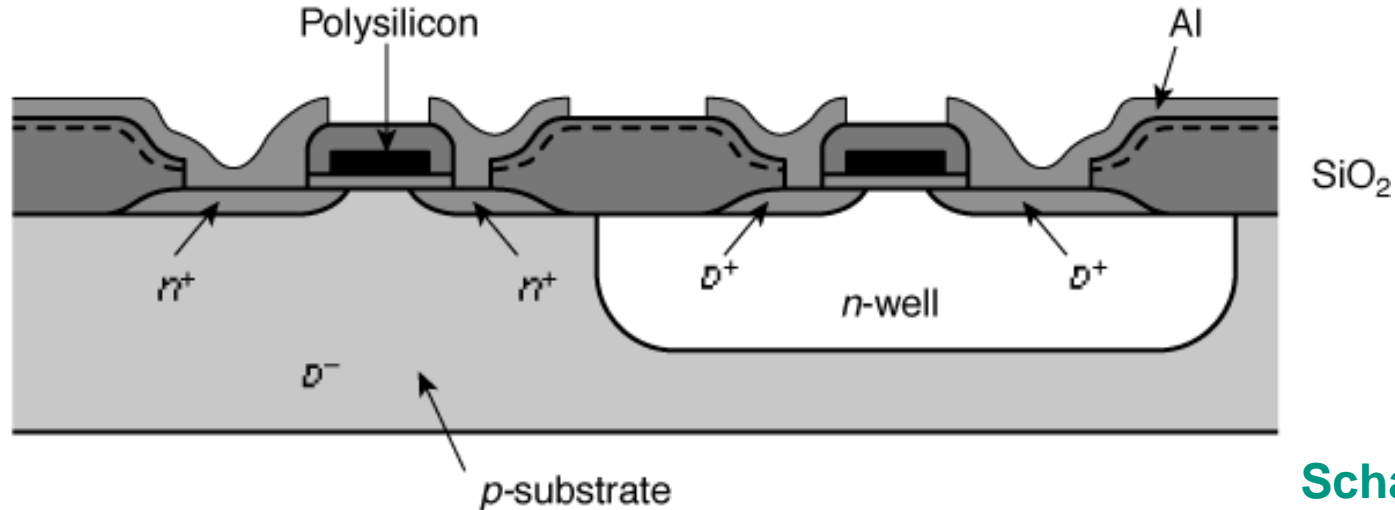
- Damit der Stromfluss  $I_D$  zustande kommt, muss die Ansteuerspannung  $V_{GS}$  den Wert  $V_T$  überschreiten (rechtes Diagramm)
- Ist die Ansteuerspannung  $V_{GS}$  größer  $V_T$  und konstant:  
→ Strom  $I_D$  ist nur noch von  $V_{DS}$  abhängig (linkes Diagramm)

## Schaltmodell:



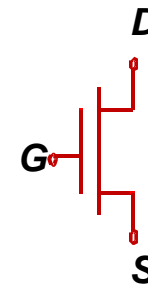
- Im **nichtleitenden Zustand**, d.h.  $|V_{GS}| < |V_T|$  gilt: MOS-Transistor wird zu einem geöffneten Schalter  $\rightarrow$  Widerstand mit sehr hoher Impedanz, der Stromfluss behindert
- Im **leitenden Zustand**, d.h.  $|V_{GS}| > |V_T|$  gilt: MOS-Transistor wird zu einem Widerstand mit einer sehr geringen Impedanz, der Stromfluss verstärkt (geschlossener Schalter)

## Querschnitt der CMOS-Materialschichten (Complementary MOS)

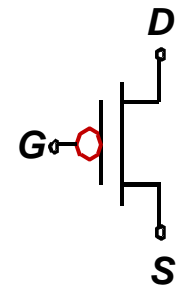


## Schaltsymbole

- Man unterscheidet **zwei grundsätzliche MOS-Transistortypen** → **NMOS-** und **PMOS-Transistoren**
- **In der Abbildung:** NMOS oben links, PMOS oben rechts
- In der CMOS-Technologie werden beide Typen in jeweils komplementären Netzen eingesetzt



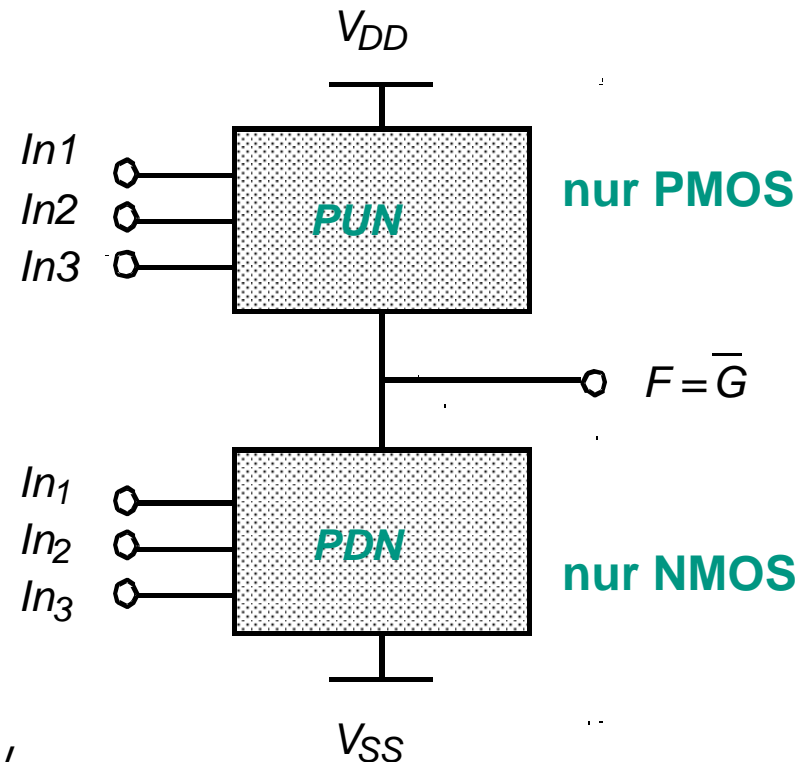
**NMOS**



**PMOS**

## PUN und PDN -> duale (komplementäre) Netze:

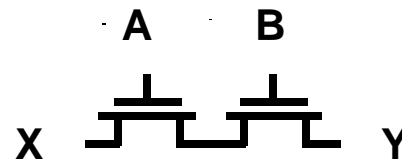
- Die **CMOS-Technologie** basiert auf **komplementären Netzen**  
→ **PUN** und **PDN**  
(Pull-Up/Pull-Down Netz)
- Ist der **Ausgang** der realisierten Funktion gleich **1**, schaltet das **PUN-Netz** den **Ausgang F** auf  $V_{DD}$
- Ist der **Ausgang** hingegen gleich **0**, schaltet das **PDN-Netz** den **Ausgang F** auf  $V_{SS}$
- Zur Realisierung der **PUN-Netze** werden **PMOS-Transistoren** eingesetzt, **PDN-Netze** werden mit **NMOS-Transistoren** implementiert
- Da außer zu Schaltzeitpunkten keine direkte Verbindung zwischen  $V_{DD}$  und  $V_{SS}$  besteht, wird **während des Haltens sehr wenig Energie verbraucht**



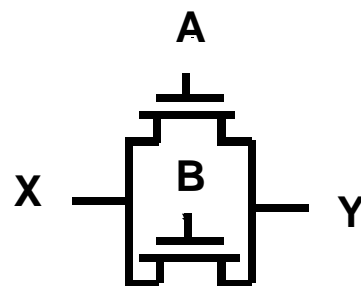
Transistoren → Schalterrealisierung

→ Steuerung durch Gate-Signal

NMOS-Schalter schließt, wenn das Gate auf “high” (H, “1”) ist

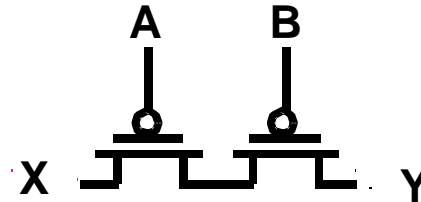


$$Y = A \text{ AND } B$$

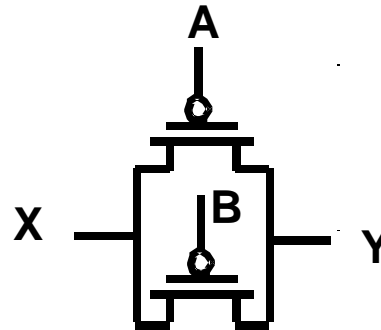


$$Y = A \text{ ODER } B$$

PMOS-Schalter schließt, wenn das Gate auf “low“ (L, “0“) ist



$$Y = \overline{A} \text{ AND } \overline{B} = \overline{A + B}$$



$$Y = \overline{A} \text{ OR } \overline{B} = \overline{AB}$$

NMOS-, PMOS-Schaltungen: Anbindung an Axiome der Schaltalgebra

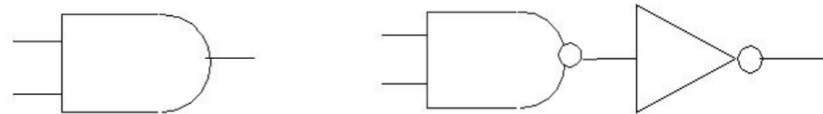
→ Realisierung der Konjunktion, Disjunktion und Negation

*PUN* ist zu *PDN* dual (→ komplementär)  
(kann mittels DeMorgan`s Theorem gezeigt werden)

$$\overline{A + B} = \bar{A} \bar{B}$$

$$\overline{A B} = \bar{A} + \bar{B}$$

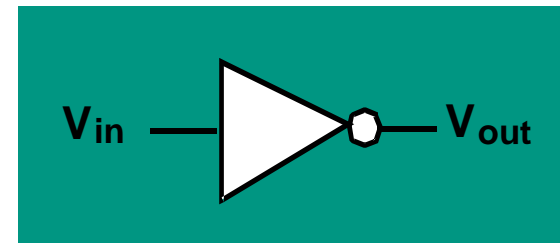
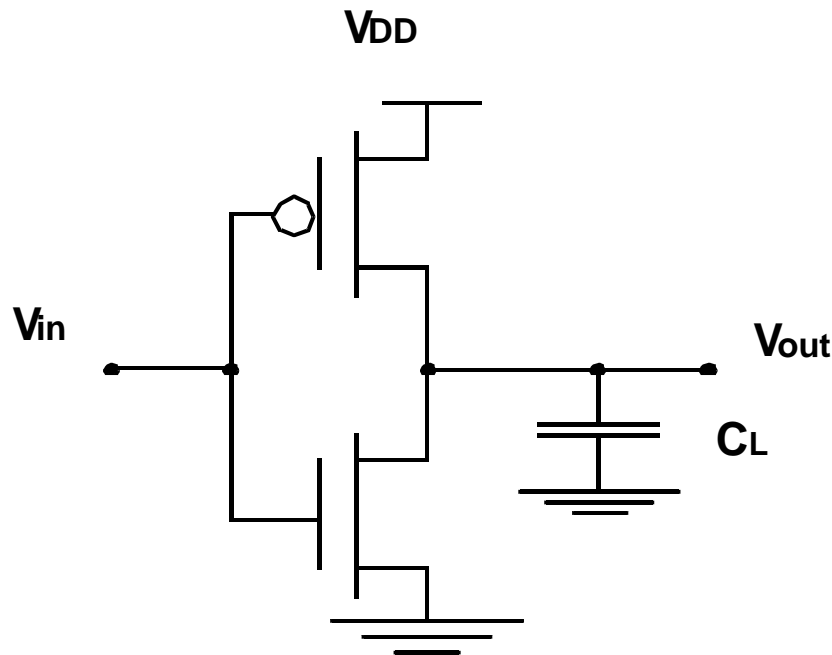
Das komplementäre Gatter ist invertierend



AND = NAND + INV



# CMOS: *Inverter*-Schaltung

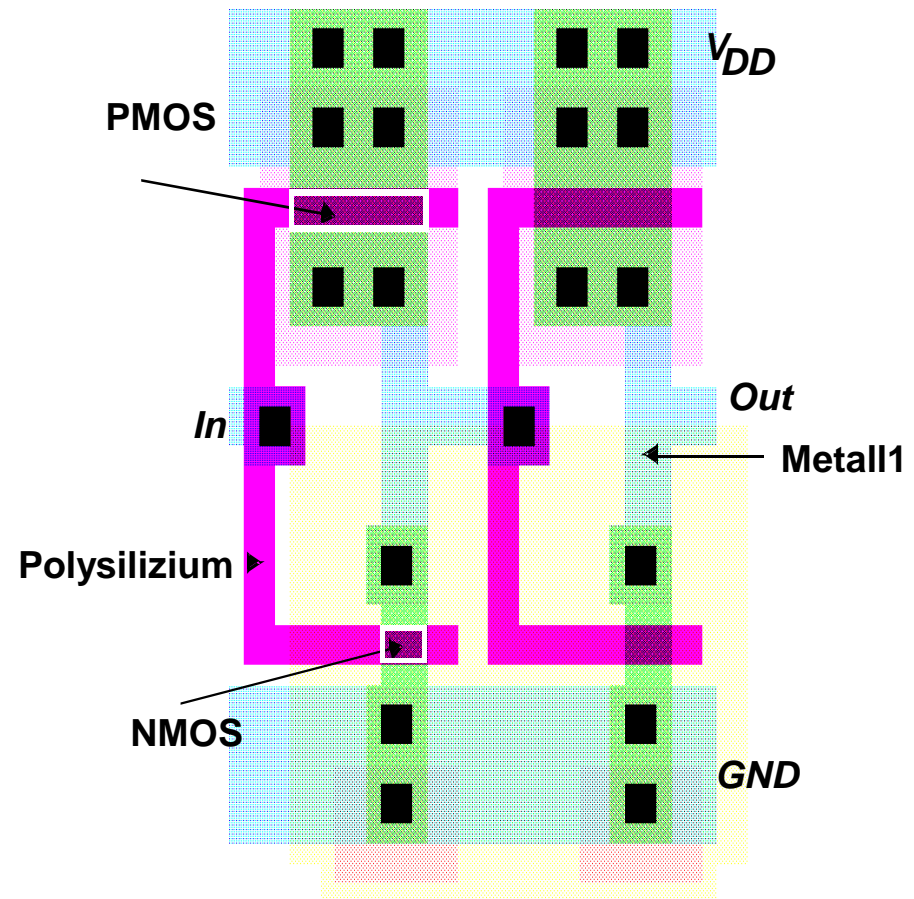


- Der *Inverter* besteht aus **zwei Transistoren**, einem NMOS und einem PMOS
- Ist  $V_{in}$  auf **high**, so **öffnet** der **NMOS-Transistor** und  $V_{out}$  wird auf **GND** gezogen, während dessen ist der **PMOS-Transistor gesperrt**
- Ist  $V_{in}$  hingegen auf **low**, so **öffnet** der **PMOS-Transistor** und  $V_{out}$  wird auf **V<sub>DD</sub>** gezogen, der **NMOS-Transistor** wird hingegen **gesperrt**
- Strom zwischen  $V_{DD}$  und GND kann nur fließen, wenn die Transistoren umschalten und kurzzeitig beide offen sind

# CMOS: *Inverter-Layout*

- Das **Layout** stellt zwei in Serie geschaltete Inverter dar
- Das **Polysilizium** wird genutzt, um die **Gates** auf dem Silizium zu realisieren
- Das **rote Gebiet** oben ist die **n-Wanne** für die PMOS-Transistoren
- Die **blauen Felder** sind **Metalleiter**, wo meist Aluminium oder in moderneren Verfahren Kupfer zum Einsatz kommt
- Die **grünen Gebiete** sind **Diffusionsgebiete**, und mit **schwarzen Vierecken** stellen diese **Kontaktierungen** zwischen den **Source-** bzw. **Drain-Gebieten** und den **Metalleitern** dar

## CMOS-Maskenlayout

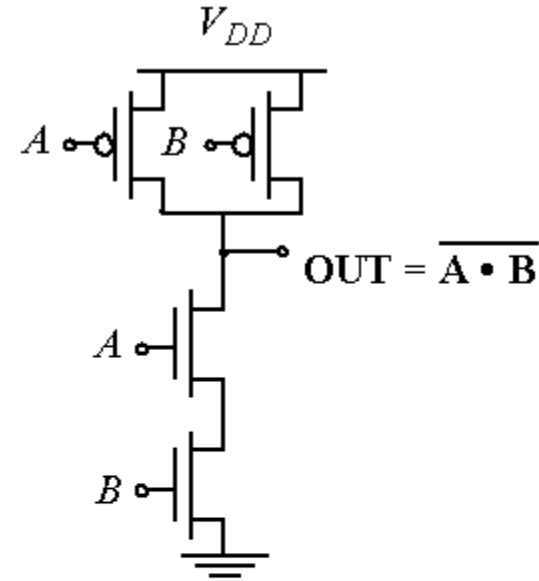


# CMOS-Beispielgatter: *NAND*

## CMOS-Schaltung für *NAND*

A	B	Out
0	0	1
0	1	1
1	0	1
1	1	0

Truth Table of a 2 input *NAND* gate



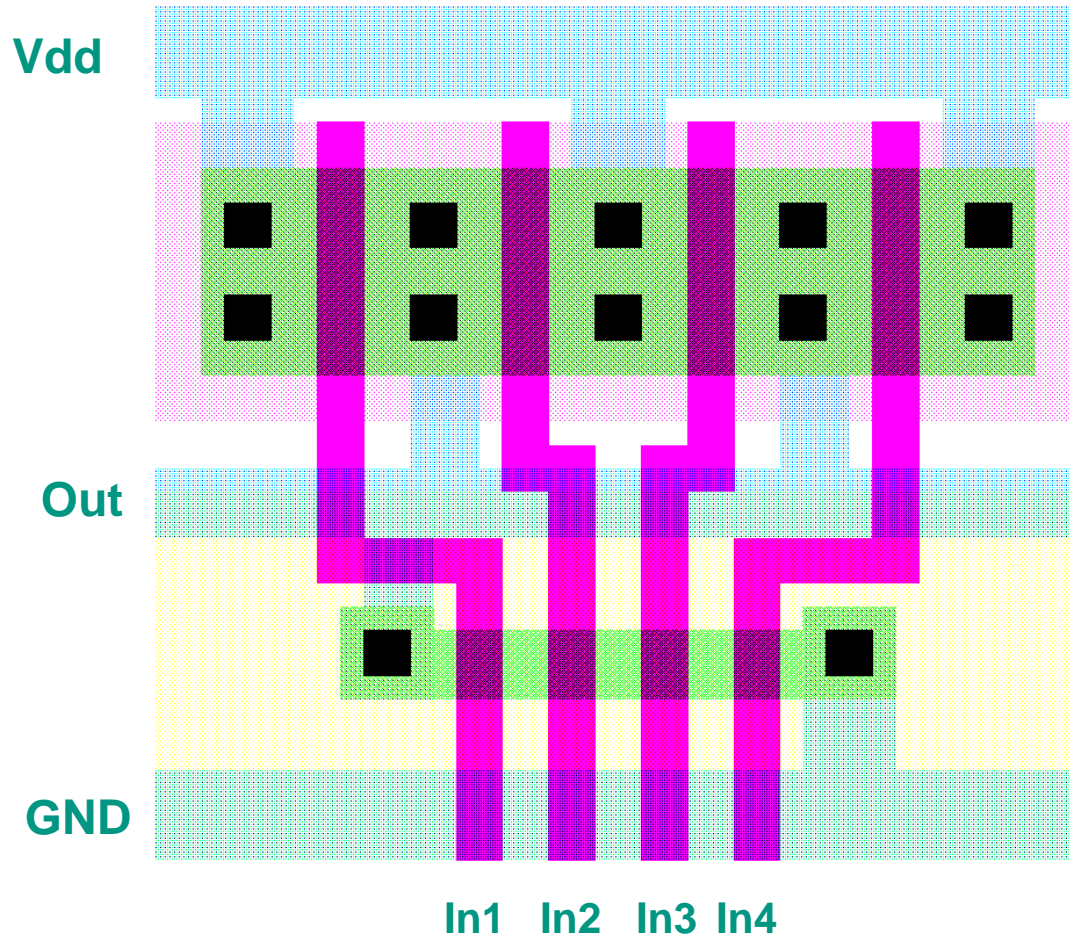
PDN:  $G = A B \Rightarrow$  Conduction to GND

PUN:  $F = \overline{A + B} = \overline{A} \overline{B} \Rightarrow$  Conduction to  $V_{DD}$

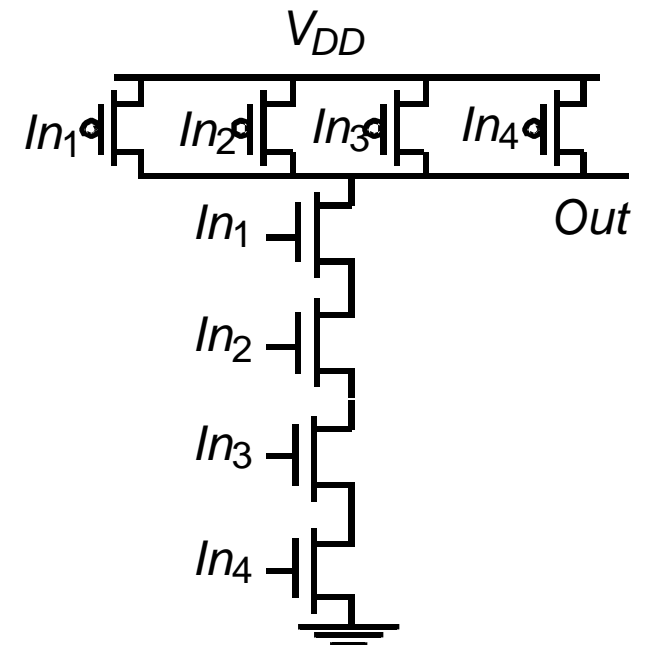
$$\overline{G(In_1, In_2, In_3, \dots)} \equiv F(\overline{In_1}, \overline{In_2}, \overline{In_3}, \dots)$$

# CMOS: *NAND*-Gatter mit 4 Eingängen

## CMOS-Maskenlayout



## CMOS-Schaltung für *NAND*-4

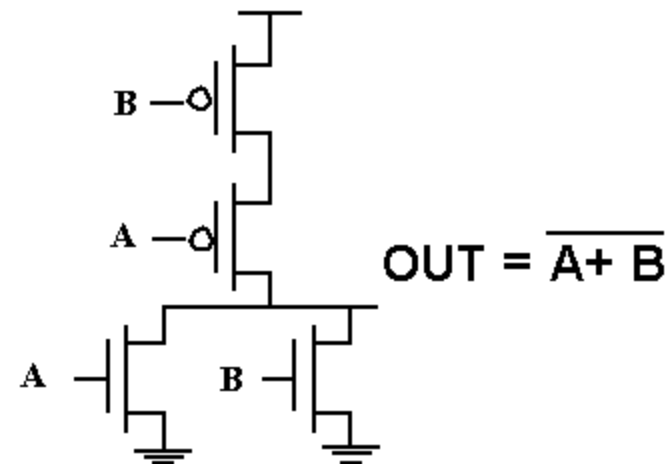


# CMOS-Beispielgatter: *NOR*

## CMOS-Schaltung für *NOR*

A	B	Out
0	0	1
0	1	0
1	0	0
1	1	0

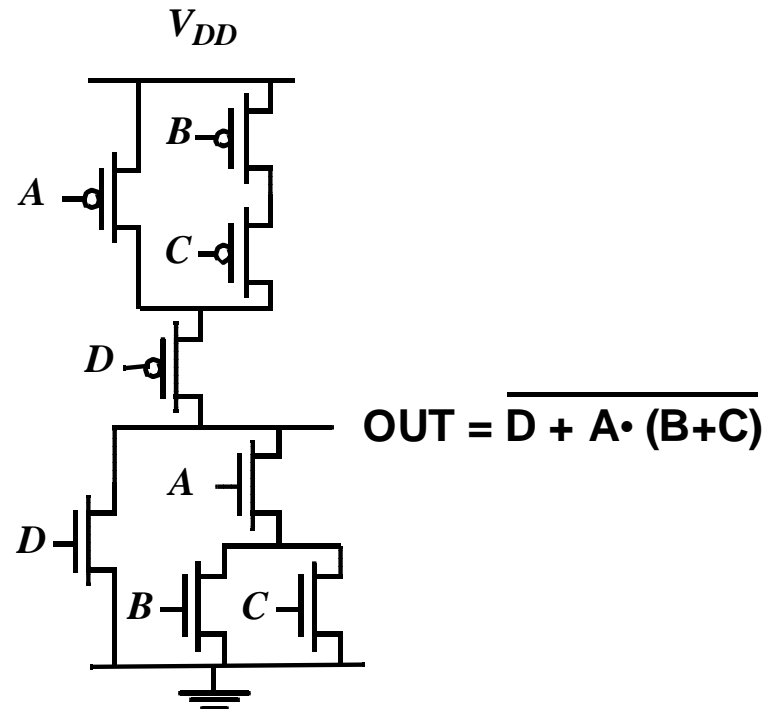
Truth Table of a 2 input NOR gate



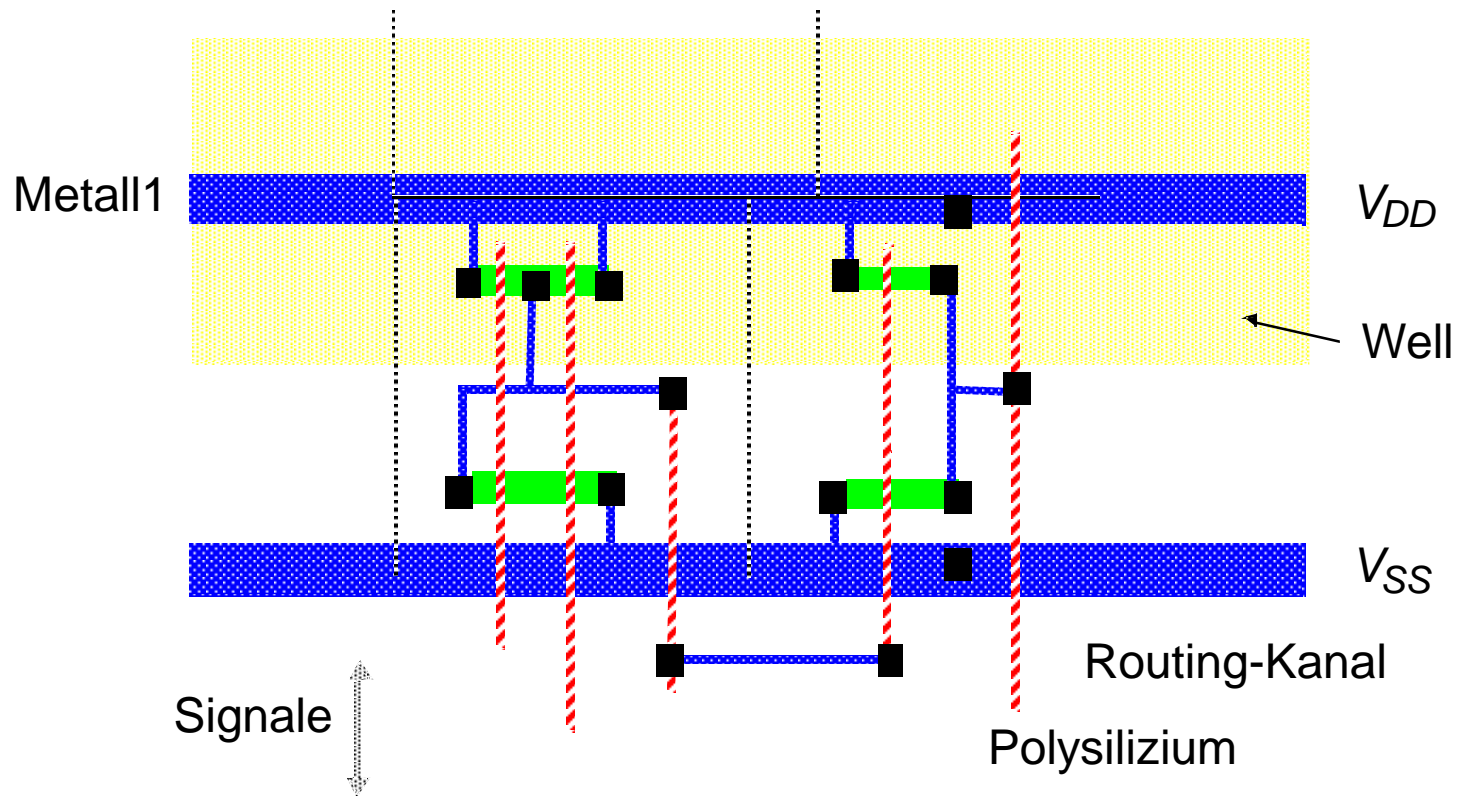
**PUN- und PDN-Netzentwurf (Funktionen G und F zur Übung!)**

# CMOS-Beispielgatter: *komplexes Gatter*

## CMOS-Schaltung für *komplexes Gatter*



- In der **CMOS-Technik** lassen sich ebenfalls **komplexere Gatter** modellieren (siehe Schaltung oben)
- Dies muss jedoch durch entsprechende **Dimensionierung** der  **$W$**  (Transistor-Kanalbreite) und  **$L$**  (Kanallänge) **Größen** der Transistoren geschehen, damit die geforderte Symmetrie wie beim Inverter erhalten bleibt



- Das oben dargestellte **Standardzellenlayout** realisiert die Funktion:  $y = \overline{a \& b} = a \& \overline{b}$
- Die **Standardzellen-Methodik** beinhaltet nur **Basiszellen gleicher Höhe**  
-> oben  $V_{DD}$ - und unten  $V_{SS}$ -Leitungen: in den Zwischenräumen werden die gewünschten Schaltglieder (*Gatter*) modelliert

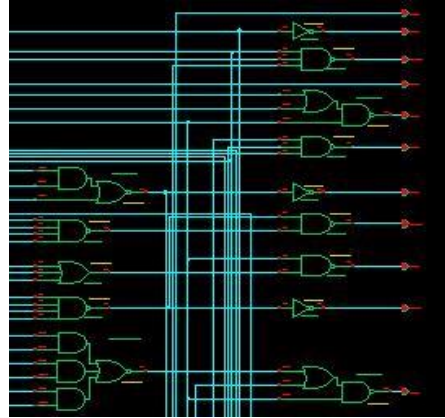
# Heutiger Rechnergestützter Entwurf

## Hardware Beschreibung

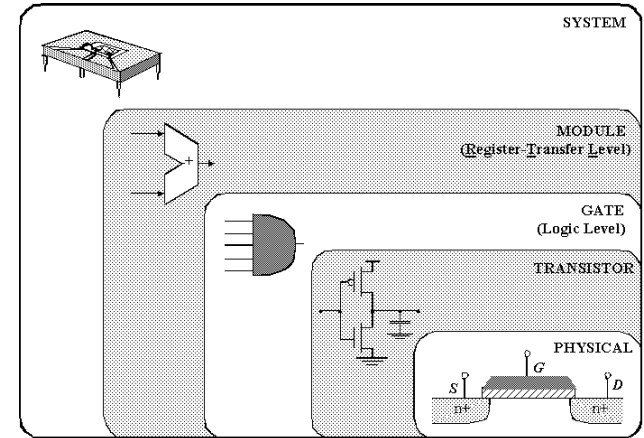
```
architecture structural of first_tap is
signal x_q,red : std_logic_vector(bitwidth-1
downto 0);
signal mult : std_logic_vector(2*bitwidth-1
downto 0);
begin
delay_register:
process(reset,clk)
begin
if reset='1' then
x_q <= (others => '0');
elsif (clk'event and clk='1') then
x_q <= x_in;
end if;
end process;
mult <= signed(coef)*signed(x_q);
```

**Synthese**  
(Synopsys)

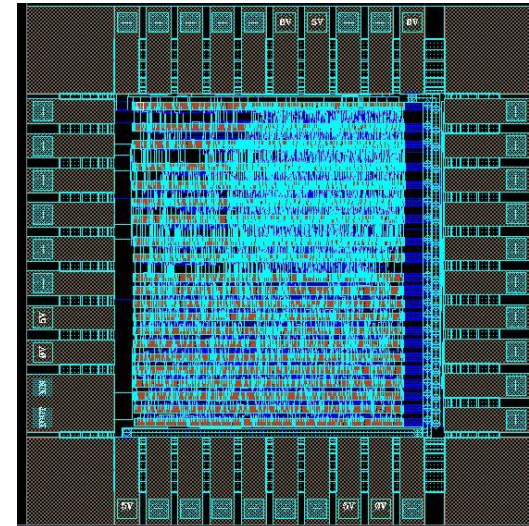
## Netzliste



## Abstraktionsebenen



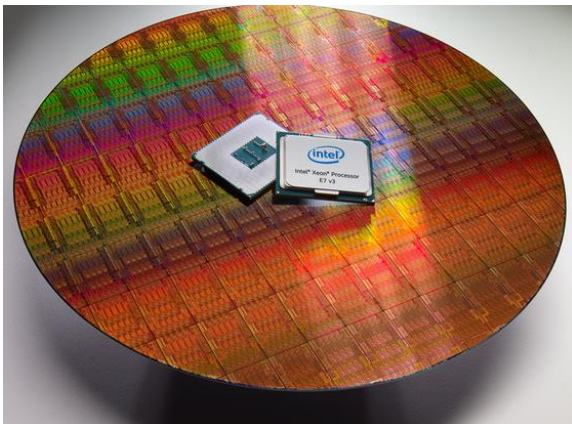
**Platzierung & Verdrahtung**  
(Cadence/  
Mentor)



**Masken-Layout**

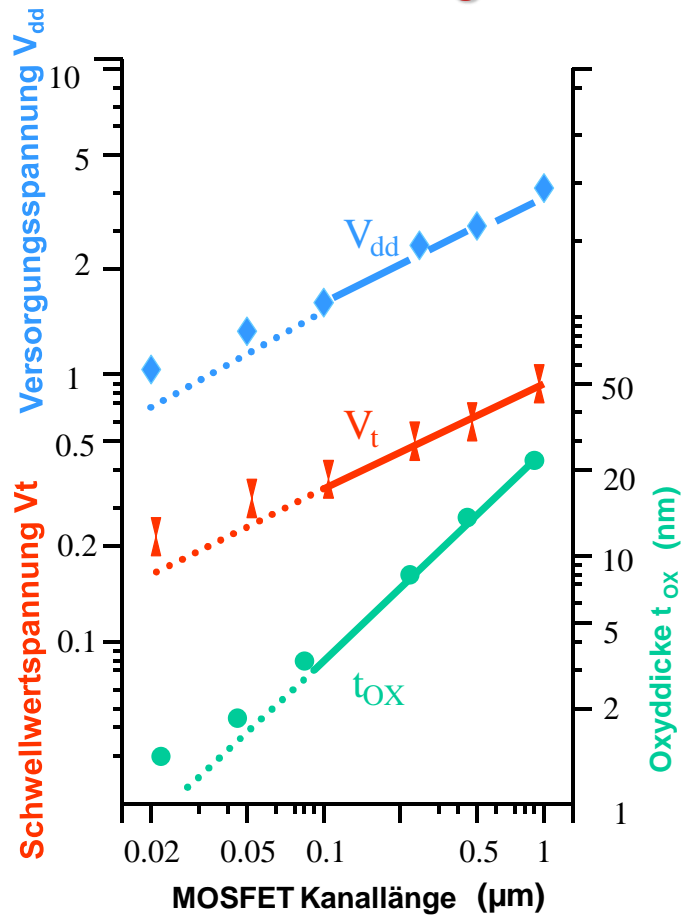
**Fabrikation**

**Chip Wafer**

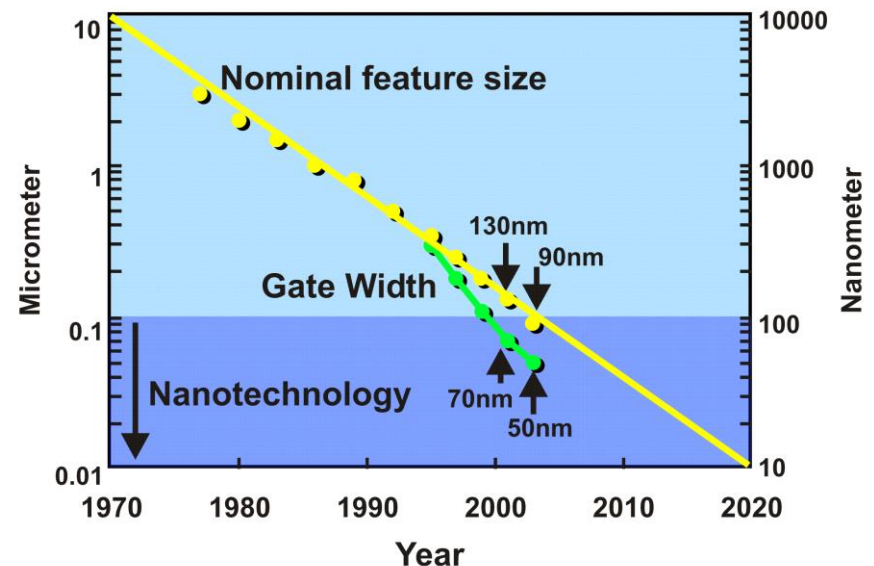
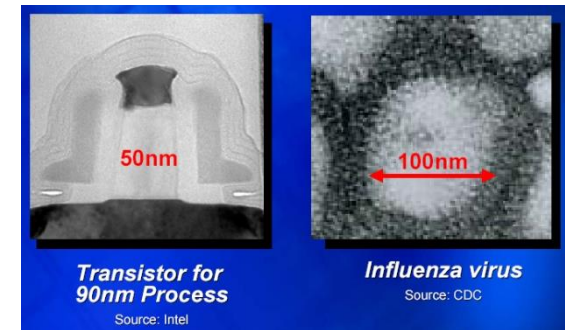




## Schnelle Evolution der IC-Technologien



## CMOS-Skalierung

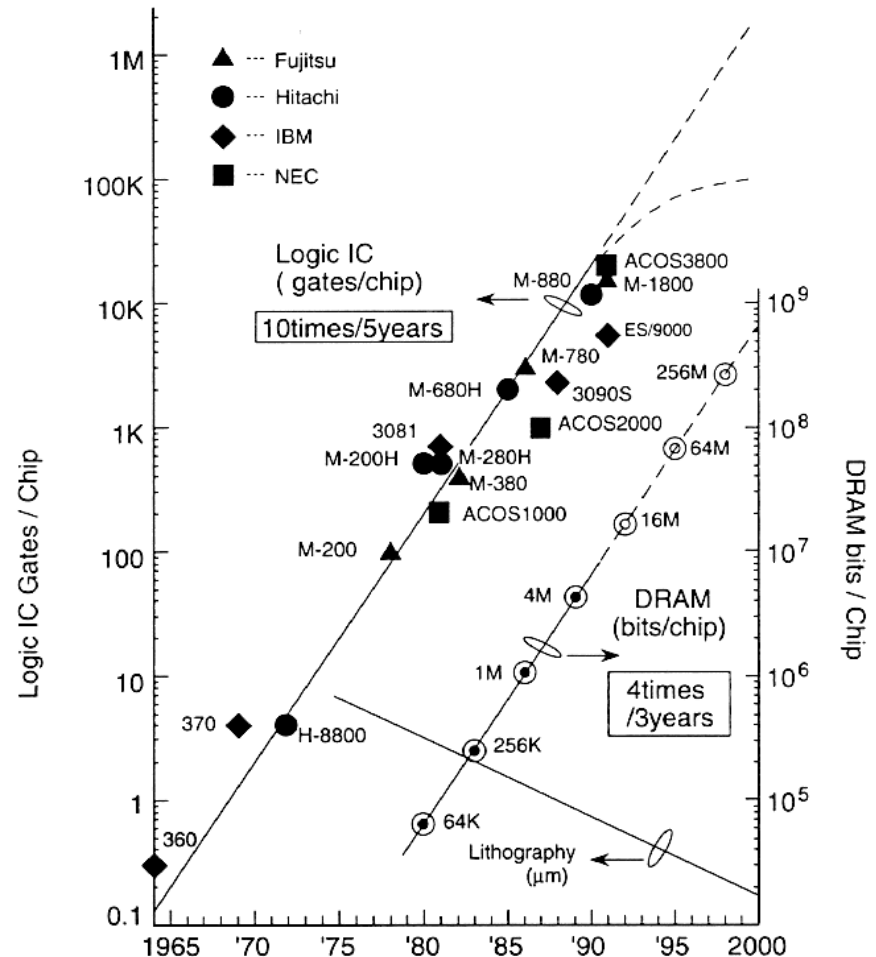


## Digitalentwurf am Scheideweg ?

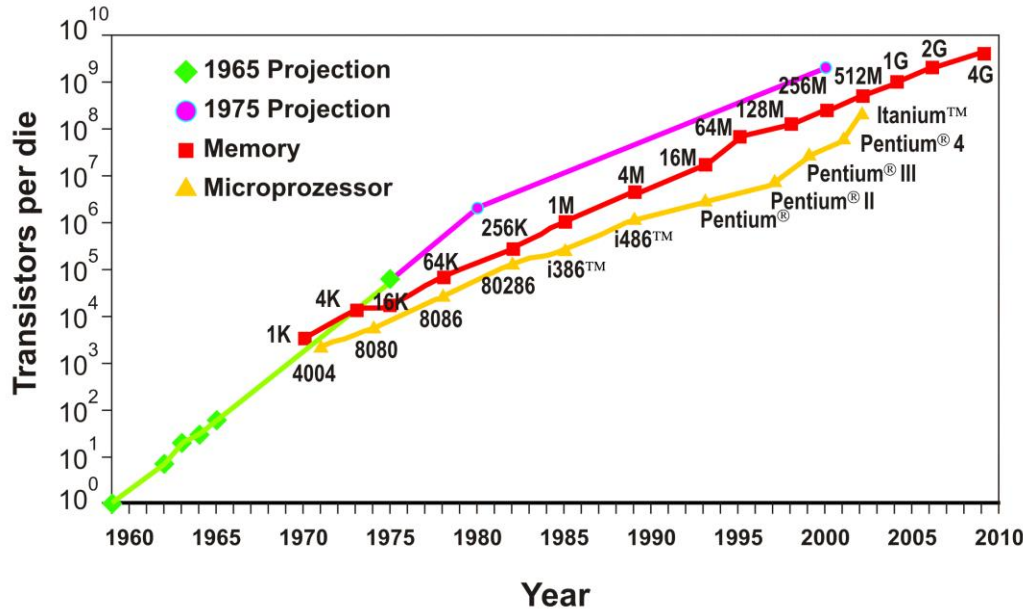
Quelle: Intel Technology Roadmap for Semiconductors ITRS

## Moore's Gesetz

- Die Komplexität von Speicherchips und Mikroprozessoren wuchs exponentiell
- Es war genau diese Abbildung, die Moore vorhersagte
- Moore's Law:** Integrationsdichte verdoppelt sich alle 18 Monate



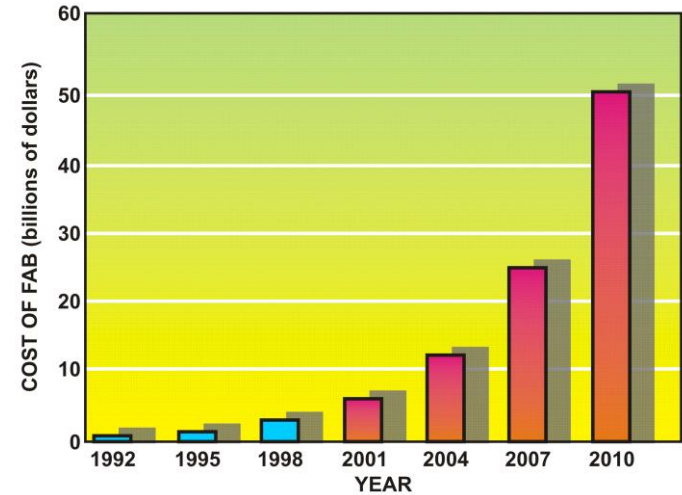
## Prozessor- und Speicherintegration



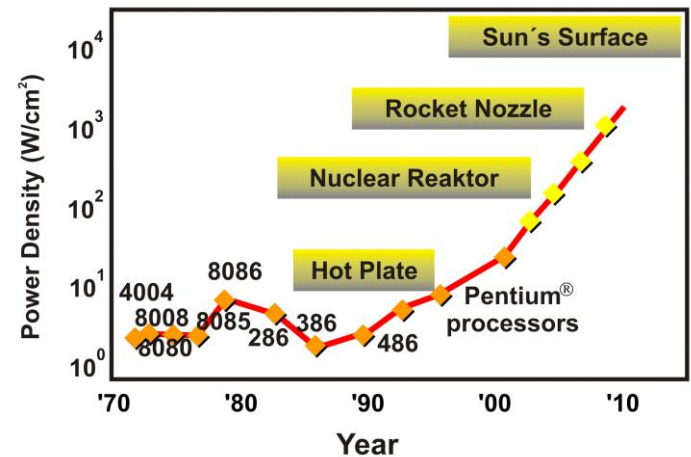
## Prozessor- und Speicherintegrationsdichten im Vergleich zu Moore's Gesetz

(Quelle: International Technology Roadmap for Semiconductors ITRS)

## Kostenentwicklung

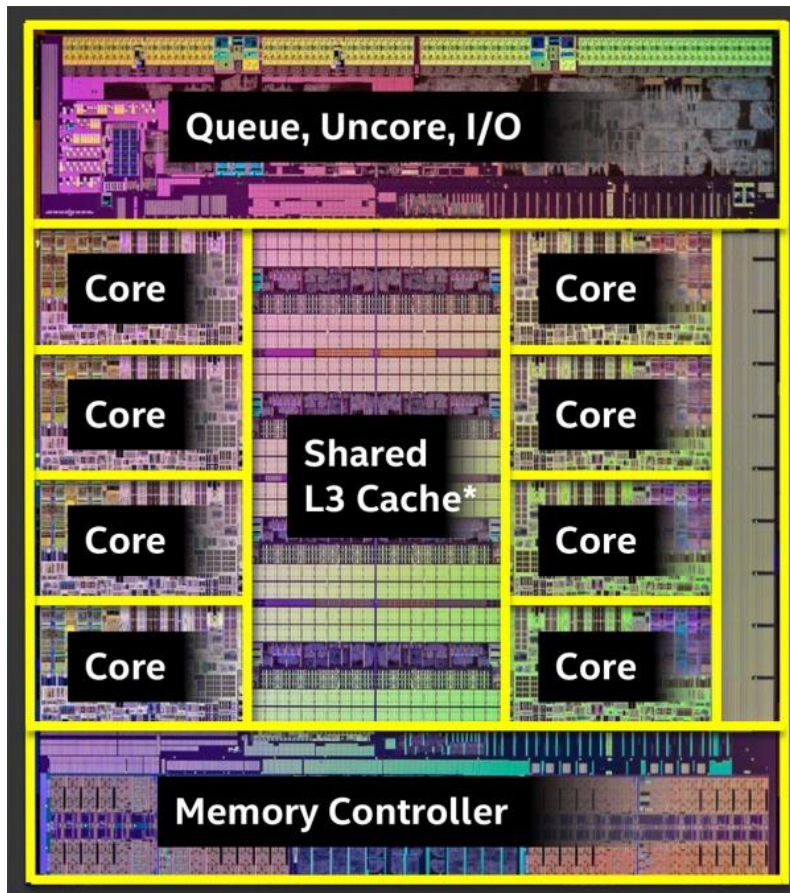


## Verlustleistungsentwicklung



# Intel's Prozessorlösung: Core i7

## 22 nm Intel Core i7-5960X



- 8 Cores, 16 Threads
- 3.2 Milliarden Transistoren
- 355 mm<sup>2</sup> Die-Size
- 20 MB On-Chip L3-Cache
- 3.5 GHz Turbo Boost

Quelle: Jason Stinson (Intel), 2014