

Schaltglieder

NMOS-Transistor: positiver Schalter
PMOS-Transistor: negativer Schalter

UND: Nand + Inverter
ODER: Nor + Inverter

PMOS-Netz: sorgt dafür, dass bei entsprechender Eingangsbelegung der Ausgang auf logisch „1“ gezogen wird → Pull-up-Netz (PUN)

NMOS-Netz: zieht Ausgang auf logisch „0“ runter bei entsprechender Eingangsbelegung → Pull-down-Netz (PDN)

- PUN und PDN sind streng dual komplementär zueinander
- es dürfen nie beide Netze gleichzeitig durchschalten oder sperren

$$\Rightarrow F = \bar{G} \quad (*)$$

Vorgehensweise zur CMOS-Realisierung einer Schaltfunktion

- (1) Aus der Spezifikation einer Schaltfunktion eine Minimalform für F ableiten (z.B. DMF).
- (2) PUN, bestehend aus PMOS-Transistoren, für F aufstellen. Alle Literale der DMF müssen invertiert werden, da PMOS-Transistoren negative Schalter realisieren.
- (3) F wird invertiert zu $G = \bar{F}$ und umgeformt (De Morgan'sche Regeln). Nun kann G mittels NMOS-Transistoren realisiert werden.

Flipflops

Automat $\xrightarrow{\text{Realisierung}}$ Schaltwerk $\rightarrow$ Zwischenspeicherung der Zustände notwendig $\rightarrow$ Flipflops

RS-FF			
q^v	q^{v+1}	R	S
0	0	-	0
0	1	0	1
1	0	1	0
1	1	0	-

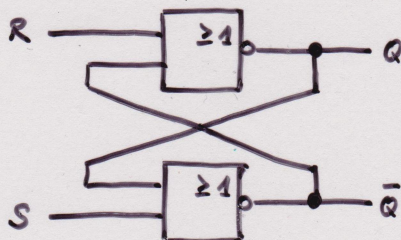
D-FF		
q^v	q^{v+1}	D
0	0	0
0	1	1
1	0	0
1	1	1

T-FF (toggle)		
q^v	q^{v+1}	T
0	0	0
0	1	1
1	0	1
1	1	0

JK-FF			
q^v	q^{v+1}	K	J
0	0	-	0
0	1	-	1
1	0	1	-
1	1	0	-

J: Setzeingang
K: Rücksetzeingang
 $(J \& K) = 1$
 $\rightarrow$ Umschalten

$$(R \& S) = 0$$



(*) $(F \& G) = 0 \rightarrow$ Es tritt kein Kurzschluss auf.

$(F \vee G) = 1 \rightarrow$ Wohldefiniertheit, d.h. es liegt immer ein definierter Wert (0 oder 1) am Ausgang an.