

Elektronische Schaltungen SS 2020

6. Übungsblatt – Lösung

Kippschaltungen und MOS Schaltkreise

Aufgabe 1

a) Wenn $u_e = 0 \text{ V}$:

- T_1 sperrt, da $U_{BE1} < 0,7 \text{ V}$.
- T_2 leitet. Damit $U_{BE2} > 0,7 \text{ V}$ ist, muss $U_{RB2} > 0,7 \text{ V}$ sein. Mit Hilfe des Spannungsteilers ergibt sich $U_{RB2} = 5,1 \text{ V}$.

Wenn die Eingangsspannung groß genug ist, sodass T_1 leitet, sperrt T_2 . Die Emittoren der beiden Transistoren befinden sich auf dem selben Potential. Da über T_1 die Spannung $U_{CE} = 0,2 \text{ V}$ abfällt, kann U_{BE2} nicht größer als $U_{CE} = 0,7 \text{ V}$ sein.

b) Zur Berechnung der Einschaltsschwelle nehmen wir an, dass $u_e = 0 \text{ V}$ ist, d.h. T_1 sperrt und T_2 leitet. Dann ist:

$$\begin{aligned}
 I_E &= I_{E2} \approx I_{C2} \\
 I_{E2} &= \frac{U_b - U_{CE}}{R_{C2} + R_E} = \frac{14,8 \text{ V}}{4 \text{ k}\Omega} = 3,7 \text{ mA} \\
 u_{e,\text{ein}} &= u_{BE1} + I_{E2} \cdot R_E = 0,7 \text{ V} + (U_b - U_{CE}) \cdot \frac{R_E}{R_{C2} + R_E} \\
 &= 0,7 \text{ V} + 14,8 \text{ V} \cdot \frac{1 \text{ k}\Omega}{4 \text{ k}\Omega} = 0,7 \text{ V} + 3,7 \text{ V} = 4,4 \text{ V}
 \end{aligned}$$

Zur Berechnung der Ausschaltsschwelle nehmen wir an, dass $u_e > 4,4 \text{ V}$ ist, d.h. T_2 sperrt und T_1 leitet. Dann ist:

$$\begin{aligned}
 I_E &= I_{E1} \approx I_{C1} \\
 I_{E1} &= \frac{U_b - U_{CE}}{R_{C1} + R_E} = \frac{14,8 \text{ V}}{10 \text{ k}\Omega} = 1,48 \text{ mA} \\
 u_{e,\text{aus}} &= u_{BE1} + I_{E1} \cdot R_E = 0,7 \text{ V} + 1,48 \text{ mA} \cdot 1 \text{ k}\Omega = 2,18 \text{ V}
 \end{aligned}$$

c) Die Ausgangsspannung berechnet sich folgendermaßen.

Annahme: T_1 sperrt und T_2 leitet $\rightarrow u_a = u_{a,\min}$

$$u_{a,\min} = I_{E2} \cdot R_{E2} + U_{CE2} = 3,7 \text{ mA} \cdot 1 \text{ k}\Omega + 0,2 \text{ V} = 3,9 \text{ V}$$

Annahme: T_2 sperrt und T_1 leitet, d.h. $I_{C2} = 0 \rightarrow u_a = u_{a,\max}$

$$u_{a,\max} = U_b - I_{C2} \cdot R_{C2} = 15 \text{ V} - 0 \text{ V} = 15 \text{ V}$$

Die Ausgangsspannung ist in Abbildung 1 gezeigt.

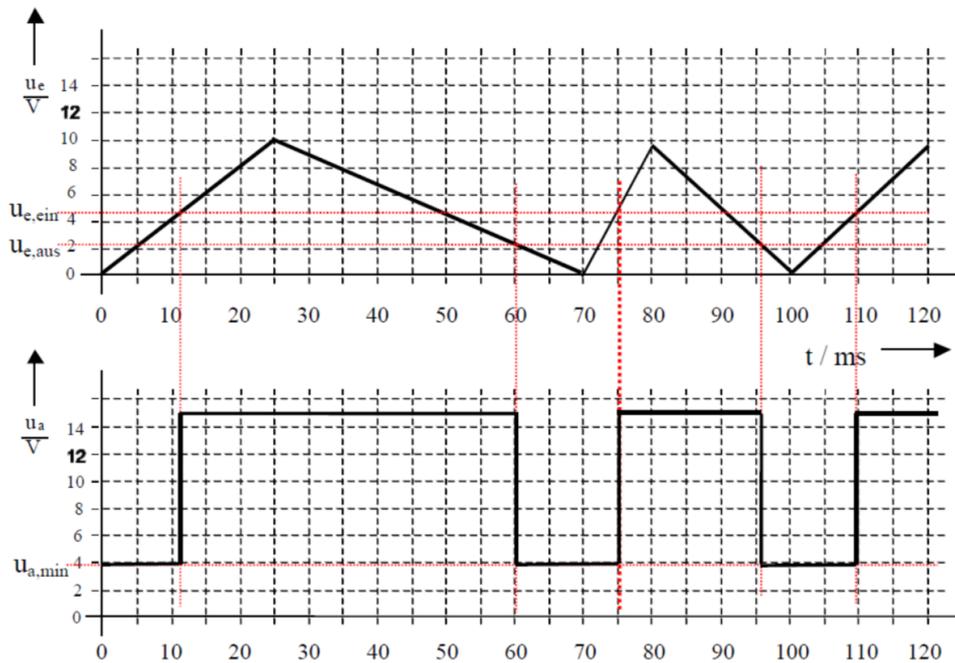


Abbildung 1

d) Bei der Schaltung handelt es sich um einen nicht invertierenden Schmitt-Trigger.

Aufgabe 2

a) Ausgang ist auf den nichtinvertierenden Eingang zurückgekoppelt: Mitkopplung. Eingang liegt am invertierenden Eingang des OP. Daraus folgt, dass ein Invertierender Schmitt-Trigger vorliegt.

b) Bedingung: Schaltpunkt des Schmitt-Triggers, wenn $U_D = 0 \text{ V}$, d.h. $u_e = u_+$

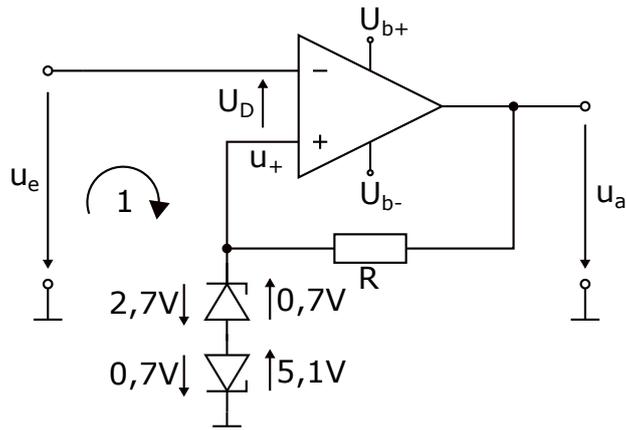


Abbildung 2

1. $u_e = -12\text{ V}$ und damit $u_a = 12\text{ V}$

Masche 1:

$$-U_D + U_{Z1} + 0,7\text{ V} - u_e = 0$$

für $U_D = 0$

$$u_e = u_+ = U_{Z1} + 0,7\text{ V} = 2,7\text{ V} + 0,7\text{ V} = 3,4\text{ V}$$

2. $u_e = 12\text{ V}$ und damit $u_a = -12\text{ V}$

Masche 1:

$$-U_D - U_{Z2} - 0,7\text{ V} - u_e = 0$$

für $U_D = 0$

$$u_e = u_+ = -U_{Z1} - 0,7\text{ V} = -5,1\text{ V} - 0,7\text{ V} = -5,8\text{ V}$$

c) Der zeitliche Verlauf der Ausgangsspannung ist in Abbildung 3 zu sehen.

d) Die Ausgangsspannung über der Eingangsspannung ist in Abbildung 4 zu sehen.

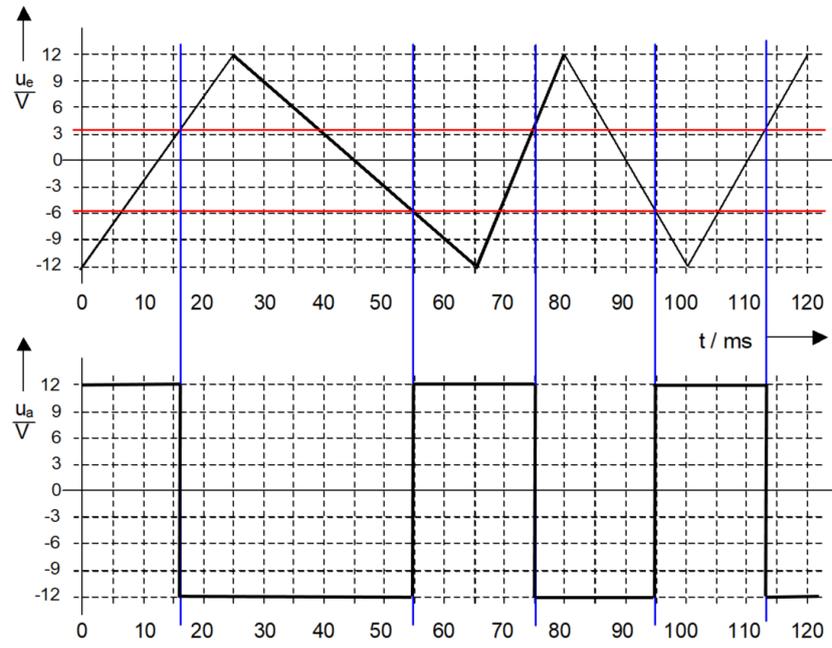


Abbildung 3

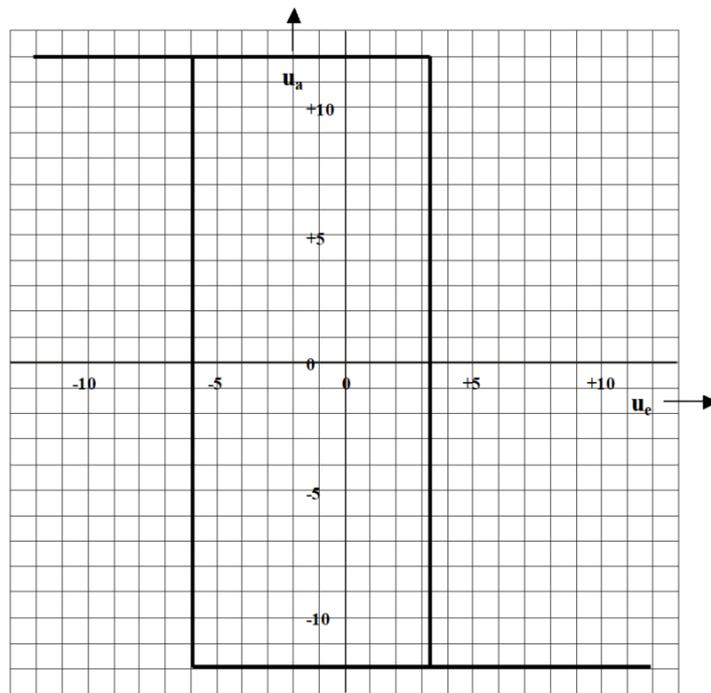


Abbildung 4

Aufgabe 3

a) Bestimmung von U_H :

Wenn der FET sperrt, wird C_L über den Widerstand R aufgeladen. Daraus folgt:

$$U_H = U_{DD} = 5 \text{ V}$$

Bestimmung von U_L :

Wenn der FET leitet stellt er einen ohmschen Widerstand von $r_{DS} = 50 \Omega$ dar. Dadurch liegt der Kondensator am Spannungsteiler R, r_{DS} .

$$U_L = U_{DD} \frac{50 \Omega}{1000 \Omega + 50 \Omega} = 0,24 \text{ V}$$

b) Die statische Verlustleistung berechnet sich zu

$$P|_{U_A=L} = U_{DD} \cdot I = U_{DD} \frac{U_{DD}}{R + r_{DS}} = \frac{25 \text{ V}^2}{1050 \Omega} = 24 \text{ mW}$$

$$P|_{U_A=H} = 0$$

c) Die dynamische Verlustleistung berechnet sich zu

$$P_{\text{dyn}} = C_L \cdot (U_H - U_L)^2 f = 2 \text{ pF} \cdot (4,76 \text{ V})^2 \cdot 10^7 \text{ Hz} = 453 \mu\text{W}$$

d) Die Gesamtverlustleistung berechnet sich zu

$$P_{\text{ges}} = P_{\text{dyn}} + r \cdot P_{\text{stat}} = 453 \mu\text{W} + 0,5 \cdot 24 \text{ mW} = 12,453 \text{ mW}$$

Aufgabe 4

a) Die Wahrheitstabelle des linken Gatters sieht folgendermaßen aus:

A	B	Y
0	0	1
0	1	1
1	0	1
1	1	0

Aus der Wahrheitstabelle kann abgelesen werden, dass es sich hierbei um ein NAND-Gatter handelt.

Die Wahrheitstabelle der rechten Schaltung sieht folgendermaßen aus:

A	U_{St}	Y
x	0	HiZ
1	1	0
0	1	1

Aus der Wahrheitstabelle kann abgelesen werden, dass es sich hierbei um ein Tri-State Inverter handelt.

b) Die logischen Schaltzeichen sind in Abbildung 5 gezeigt.

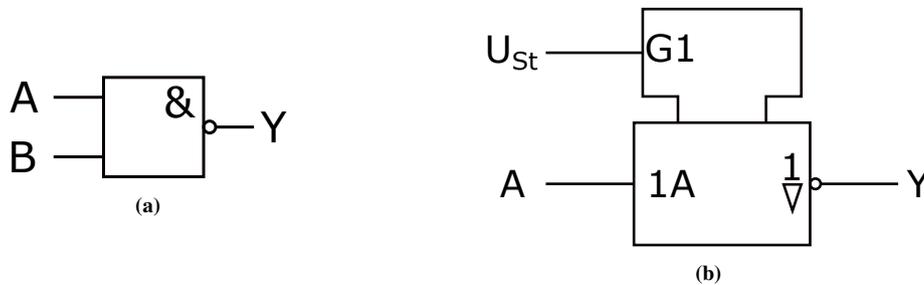


Abbildung 5: Logische Schaltzeichen a) NAND Gatter, b) Tri-State-Inverter

c) Ein AND Gatter kann aus einem NAND Gatter und einem Inverter erzeugt werden. Die Schaltung ist in Abbildung 6 zu sehen.

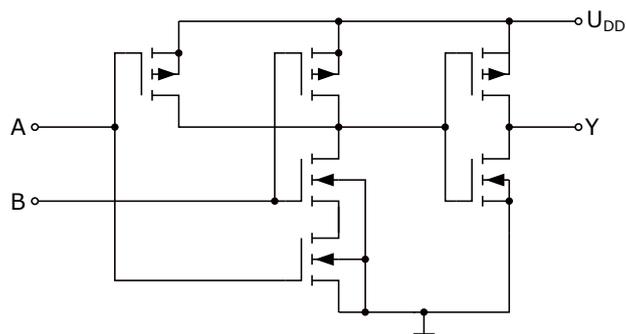


Abbildung 6