

Elektronische Schaltungen (ES)

Sommersemester 2021

Kippschaltungen

INSTITUT FÜR HOCHFREQUENZTECHNIK UND ELEKTRONIK

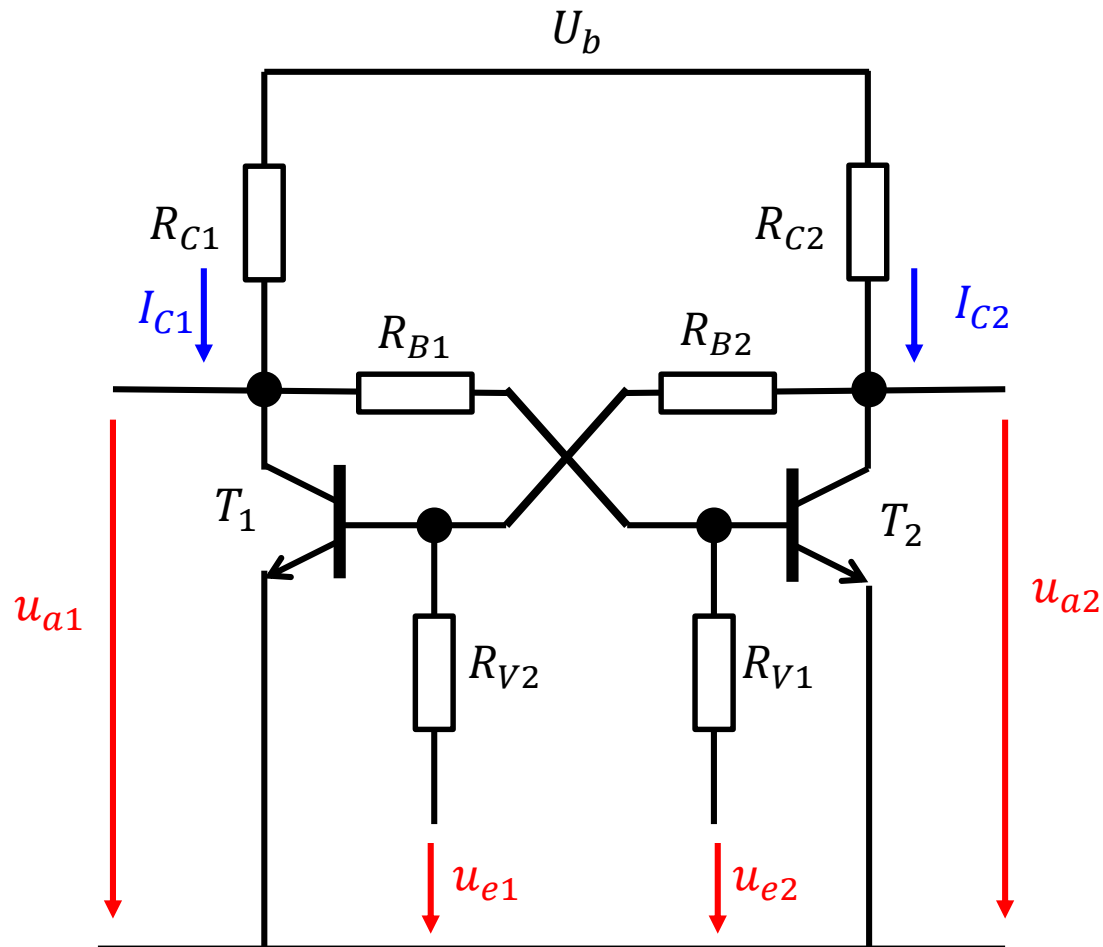


- Die Schaltungen, die wir bisher analysiert haben waren grundsätzlich lineare Schaltungen (Arbeitspunkt bestimmen → Kleinsignalersatzschaltbild zur Berechnung)
- Kippschaltungen und allgemein digitale Schaltungen sind nicht-lineare Schaltungen, hierfür werden die Übertragungskennlinien nützlich zum Verständnis

Bistabile Kippschaltungen: Flip-Flop

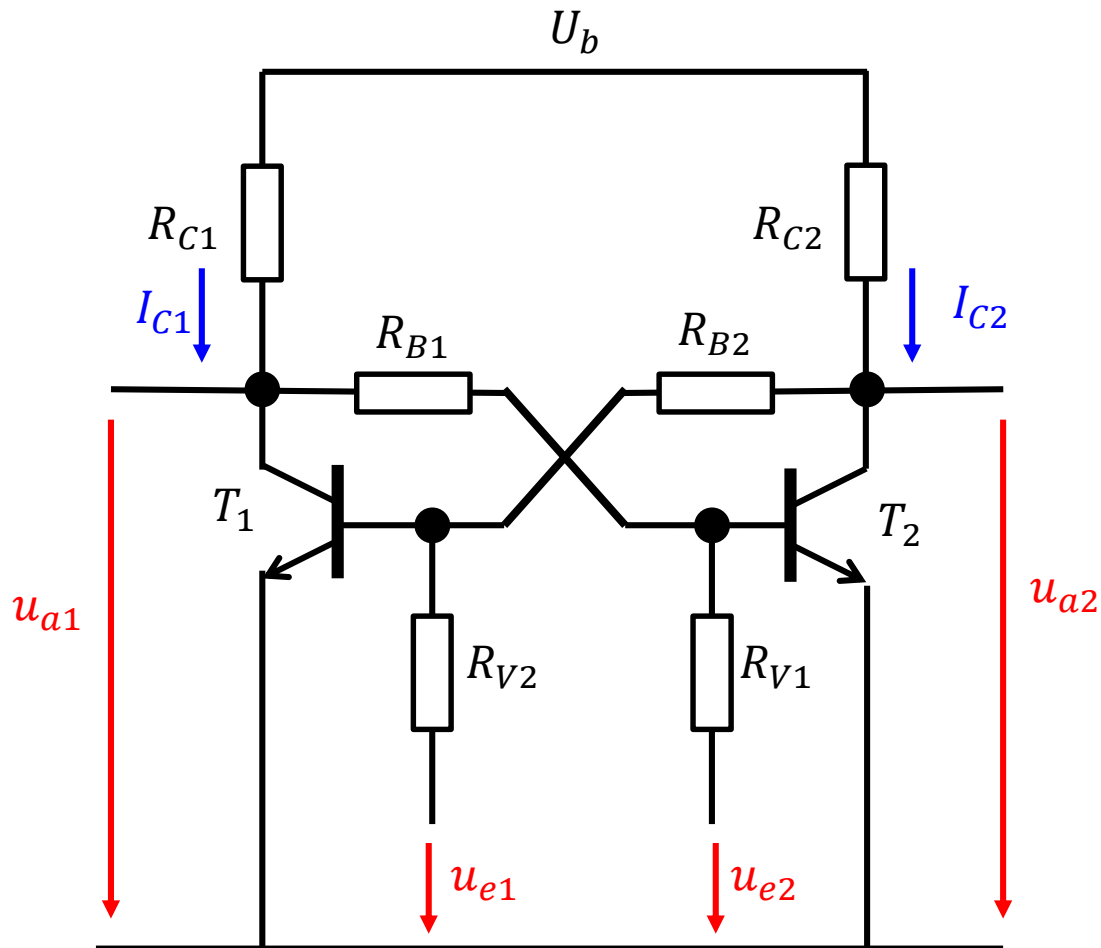
- Flip-Flops sind die grundlegendsten Kippschaltungen, sie werden bistabil genannt, da sie zwei stabile Ausgangszustände aufweisen
- Eine bistabile Kippschaltung kann ihren Ausgangszustand beibehalten, sogar wenn das Eingangssignal entfernt wird (Speicherung)

Bistabile Kippschaltungen: Flip-Flop



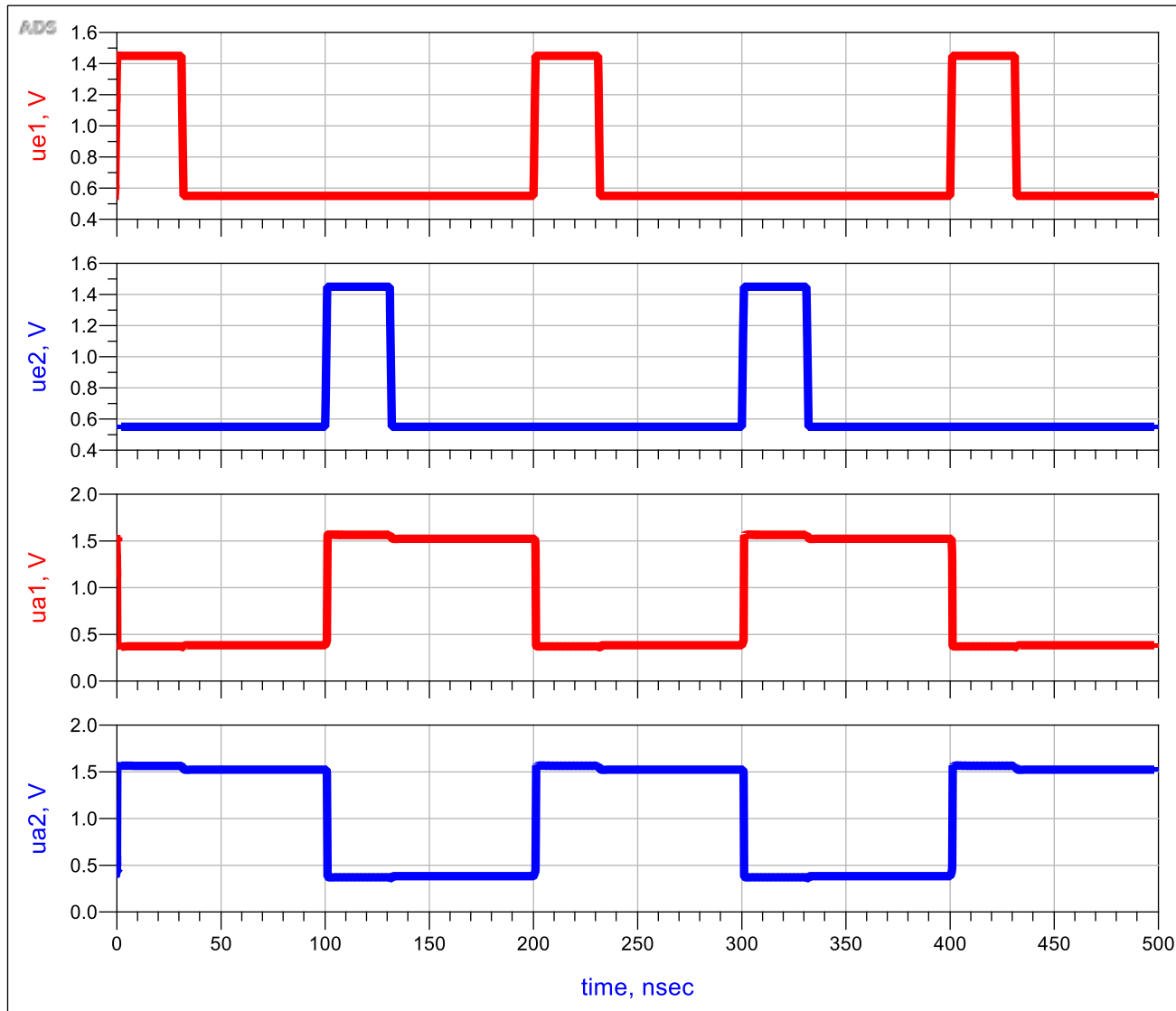
u_{e1}	u_{e2}	u_{a1}	u_{a2}
1	0		
0	1		

Bistabile Kippschaltungen: Flip-Flop



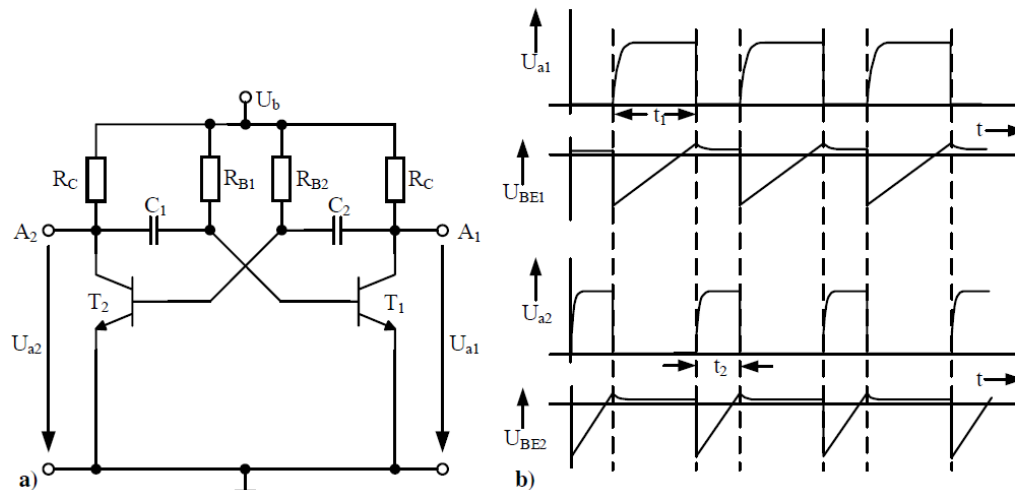
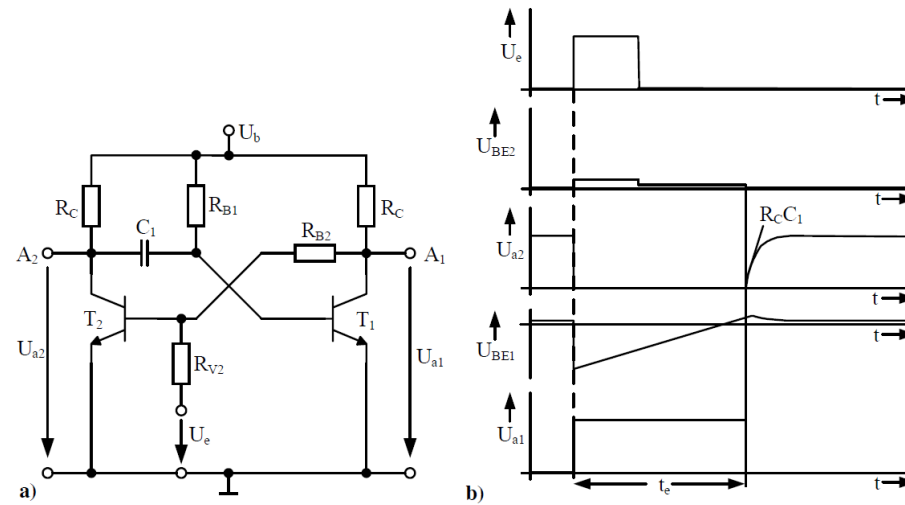
u_{e1}	u_{e2}	u_{a1}	u_{a2}
1	0	0	1
0	1	1	0
0	0		
1	1		

Bistabile Kippschaltungen: Flip-Flop



Monostabile und Astabile Kippschaltungen

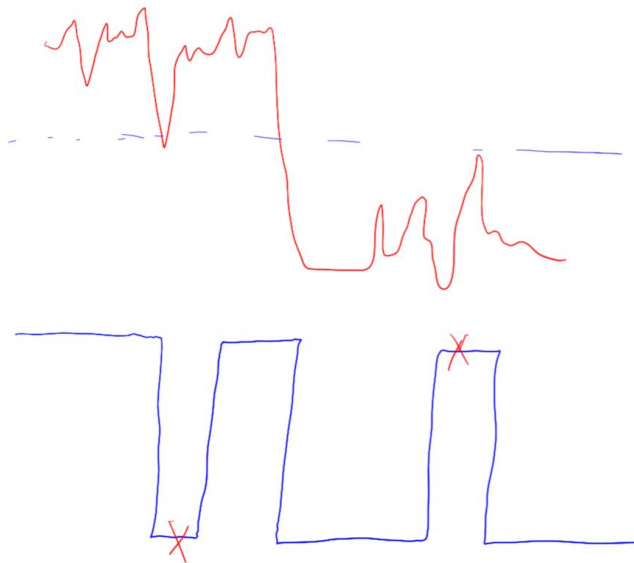
(Skript 6.1.2 & 6.1.3 und 6.3)



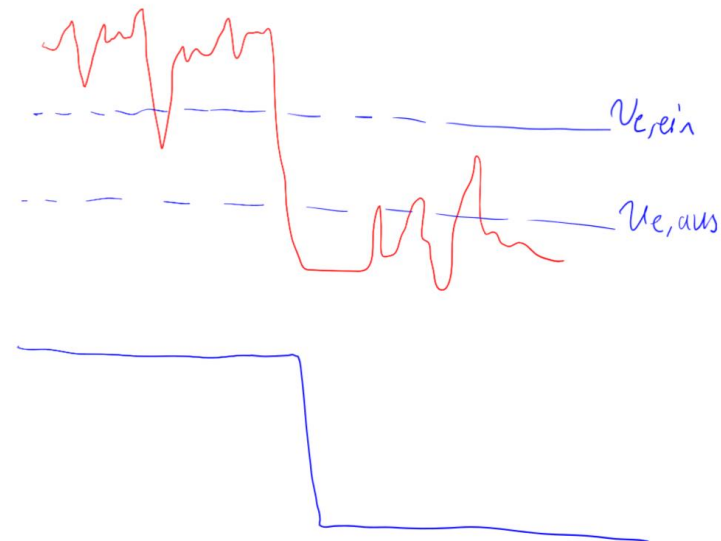
Schmitt-Trigger

- Eine typische analoge Anwendung der Kippschaltungen ist der Schmitt-Trigger, womit eine Hysterese zwischen den zwei Zuständen realisiert wird
- Das ist wichtig für digitale Anwendungen, die ein analoges Messsystem beinhalten damit das Rauschen unterdrückt wird

Einfacher Komparator

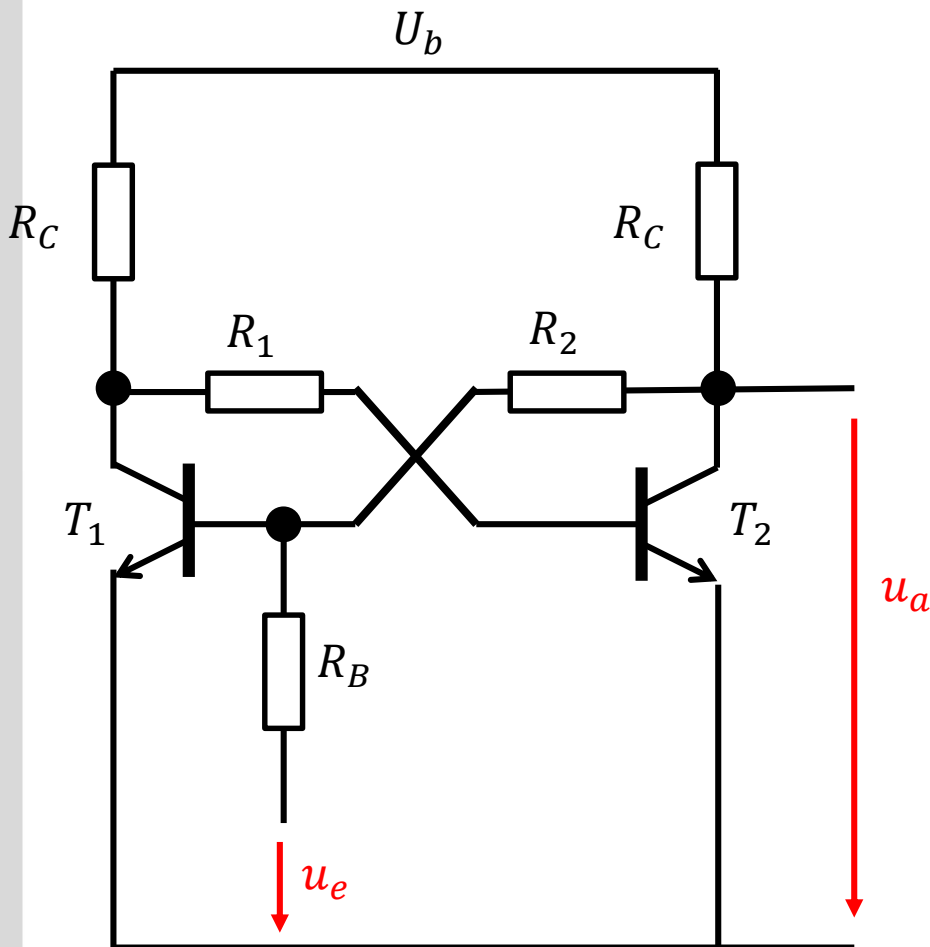


Schmitt-Trigger mit Hysterese



Schmitt-Trigger

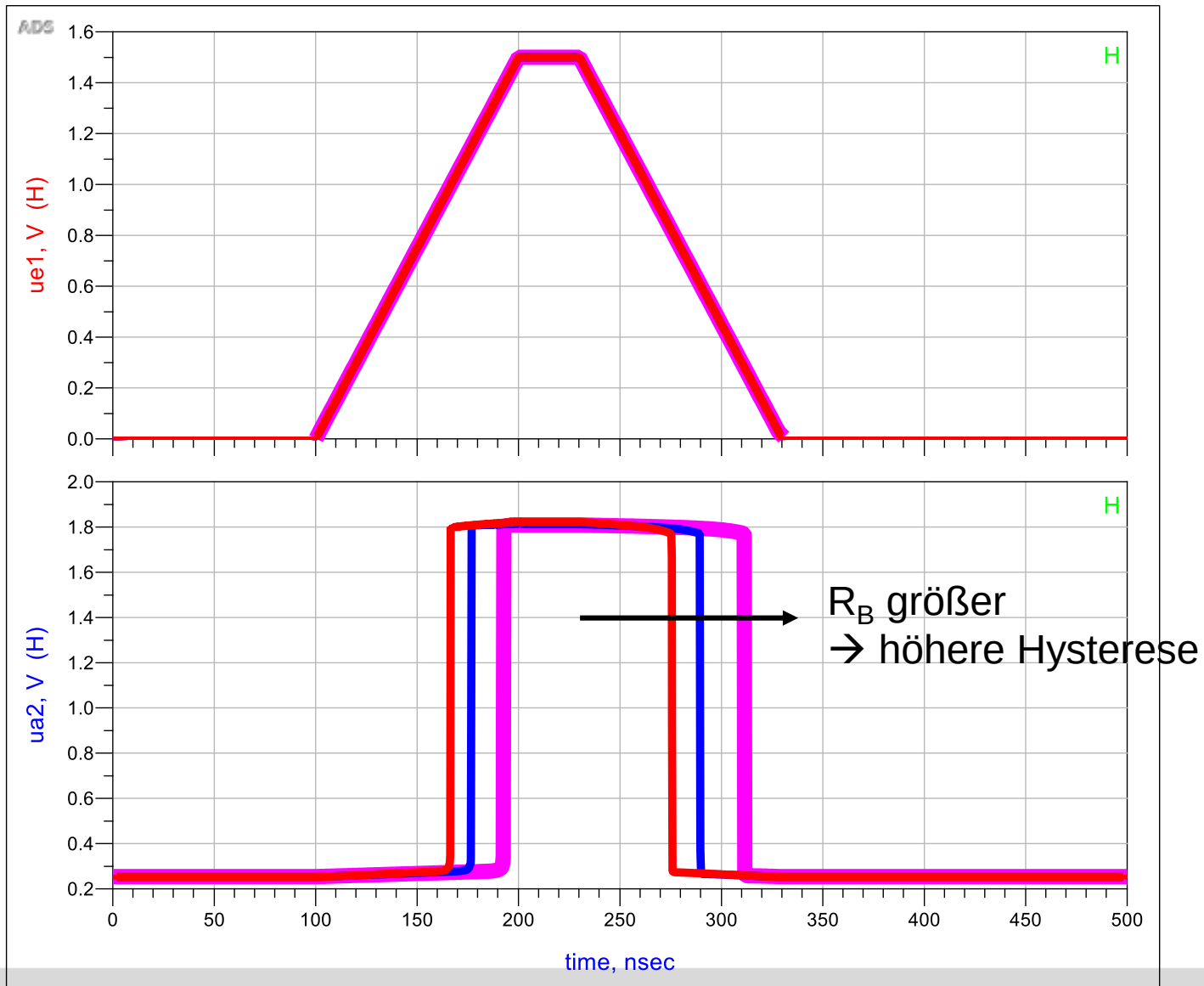
- Eine Möglichkeit einen Schmitt-Trigger zu realisieren ist die „Basis-gekoppelte“ Kippschaltung zu erweitern:



Die Hysterese wird durch die Rückkopplung vom Kollektor von T_2 zu der Basis von T_1 generiert über den Spannungsteiler zwischen R_2 und R_B → Die Schaltung weist Gedächtniseffekte auf

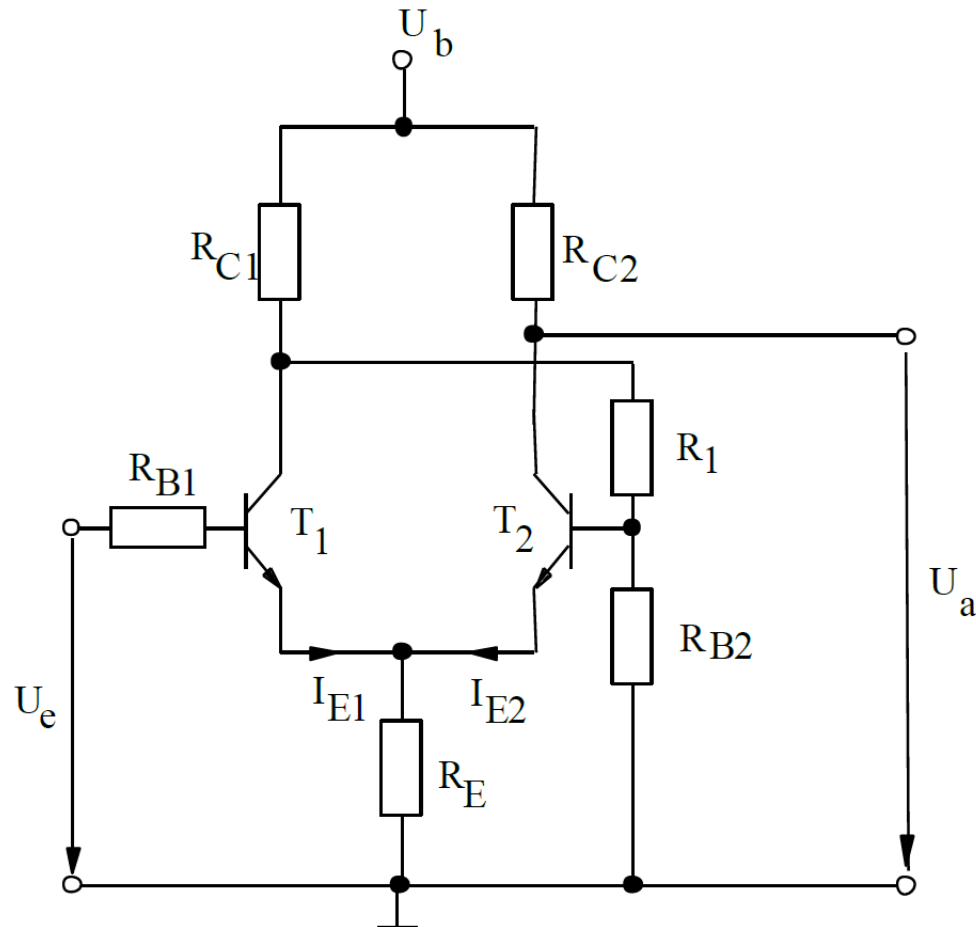
Ein Nachteil dieser Konfiguration ist, dass die Transistoren nicht komplett ausgeschaltet werden

Schmitt-Trigger



Emitter-gekoppelter Schmitt-Trigger

- Die Emitter-gekoppelte Schaltung ist die am häufigsten eingesetzte Variante und wird hier im Detail betrachtet:



Emitter-gekoppelter Schmitt-Trigger

$$U_E = (I_{E1} + I_{E2})R_E$$

Für U_e klein:

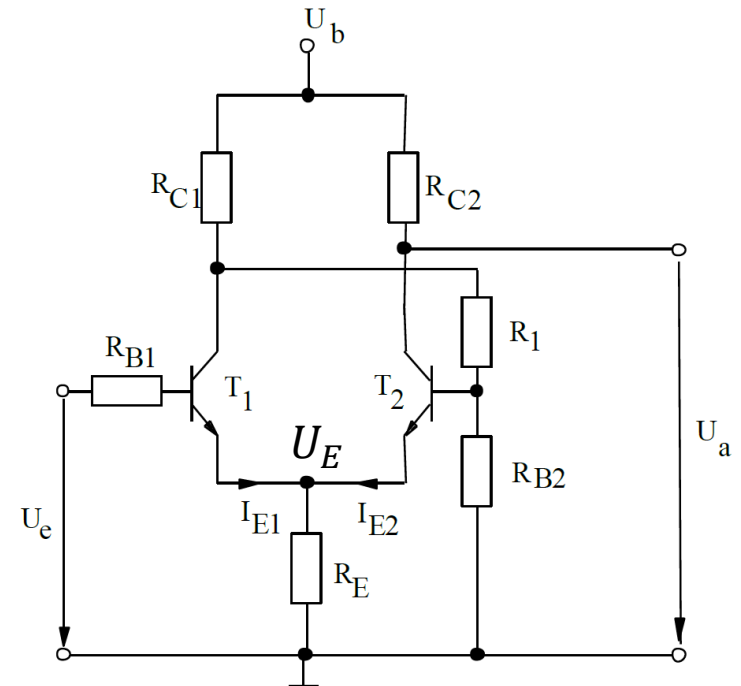
$$U_E \approx I_{E2}R_E$$

T_2 in Sättigung, r_{CE2} ist sehr klein:

$$I_{E2} \approx \frac{U_b}{R_{C2} + R_E}$$

Einschaltswelle:

$$U_{e, \text{ein}} = U_E + U_{BE, T_1} = U_b \frac{R_E}{R_{C2} + R_E} + U_{BE, T_1}$$



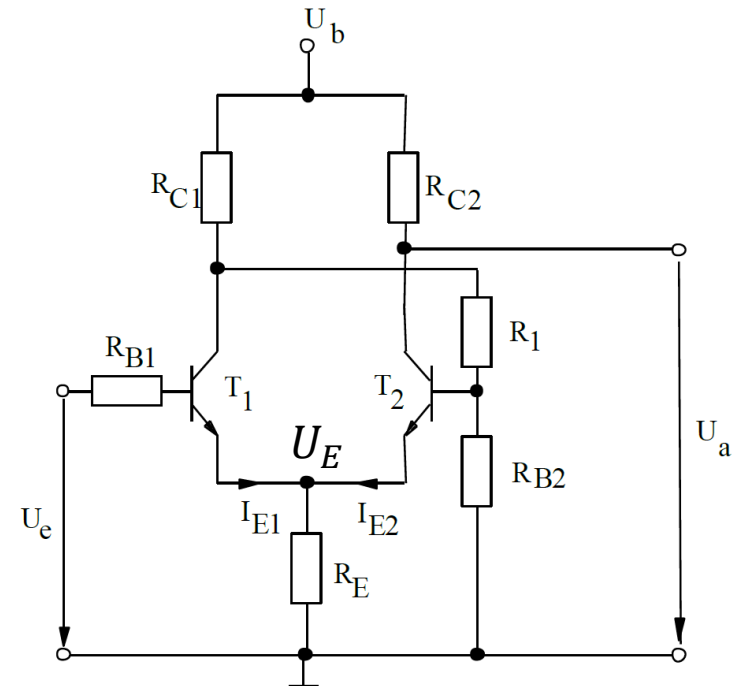
Emitter-gekoppelter Schmitt-Trigger

Für $U_e > U_{e, \text{ein}}$:

$$U_E \approx I_{E1} R_E$$

$$I_{E1} \approx \frac{U_b}{R_E + R_{C1}}$$

$$U_{e, \text{aus}} = U_b \frac{R_E}{R_{C1} + R_E} + U_{BE, T_2}$$

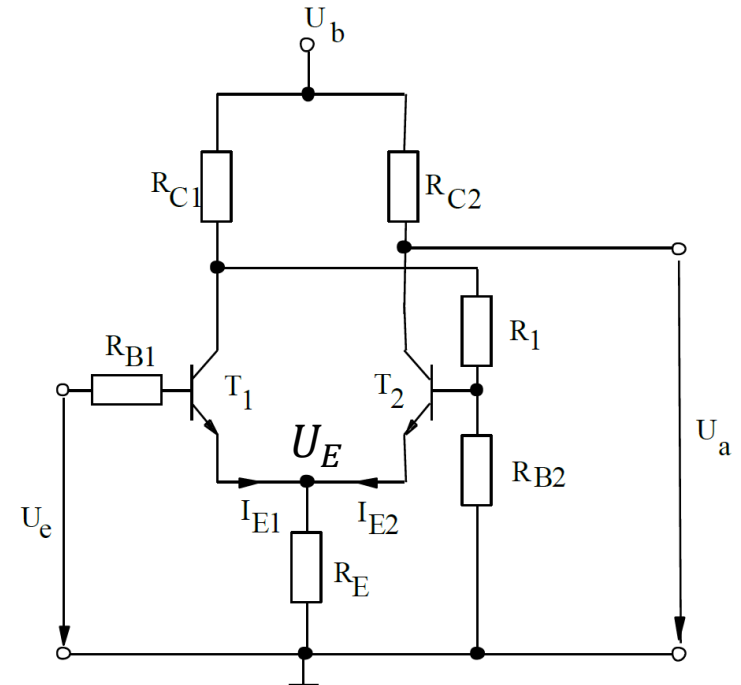


mit $R_{C1} > R_{C2}$ wird $I_{E1} < I_{E2} \rightarrow U_{e, \text{aus}} < U_{e, \text{ein}}$

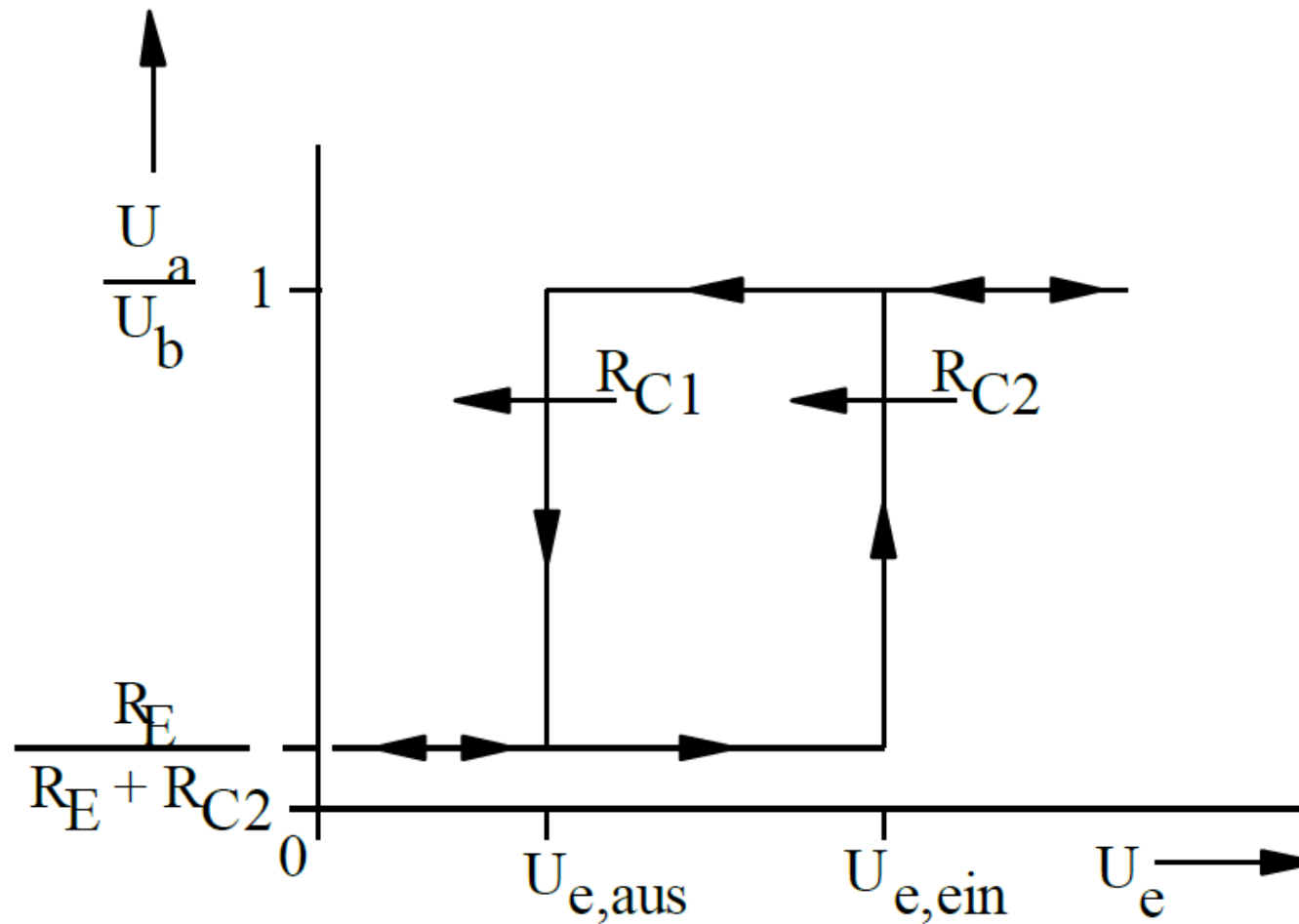
Emitter-gekoppelter Schmitt-Trigger

Zur Ansteuerung von T2

$$U_b \frac{R_{B2}}{R_{B2} + R_1 + R_{C1}} = I_{E2} R_E + U_{BE,T2}$$



Emitter-gekoppelter Schmitt-Trigger



Emitter-gekoppelter Schmitt-Trigger

$$U_b = 3 \text{ V}$$

$$U_{e, \text{ein}} = 1,8 \text{ V}$$

$$U_{e, \text{aus}} = 1,3 \text{ V}$$

$$R_{C2} = 2,1 R_E$$

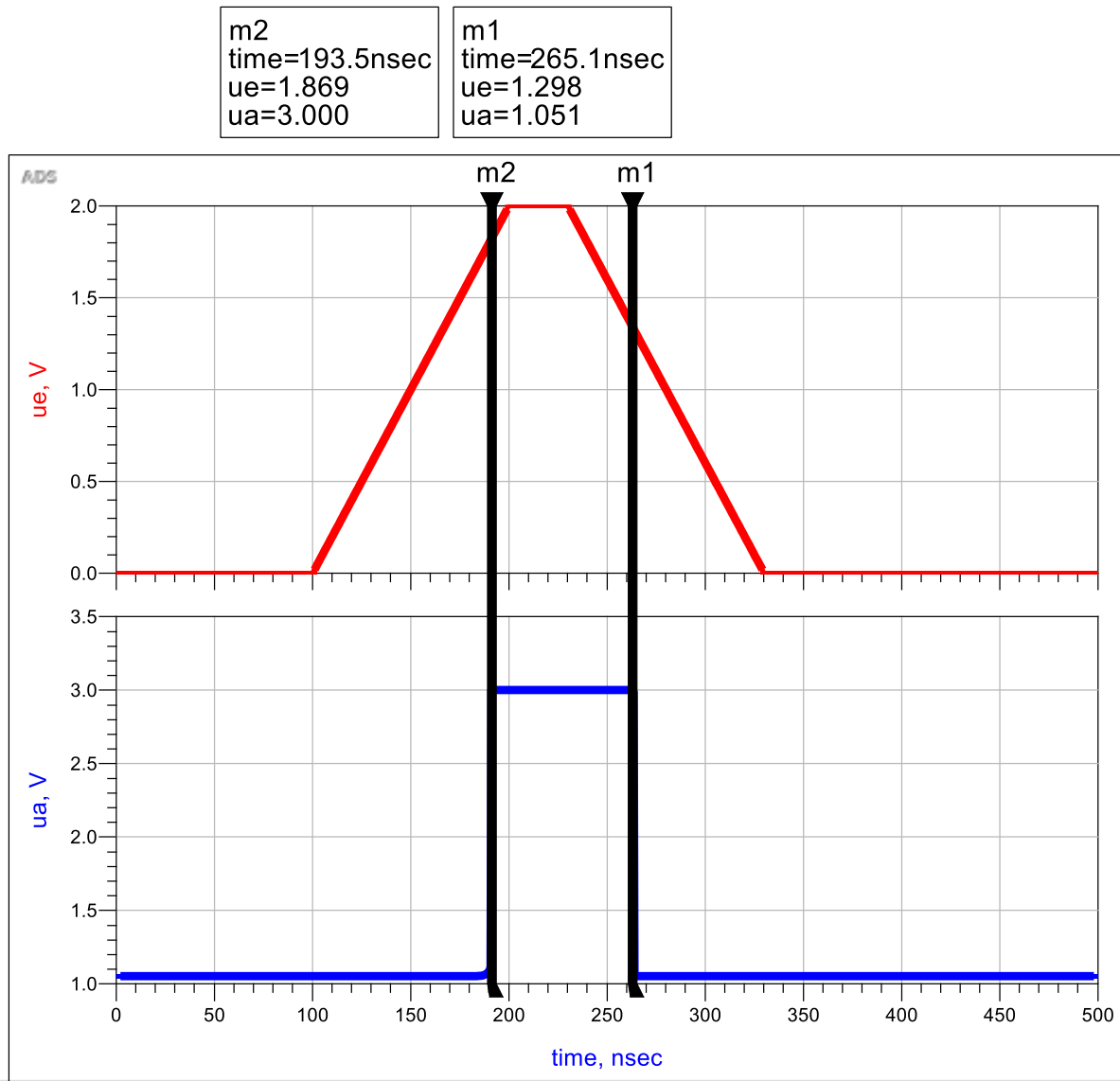
$$R_{C1} = 2,6 R_E$$

$$0,4 R_{B2} = R_1 + R_{CE1}$$

KIT
Karlsruhe Institute of Technology

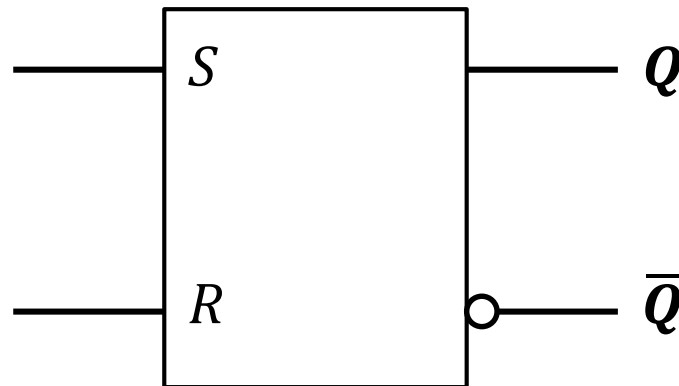


Emitter-gekoppelter Schmitt-Trigger



Zustandsgesteuerte Flip-Flop

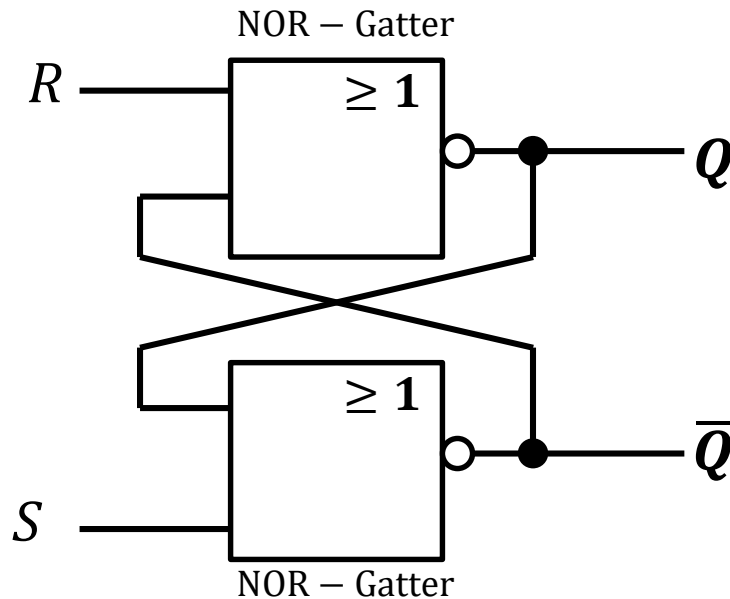
- Wir werden zuerst das RS (Reset/Set) Flip-Flop betrachten als einfachste Form einer Speicherschaltung



das Schaltsymbol des RS Flip – Flops

Zustandsgesteuerte Flip-Flop

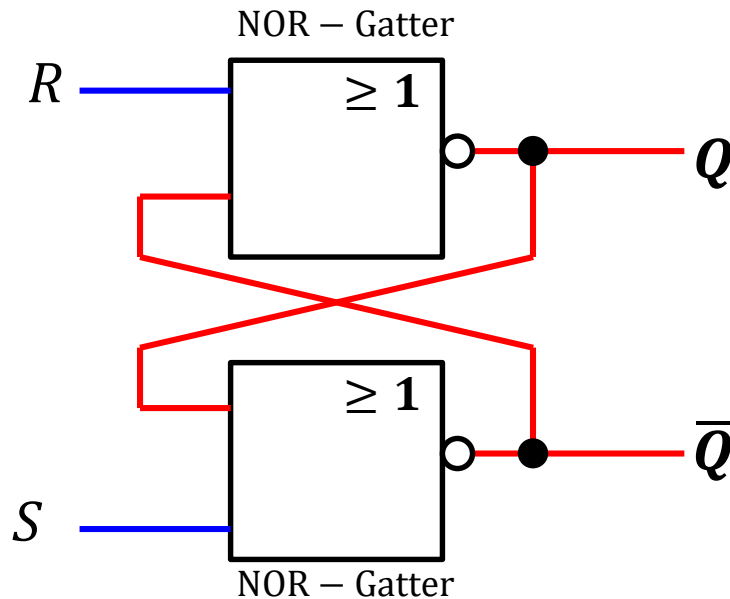
- Wir werden zuerst das RS (Reset/Set) Flip-Flop betrachten als einfachste Form einer Speicherschaltung



Implementierung des RS Flip – Flops

Zustandsgesteuerte Flip-Flop

- Wir werden zuerst das RS (Reset/Set) Flip-Flop betrachten als einfachste Form einer Speicherschaltung



U_1	U_2	U_a
0	0	1
0	1	0
1	0	0
1	1	0

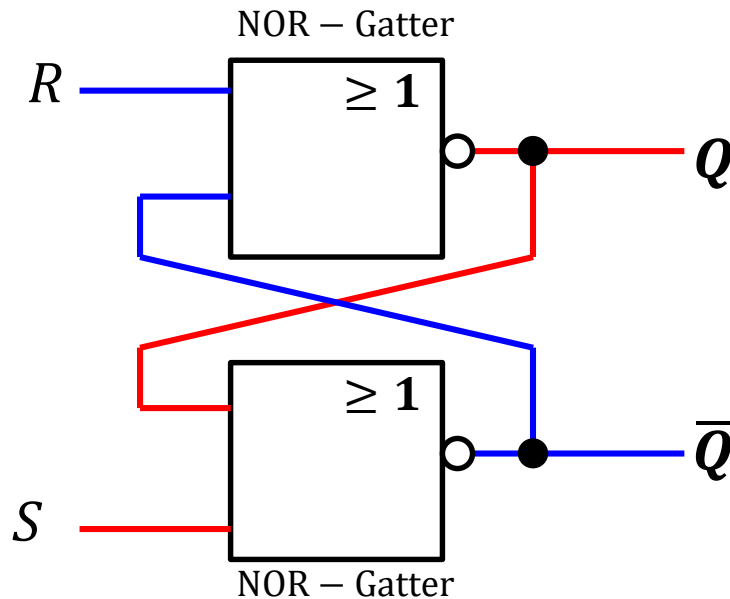
NOR – Gatter

S	R	Q	$\bar{Q}$
1	1	0	0

Implementierung des RS Flip – Flops

RS Flip-Flop

- Wir werden zuerst das RS (Reset/Set) Flip-Flop betrachten als einfachste Form einer Speicherschaltung



U_1	U_2	U_a
0	0	1
0	1	0
1	0	0
1	1	0

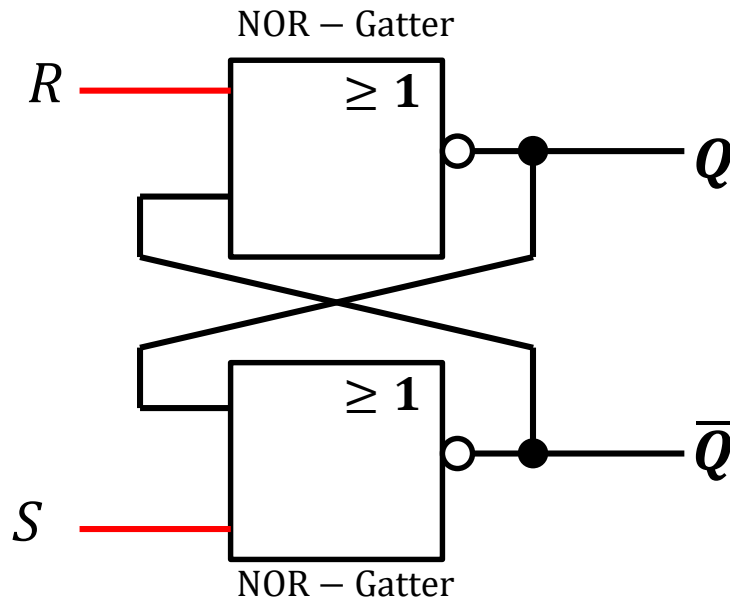
NOR – Gatter

S	R	Q	$\bar{Q}$
1	1	0	0
1	0	1	0
0	1	0	1

Implementierung des RS Flip – Flops

RS Flip-Flop

- Wir werden zuerst das RS (Reset/Set) Flip-Flop betrachten als einfachste Form einer Speicherschaltung



U_1	U_2	U_a
0	0	1
0	1	0
1	0	0
1	1	0

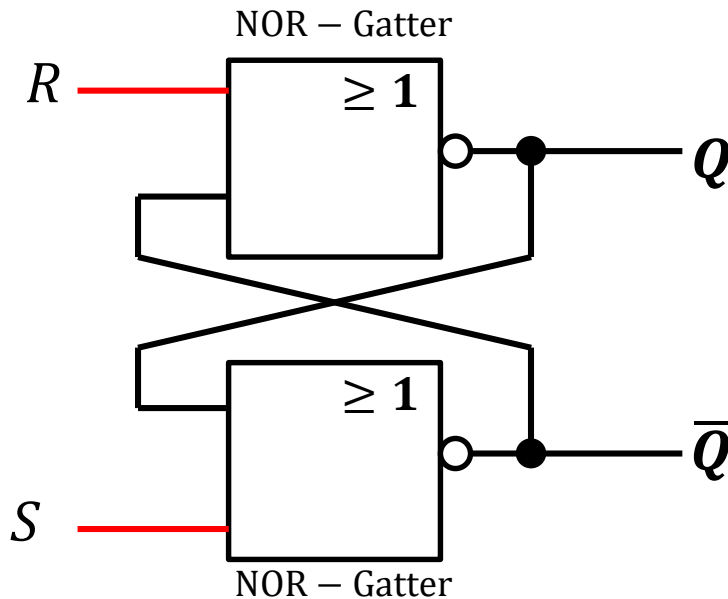
NOR – Gatter

S	R	Q	$\bar{Q}$
1	1	0	0
1	0	1	0
0	1	0	1
0	0	Q^{-1}	$\overline{Q^{-1}}$

Implementierung des RS Flip – Flops

RS Flip-Flop

- Wir werden zuerst das RS (Reset/Set) Flip-Flop betrachten als einfachste Form einer Speicherschaltung



U_1	U_2	U_a
0	0	1
0	1	0
1	0	0
1	1	0

NOR – Gatter

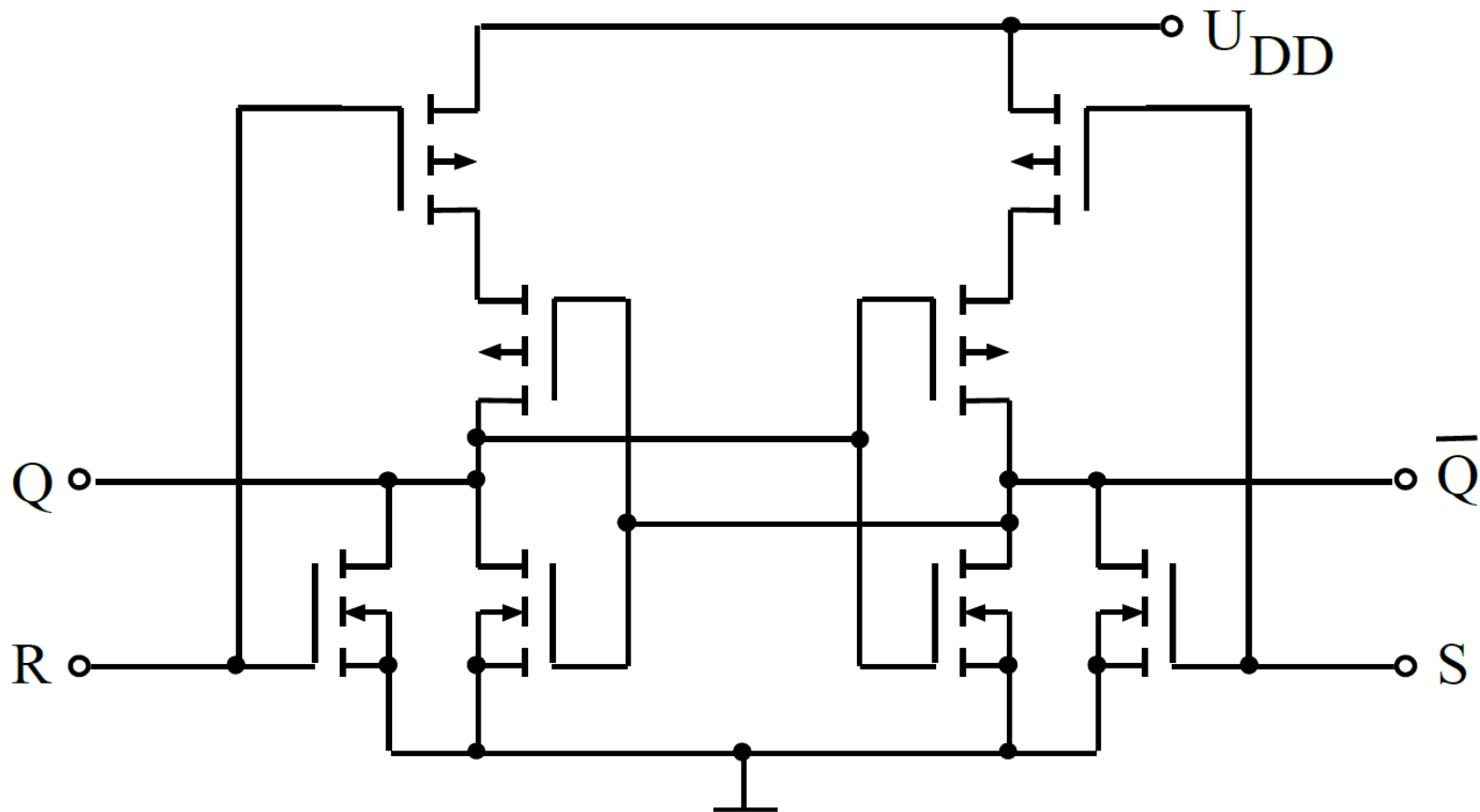
S	R	Q	$\bar{Q}$
1	1	-	-
1	0	1	0
0	1	0	1
0	0	Q^{-1}	$\overline{Q^{-1}}$

Implementierung des RS Flip – Flops

Der Zustand $S=R=1$ wird avoided, da ein Übergang zu $S=R=0$ einen undefinierten Zustand erzeugen

RS Flip-Flop

■ CMOS Implementierung

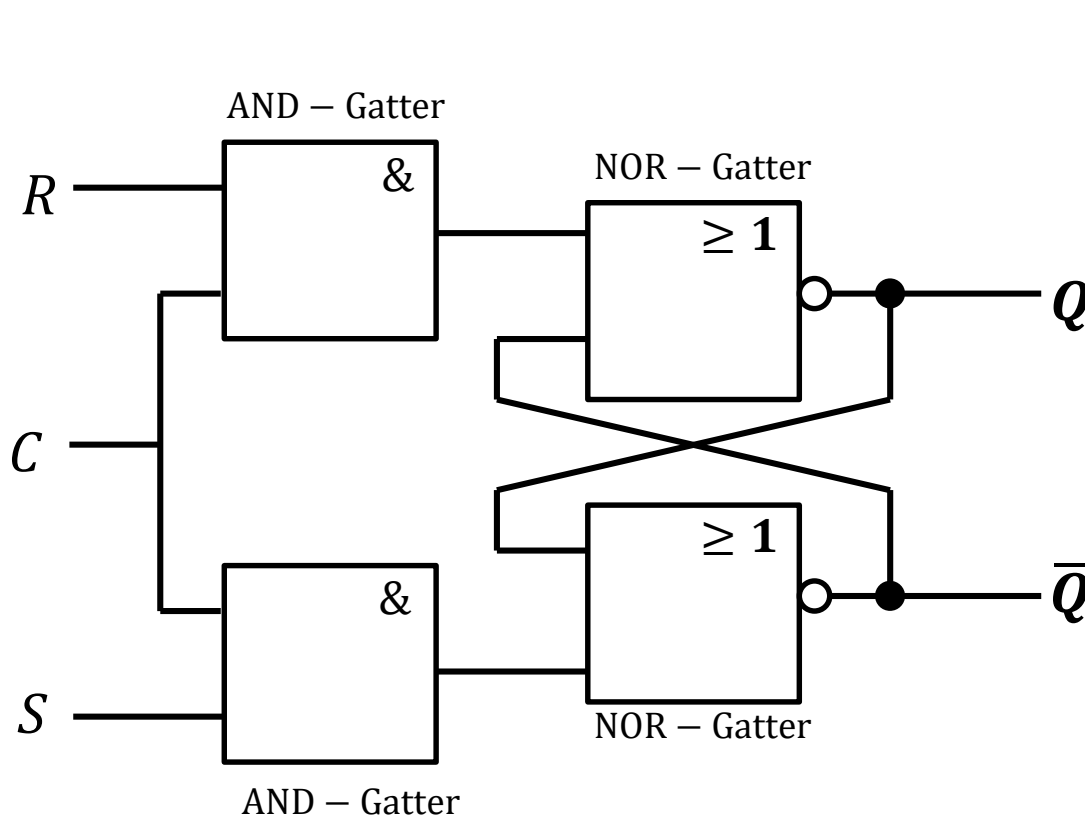


Taktzustandsgesteuertes Flip-Flop

- Für zustandsgesteuerte (oder asynchrone) Logikschaltungen ist die zeitliche Verzögerung oder Versatz der Eingangssignale problematisch, wodurch am Ausgang falsche Zustände generiert werden können
- Die häufiger eingesetzte Variante sind die taktzustandsgesteuerten (synchronen) Schaltungen, die den Zustand nur in einem bestimmten Zeitfenster ändern können, welches durch ein zusätzliches Taktsignal definiert wird

Taktzustandsgesteuertes RS Flip-Flop

- Das RS-Flip-Flop wird in einer einfachen Weise erweitert mit AND-Gattern am Eingang, die von einem Taktsignal gesteuert werden



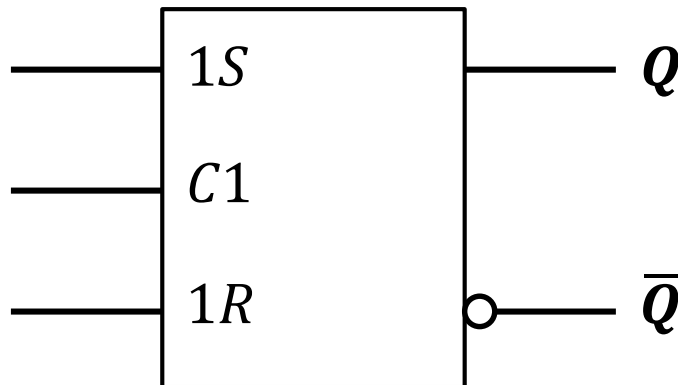
AND – Gatter

U_1	U_2	U_a
0	0	0
0	1	0
1	0	0
1	1	1

C	S	R	Q	$\bar{Q}$
0	X	X	Q^{-1}	$\overline{Q^{-1}}$
1	0	0	Q^{-1}	$\overline{Q^{-1}}$
1	0	1	0	1
1	1	0	1	0
1	1	1	-	-

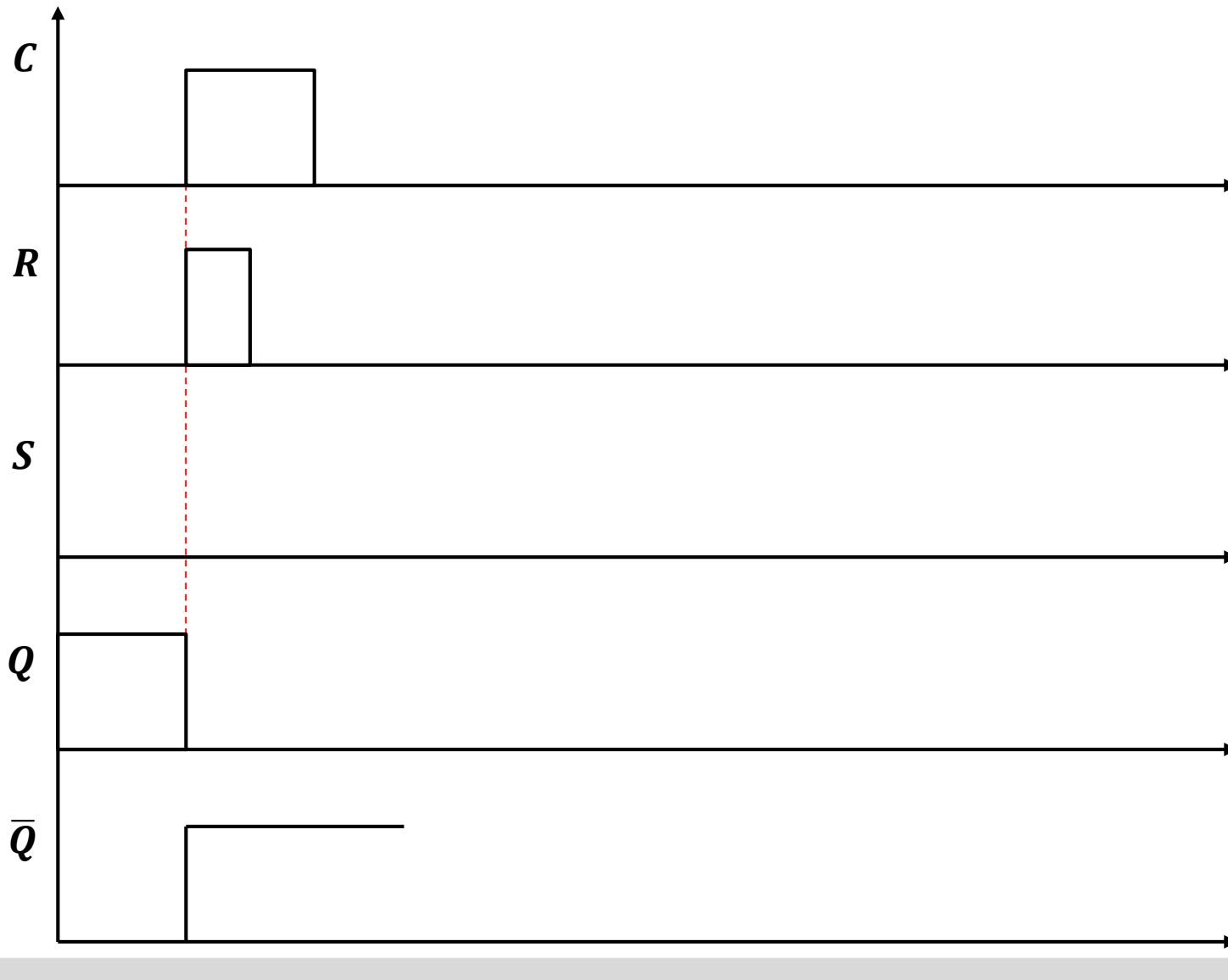
Taktzustandsgesteuertes RS Flip-Flop

- Das RS-Flip-Flop wird in einer einfachen Weise erweitert mit AND-Gattern am Eingang, die von einem Taktsignal gesteuert werden

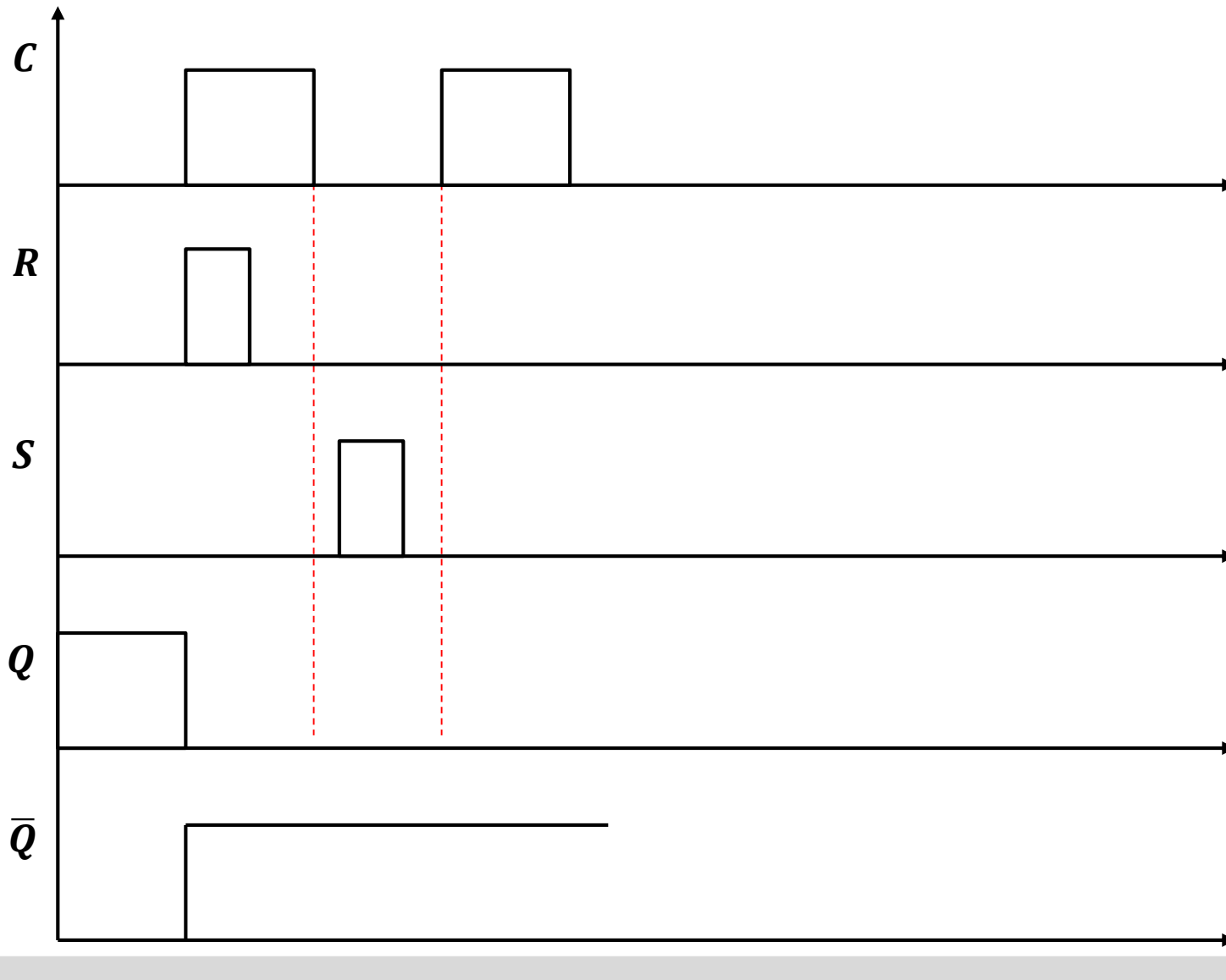


C	S	R	Q	$\bar{Q}$
0	X	X	Q^{-1}	$\overline{Q^{-1}}$
1	0	0	Q^{-1}	$\overline{Q^{-1}}$
1	0	1	0	1
1	1	0	1	0
1	1	1	-	-

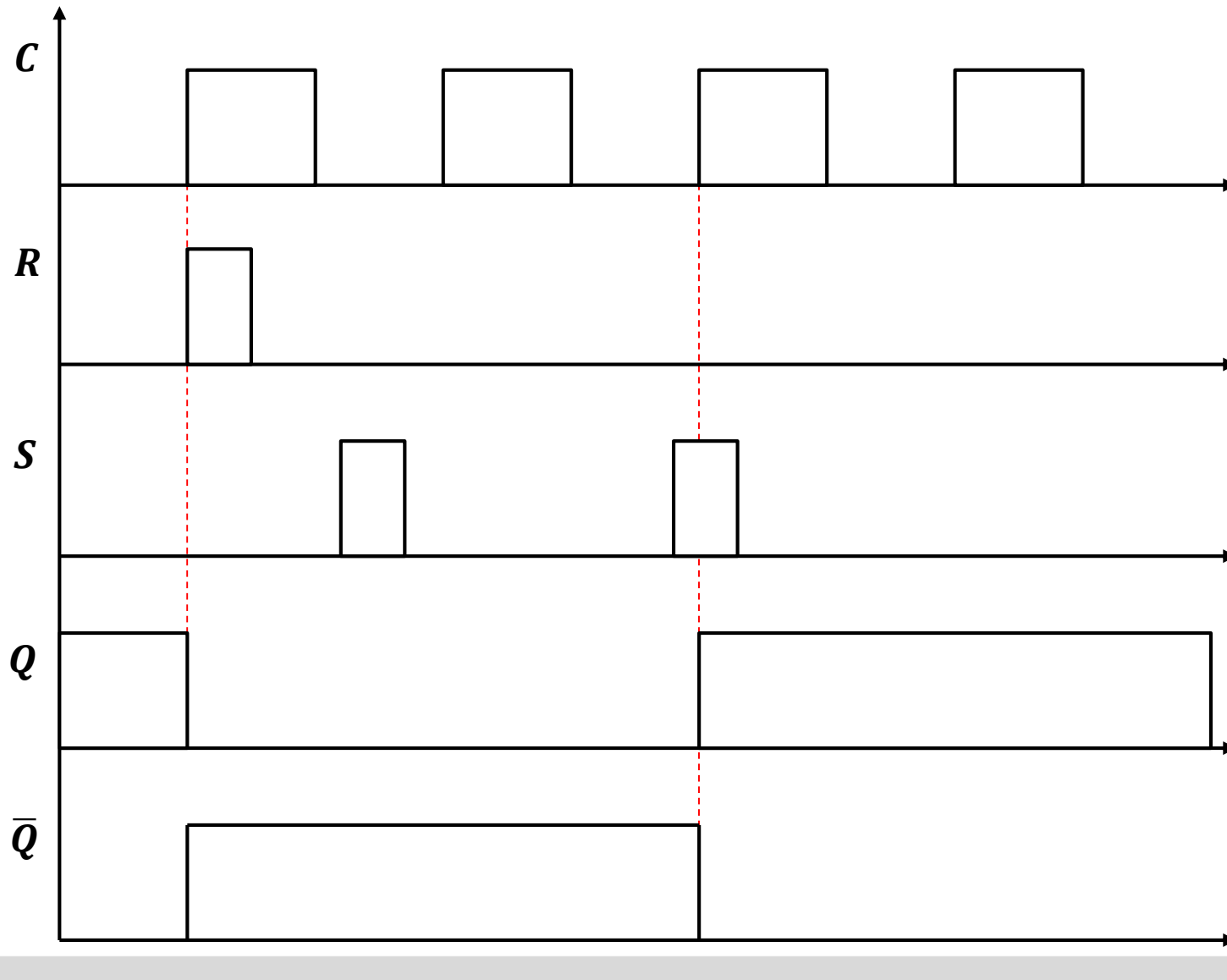
Taktzustandsgesteuertes RS Flip-Flop

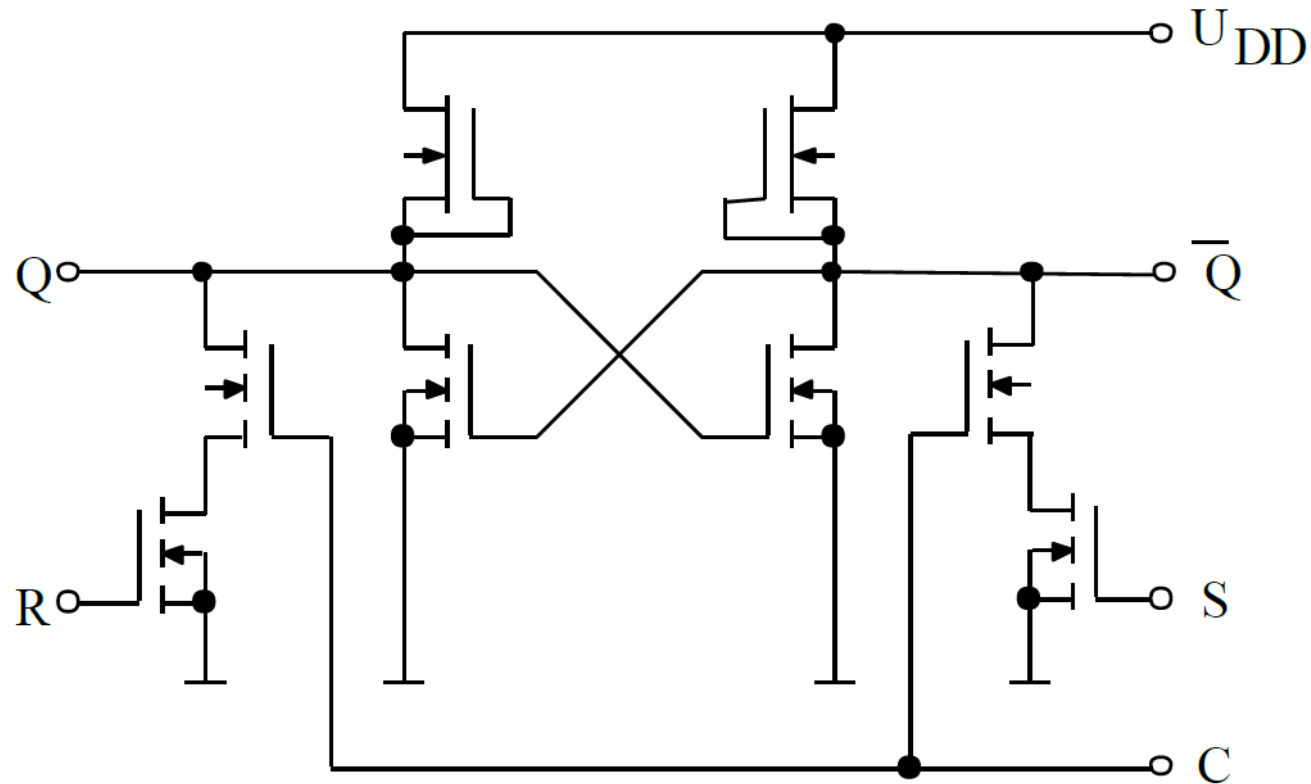


Taktzustandsgesteuertes RS Flip-Flop



Taktzustandsgesteuertes RS Flip-Flop

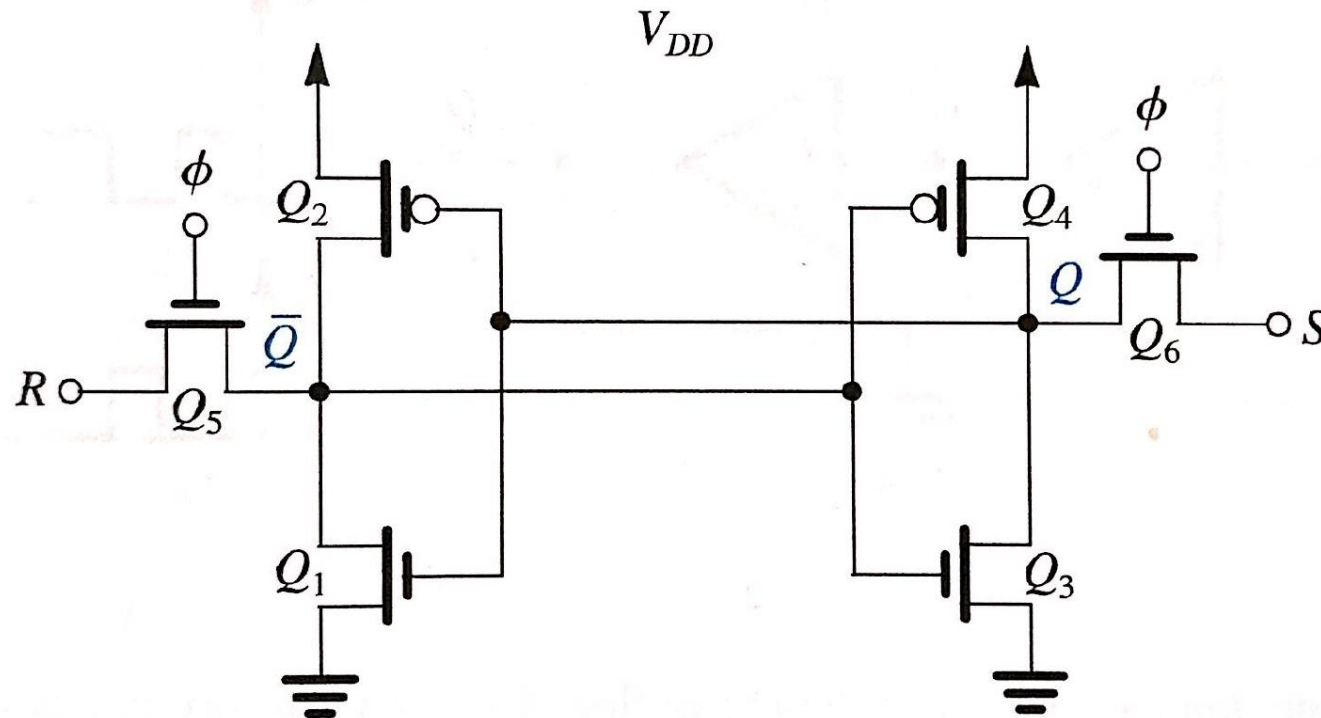




KIT
Karlsruhe Institute of Technology



Einfache CMOS Implementierung

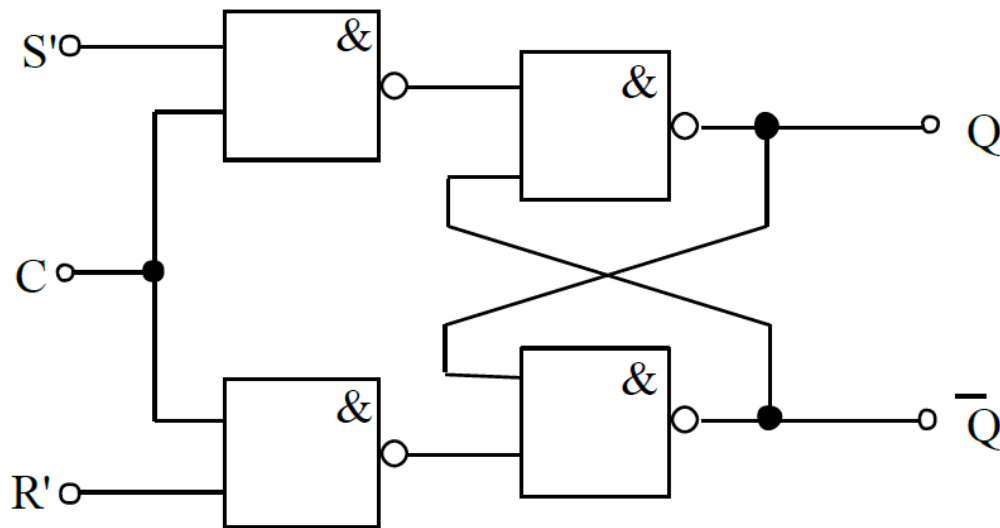


Sedra/Smith „Microelectronic Circuits“

Effiziente Schaltungslösungen möglich aus einer CMOS-Design-Perspektive statt einfachem Logik-Design

Taktzustandsgesteuertes RS Flip-Flop mit NAND

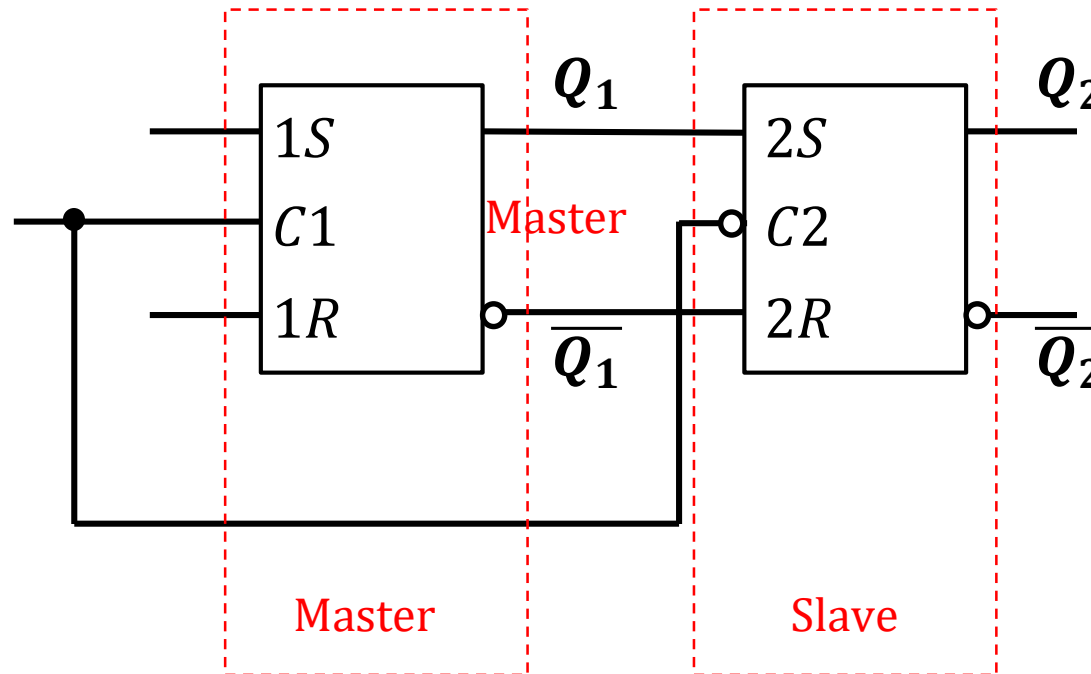
- Das gleiche Ergebnis kann mit NAND-Gattern erreicht werden:



C	S	R	Q	$\bar{Q}$
0	X	X	Q^{-1}	$\overline{Q^{-1}}$
1	0	0	Q^{-1}	$\overline{Q^{-1}}$
1	0	1	0	1
1	1	0	1	0
1	1	1	-	-

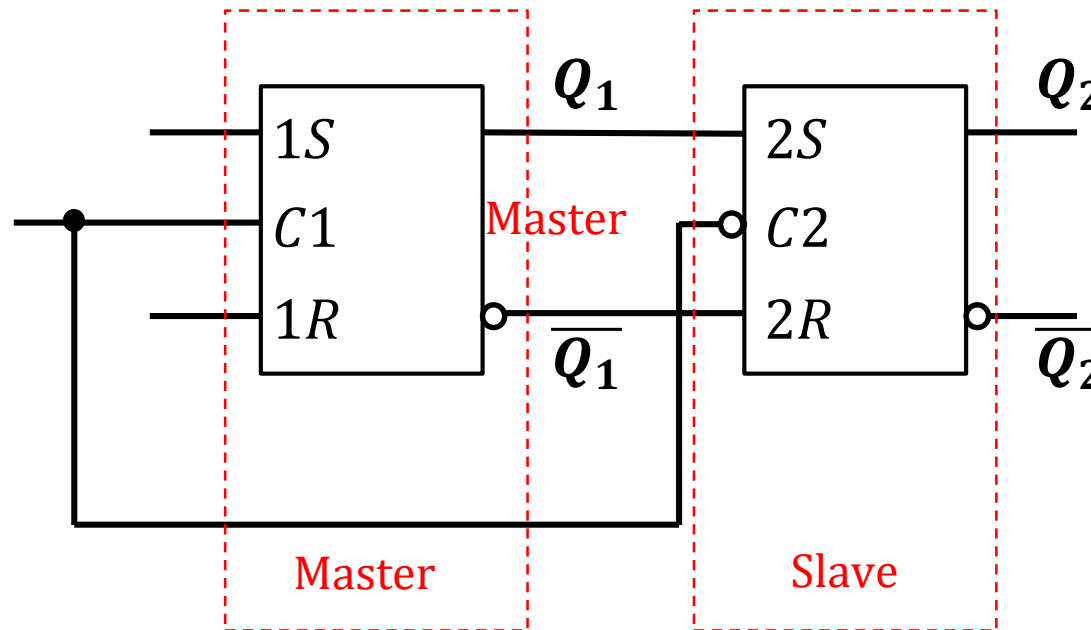
RS Master-Slave Flip-Flops

- Eine höhere Robustheit der synchronen Logik kann durch Trennung von Einlesen und Ausgabe während jeweils des positiven und negativen Zyklus des Taktsignals erreicht werden



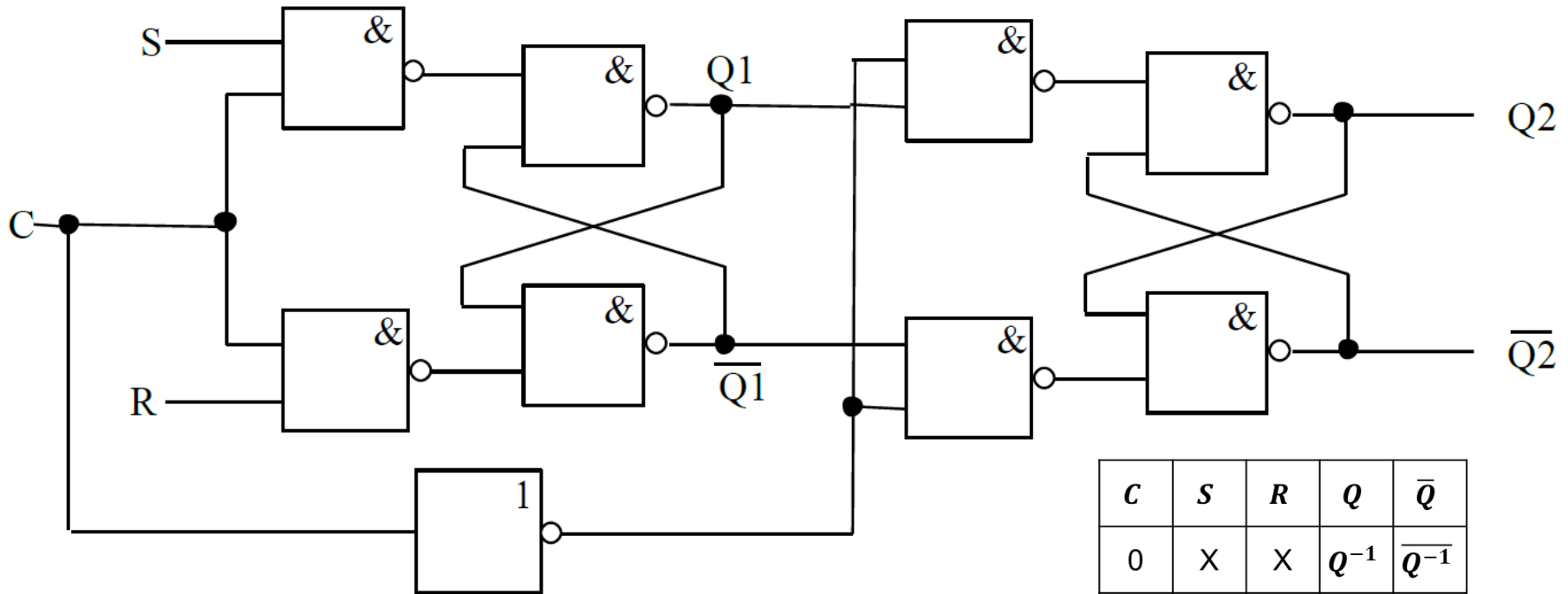
RS Master-Slave Flip-Flops

- Eine höhere Robustheit der synchronen Logik kann durch Trennung von Einlesen und Ausgabe während jeweils des positiven und negativen Zyklus des Taktsignals erreicht werden



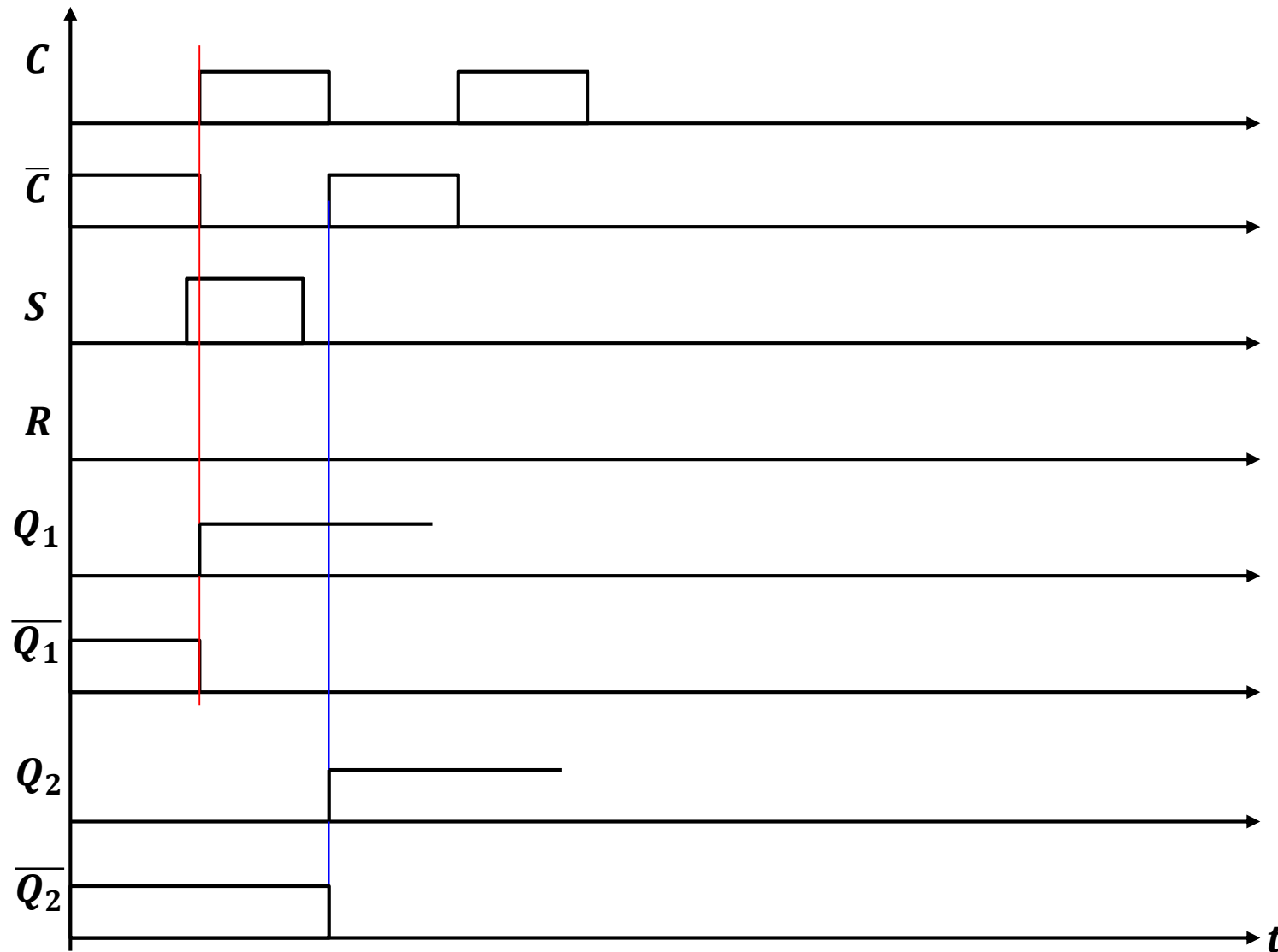
C	Master	Slave
1	Übernahme	inaktiv
$1 \rightarrow 0$	inaktiv	Übernahme aus Master

RS Master-Slave Flip-Flops

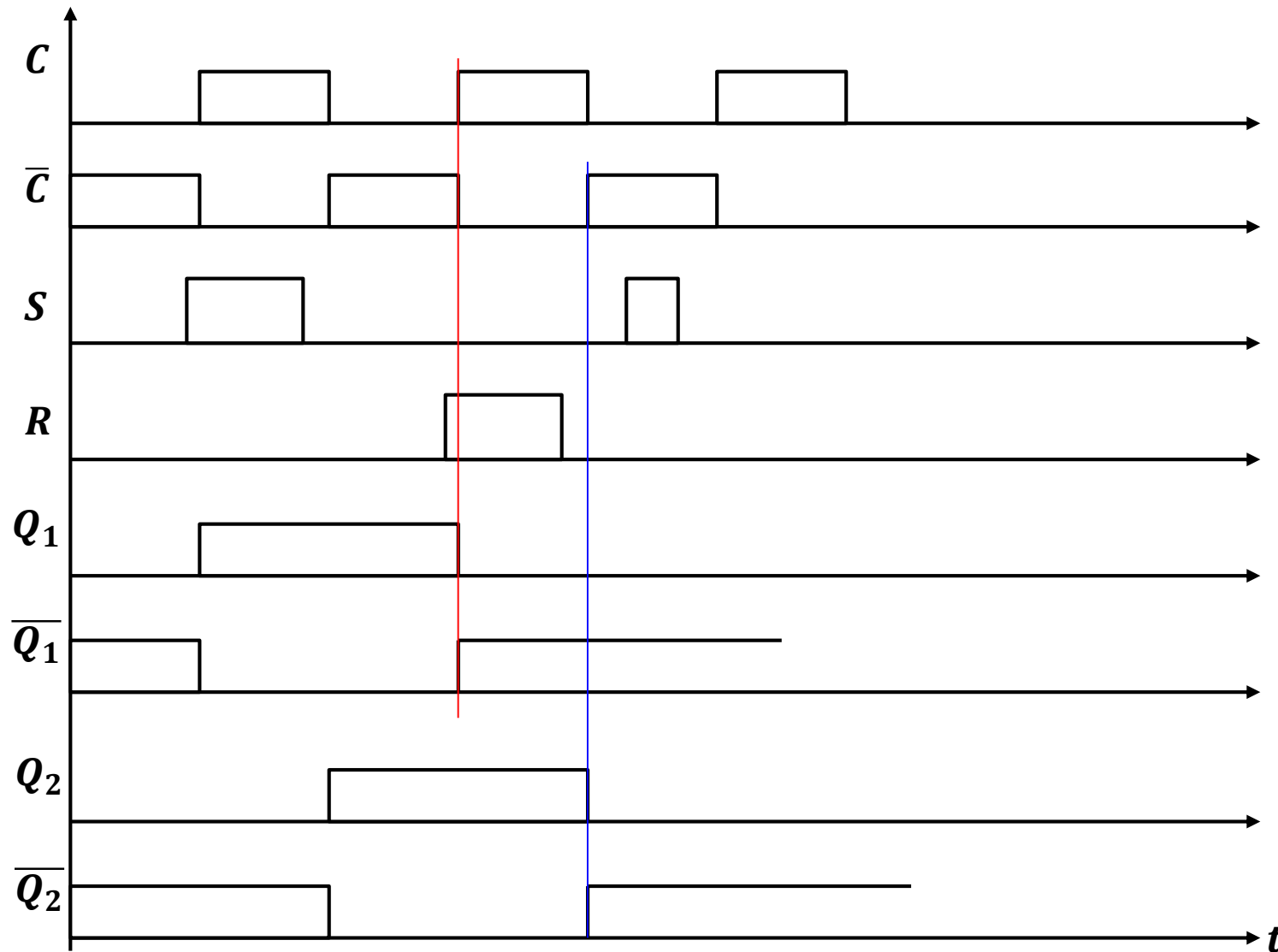


C	S	R	Q	$\bar{Q}$
0	X	X	Q^{-1}	$\bar{Q}^{-1}$
1	0	0	Q^{-1}	$\bar{Q}^{-1}$
1	0	1	0	1
1	1	0	1	0
1	1	1	-	-

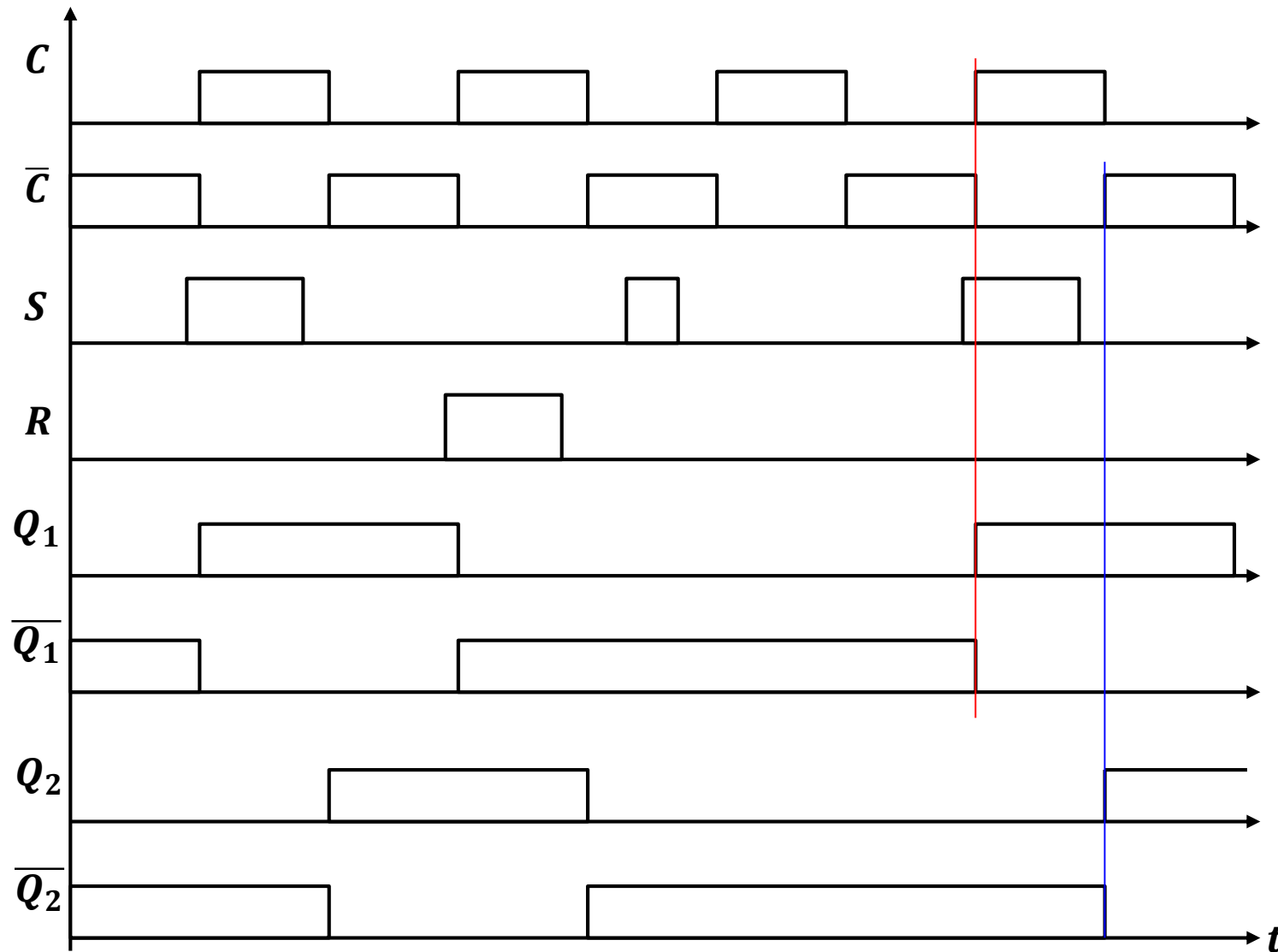
RS Master-Slave Flip-Flops



RS Master-Slave Flip-Flops

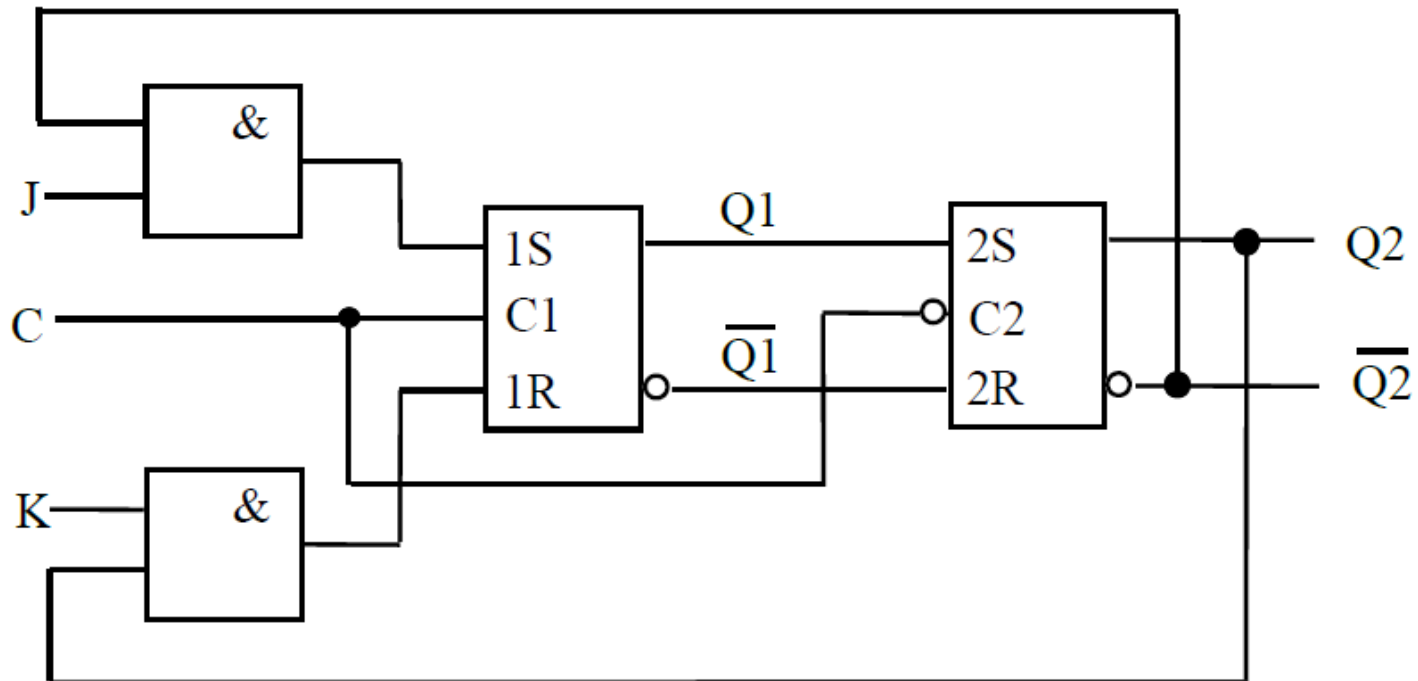


RS Master-Slave Flip-Flops



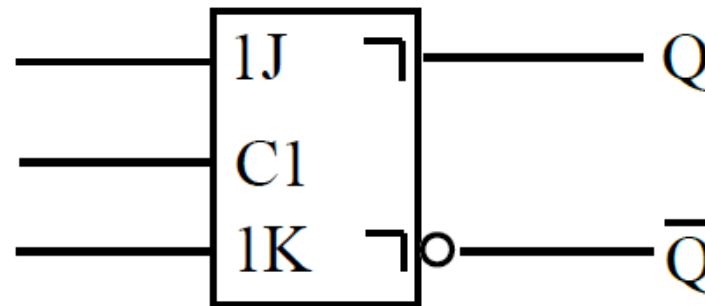
JK Master-Slave Flip-Flops

- Bei RS Master-Slave Flip-Flops kann auch ein undefinierter Zustand entstehen für $R = S = C = 1$
- Dieser Nachteil wird vermieden durch Rückführung der Ausgangssignale zu den Eingängen → JK-Master-Slave Flip-Flop



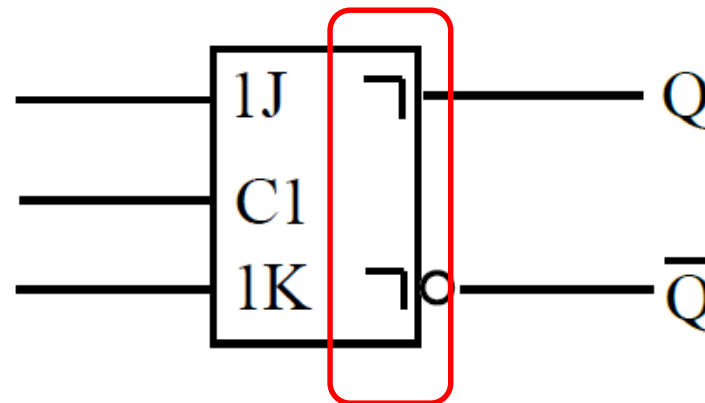
JK Master-Slave Flip-Flops

- Bei RS Master-Slave Flip-Flops kann auch ein undefinierter Zustand entstehen für $R = S = C = 1$
- Dieser Nachteil wird vermieden durch Rückführung der Ausgangssignale zu den Eingängen → JK-Master-Slave Flip-Flop



JK Master-Slave Flip-Flops

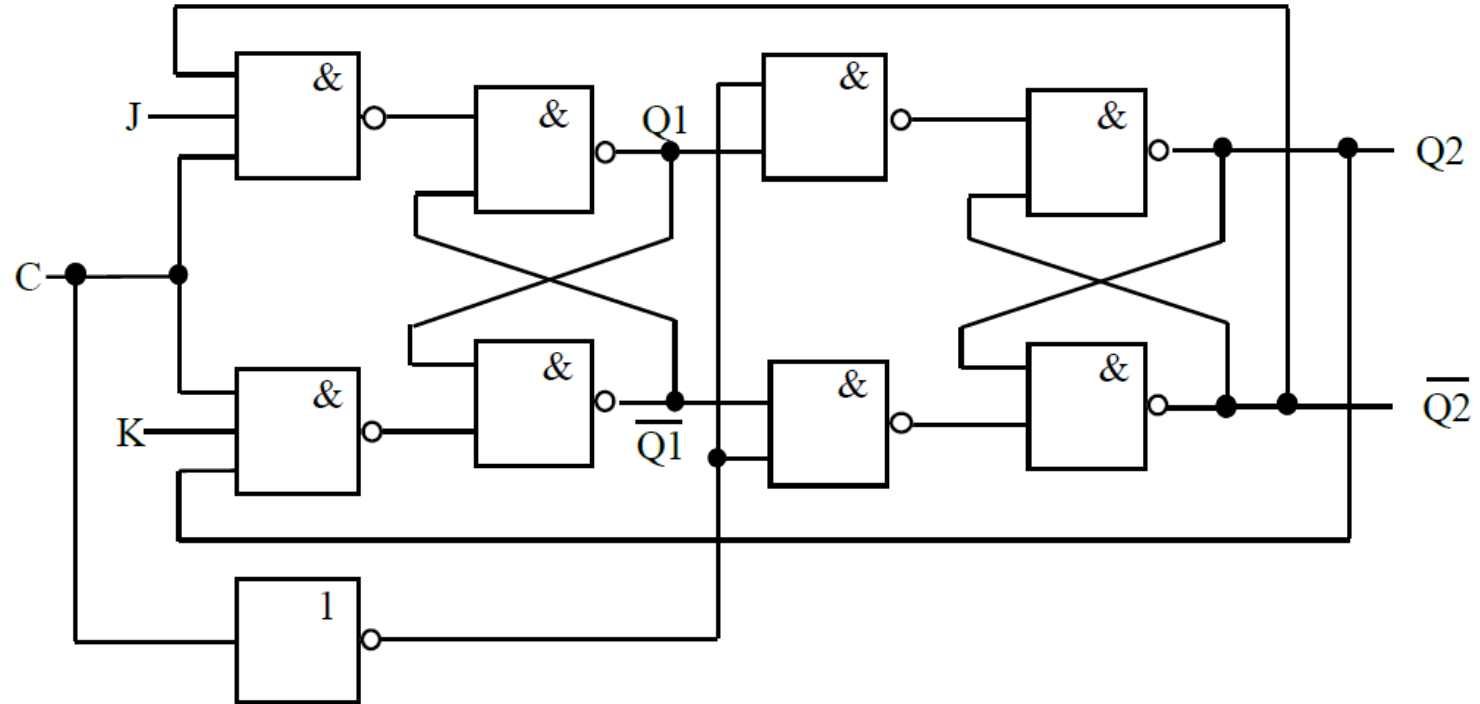
- Bei RS Master-Slave Flip-Flops kann auch ein undefinierter Zustand entstehen für $R = S = C = 1$
- Dieser Nachteil wird vermieden durch Rückführung der Ausgangssignale zu den Eingängen → JK-Master-Slave Flip-Flop



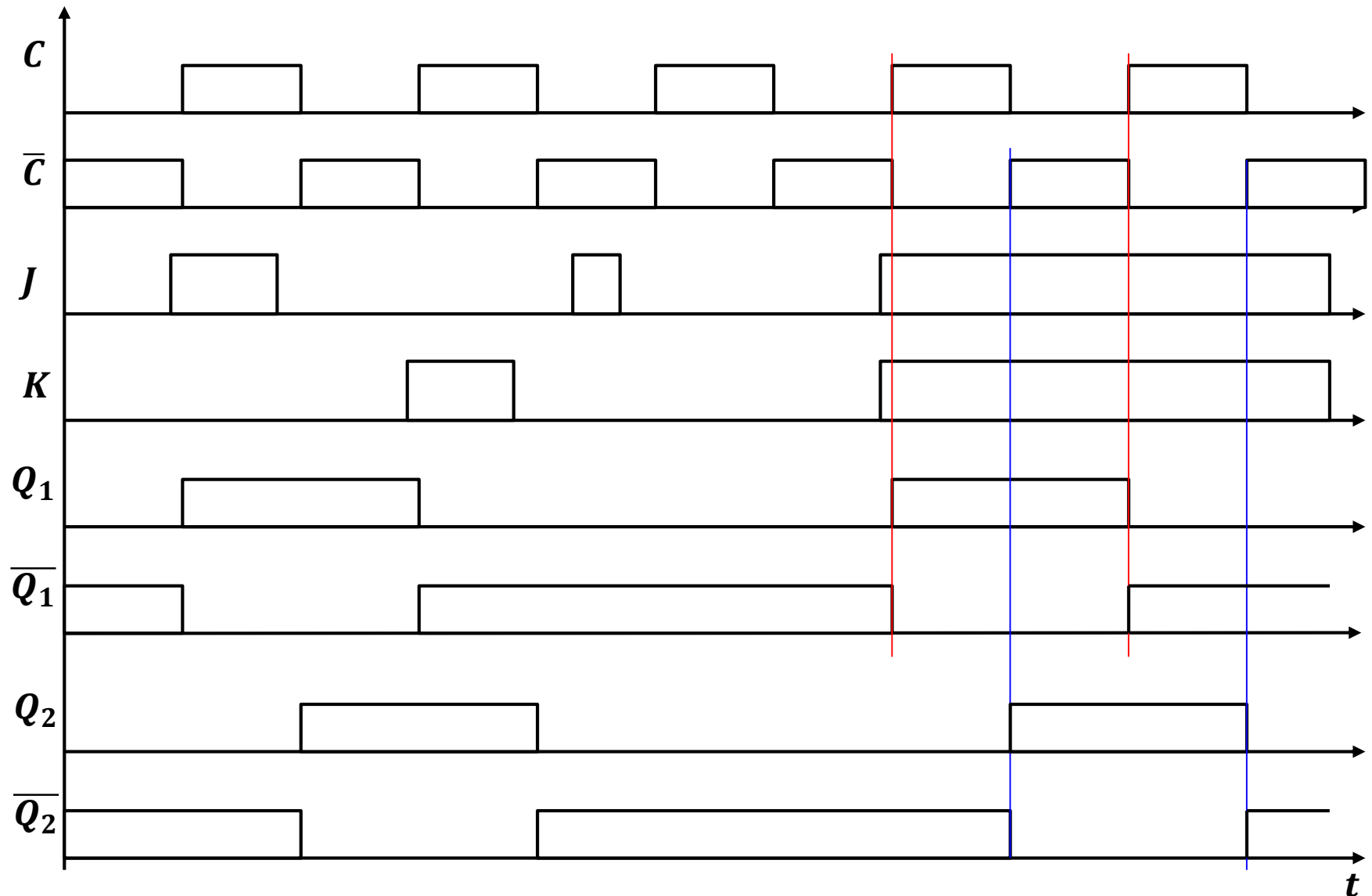
Der Zustand ändert sich bei der negativen Flanke des Taktsignals

JK Master-Slave Flip-Flops

- Bei RS Master-Slave Flip-Flops kann auch ein undefinierter Zustand entstehen für $R = S = C = 1$
- Dieser Nachteil wird vermieden durch Rückführung der Ausgangssignale zu den Eingängen → JK-Master-Slave Flip-Flop

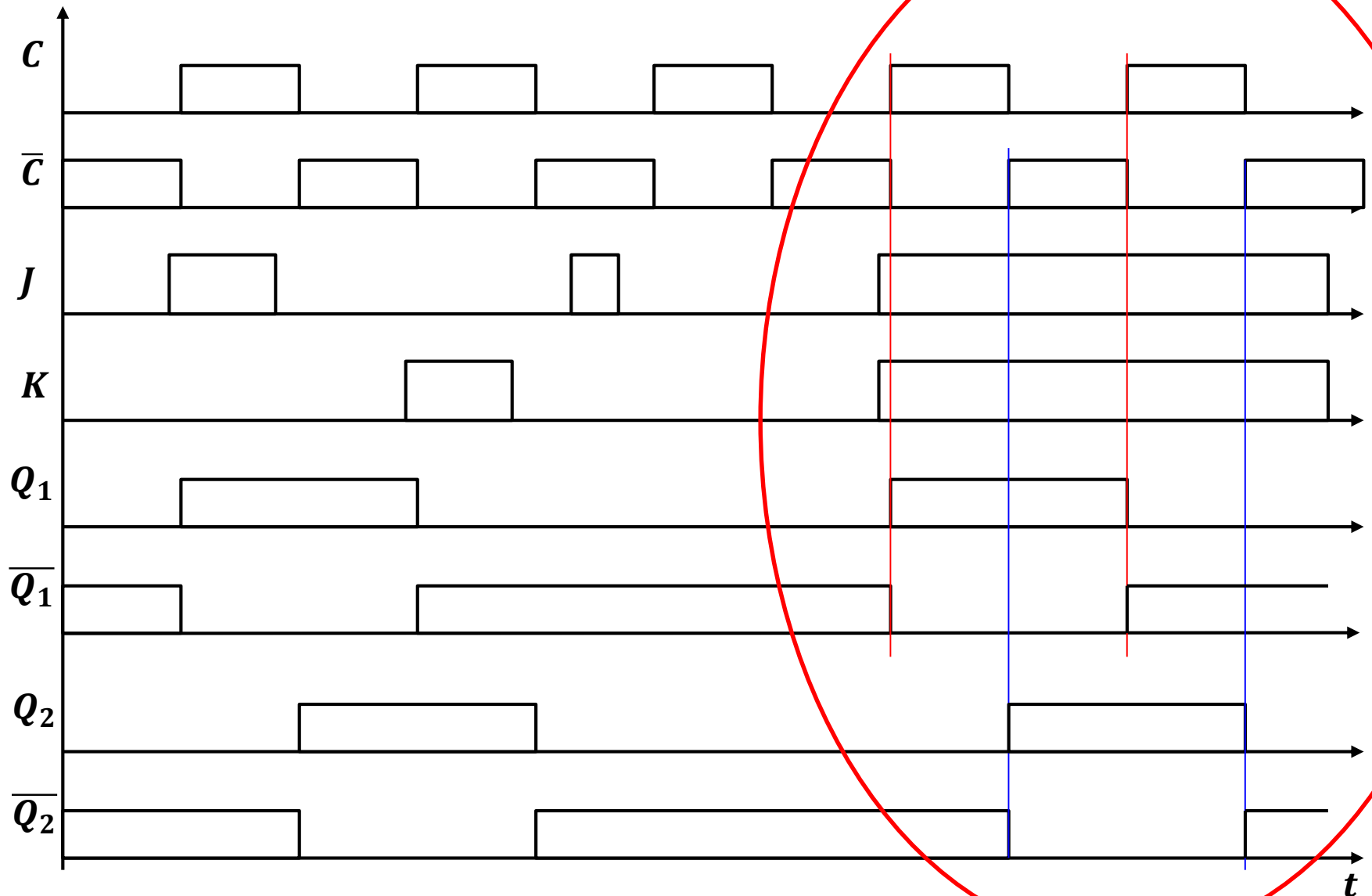


JK Master-Slave Flip-Flops



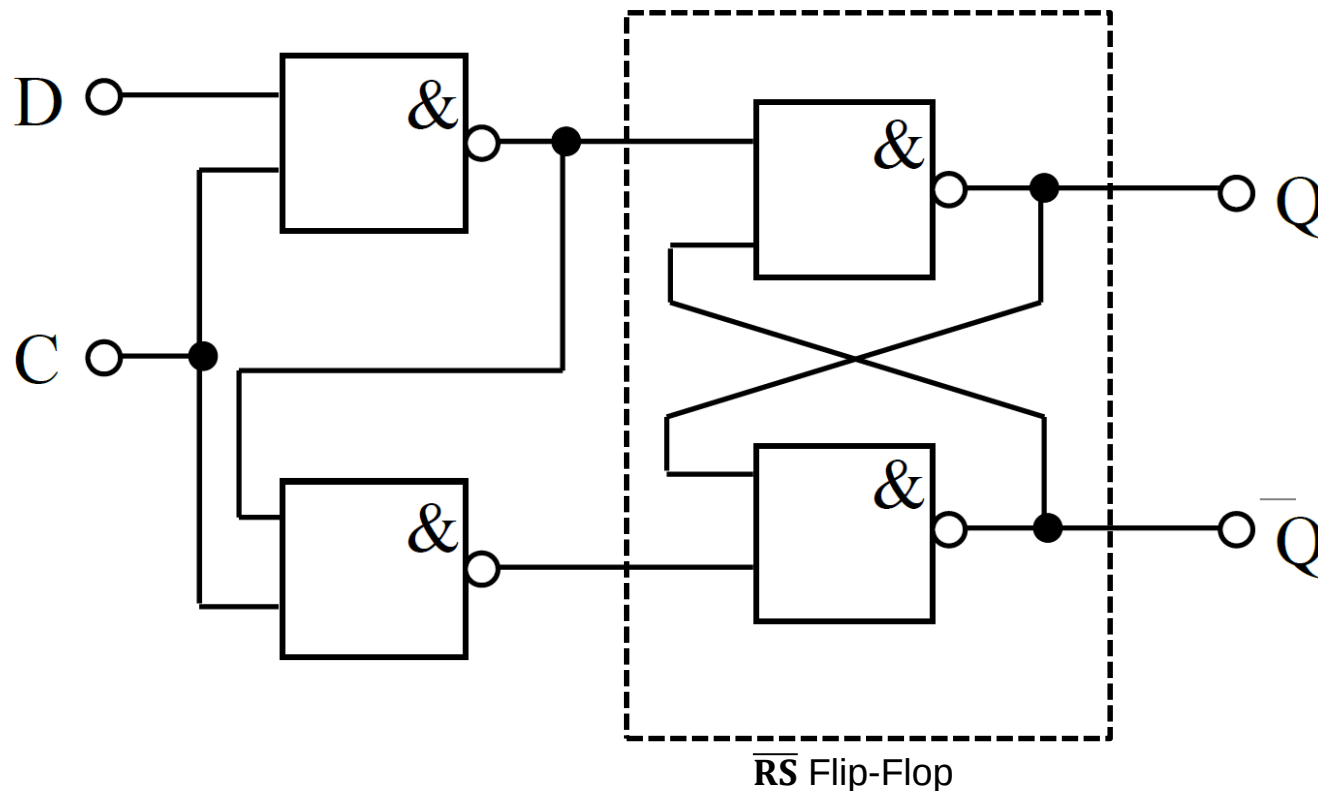
JK Master-Slave Flip-Flops

Toggle-Zustand



Taktzustandsgesteuertes D-Flip-Flop

- Kein unerlaubter Eingangszustand → Data Flip Flop
- Transparent: Keine Set/Reset Funktion

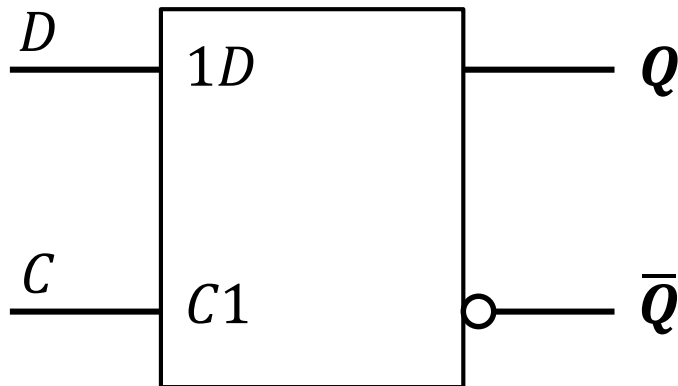


U_1	U_2	U_a
0	0	1
0	1	1
1	0	1
1	1	0

NAND – Gatter

Taktzustandsgesteuertes D-Flip-Flop

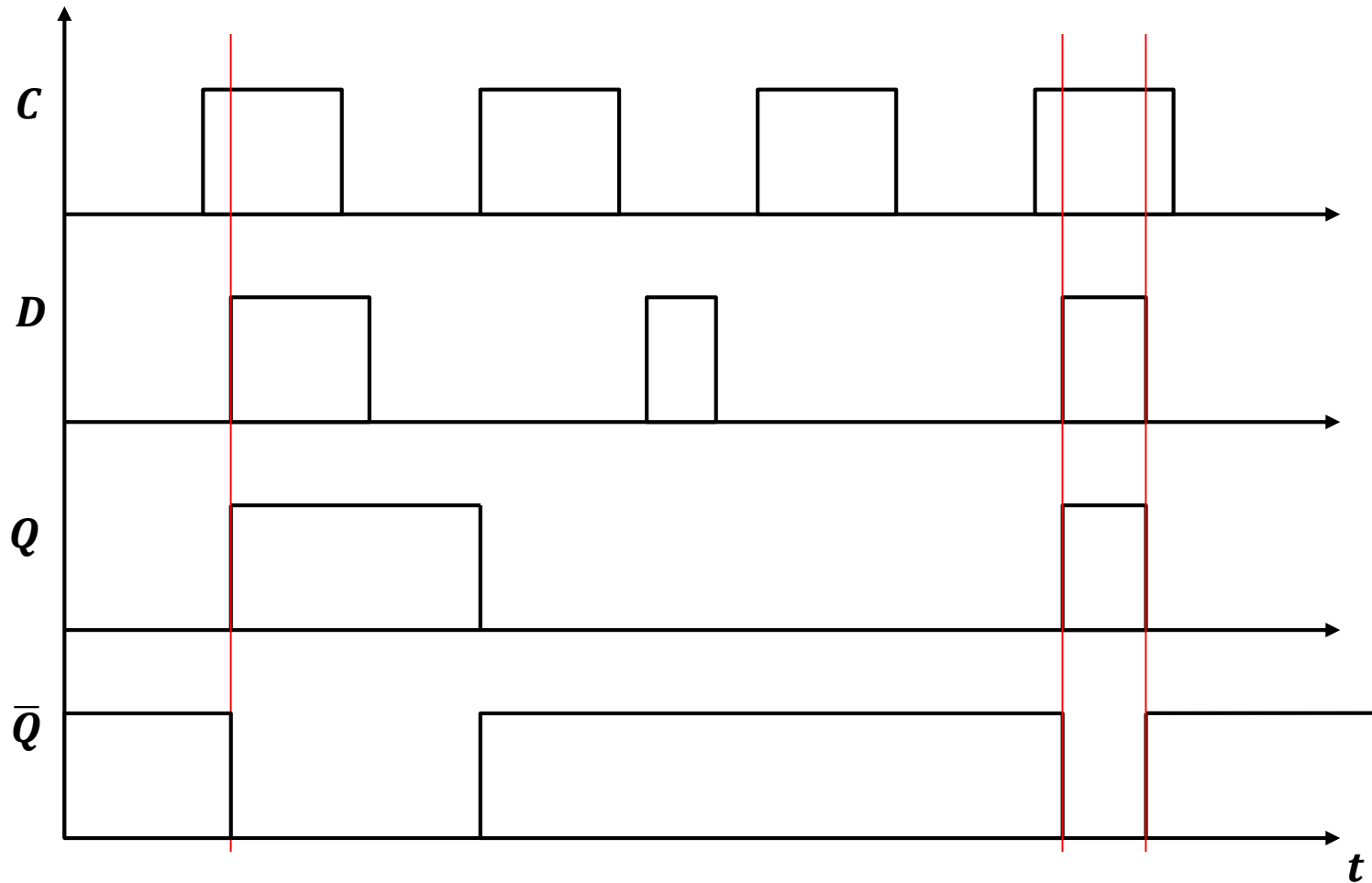
- Kein unerlaubter Eingangszustand → Data Flip Flop
- Transparent: Keine Set/Reset Funktion



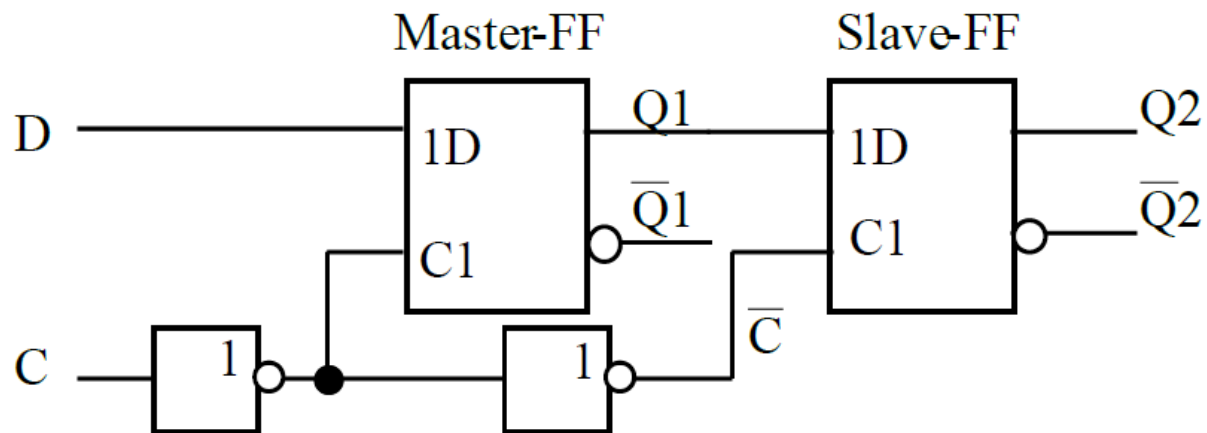
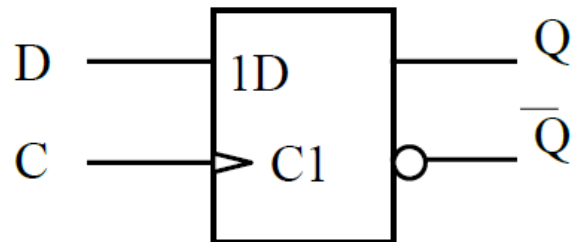
C	D	Q	$\bar{Q}$
0	X	Q^{-1}	$\overline{Q^{-1}}$
1	0	0	1
1	1	1	0

Taktzustandsgesteuertes D-Flip-Flop

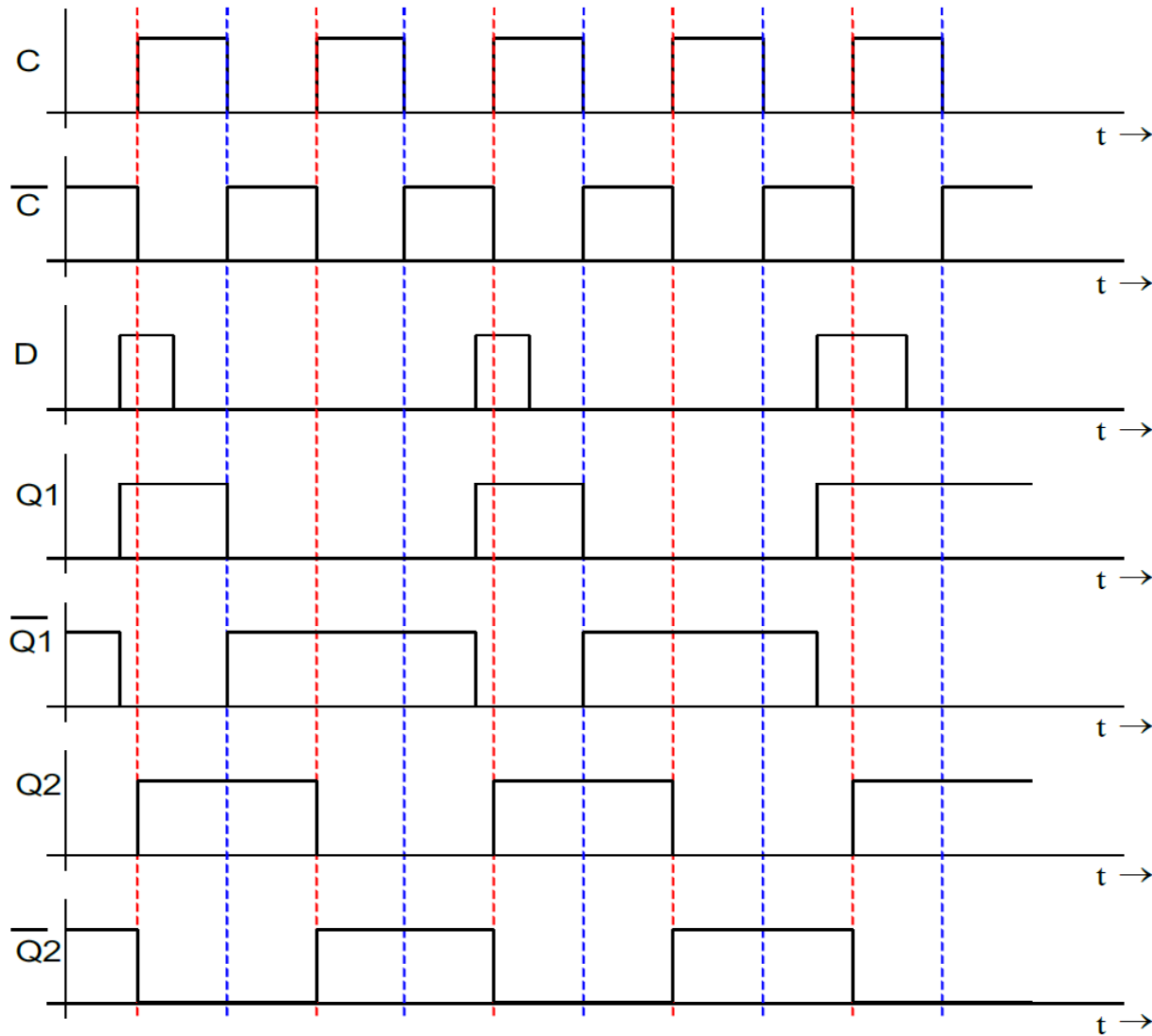
■ Signal-Verläufe



Master-Slave D-Flip-Flop

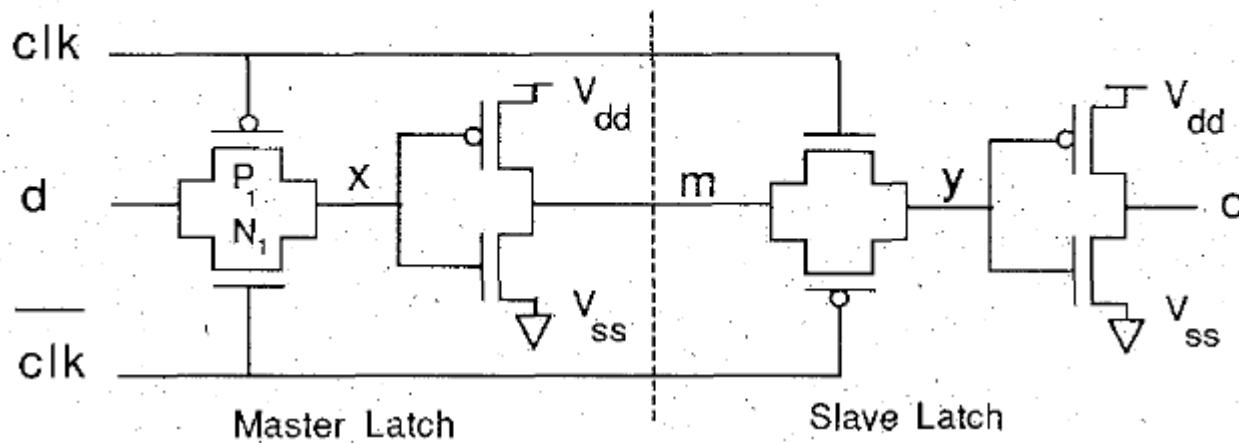


Master-Slave D-Flip-Flop



Master-Slave D-Flip-Flop

IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. 24, NO. 5, OCTOBER 1989



A Novel 0.5 V MCML D-Flip-Flop Topology Exploiting Forward Body Bias Threshold Lowering

Giuseppe Scotti^{ID}, *Member, IEEE*, Alessandro Trifiletti, and Gaetano Palumbo^{ID}, *Fellow, IEEE*

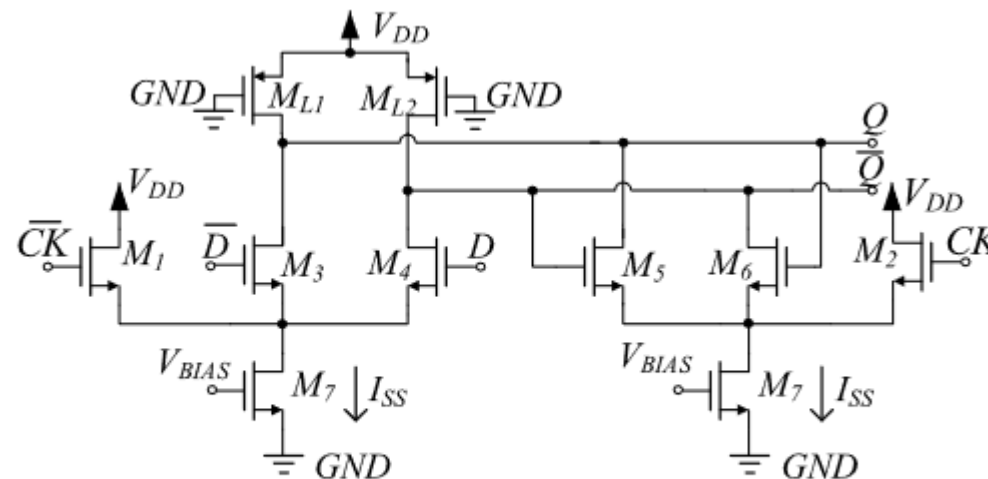


Fig. 2. Triple Tail MCML D-Latch.