

# Aufgaben zum Tutorium 5

## "Elektronische Schaltungen"

### SS 2019

### Aufgabe 23

Gegeben ist eine Schaltung mit 3 Operationsverstärkern nach Bild 23.1. Die Widerstände haben die Werte:  $R_1 = 10,303 \text{ k}\Omega$  und  $R_2 = 510 \text{ k}\Omega$ ,  $R_3 = 10,0 \text{ k}\Omega$ ,  $R_4 = 10,0 \text{ k}\Omega$

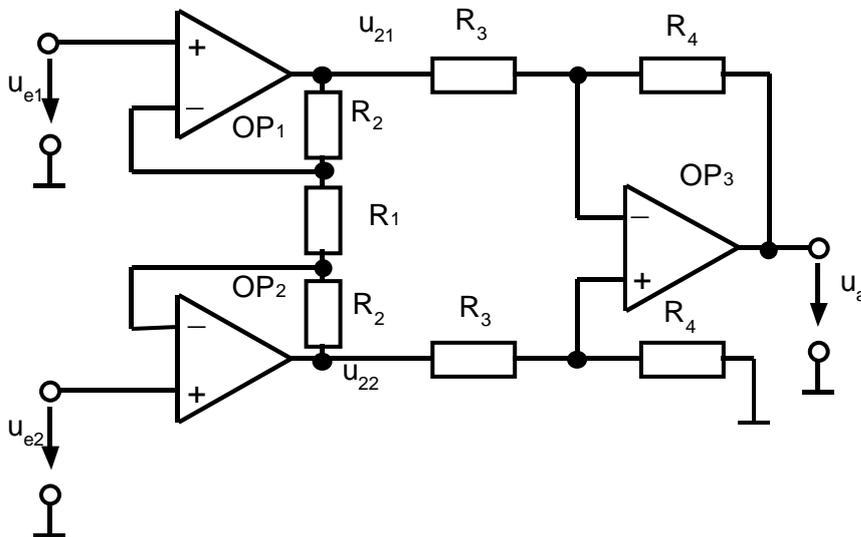


Bild 23.1

- 23.1 In welchen Grundschaltungen werden die Verstärker  $OP_1$ ,  $OP_2$  und  $OP_3$  betrieben?
- 23.2 Bestimmen Sie formelmäßig die Ausgangsspannung  $u_a$  als Funktion der Eingangsspannungen  $u_{e1}$  und  $u_{e2}$  und berechnen Sie die Verstärkung  $A$  der Schaltung!
- 23.3 Wie ändert sich die Verstärkung, wenn  $R_4 = 20,0 \text{ k}\Omega$  ist?
- 23.4 Wie groß muss  $R_1$  werden, damit die Gesamtverstärkung der Schaltung  $A=1000$  ist? ( $R_2 = 510 \text{ k}\Omega$ ,  $R_3 = 10,0 \text{ k}\Omega$ ,  $R_4 = 10,0 \text{ k}\Omega$ )

### Aufgabe 24

Die Bilder 24.1 und 24.2 zeigen digitale Schaltungen mit Feldeffekt-Transistoren.

24.1 Ergänzen Sie die Wahrheitstabelle und bestimmen Sie die logische Funktion!

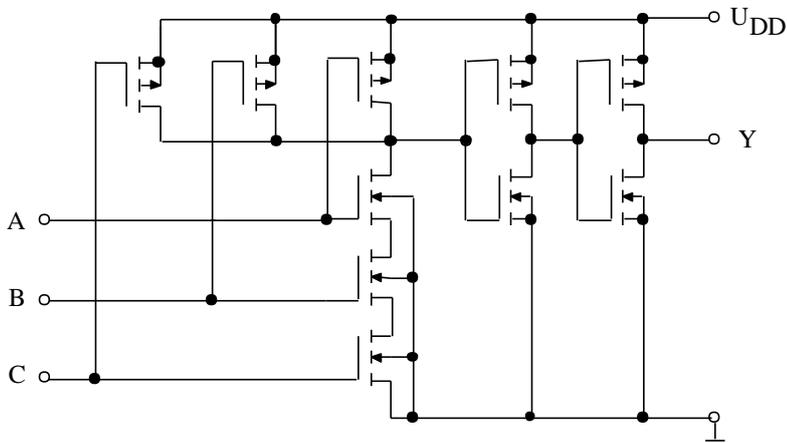


Bild 24.1

Wahrheitstabelle:

| A                  | B | C | Y |
|--------------------|---|---|---|
| 1                  | 1 | 1 |   |
| 1                  | 0 | 1 |   |
| 0                  | 1 | 1 |   |
| 0                  | 0 | 1 |   |
| 1                  | 1 | 0 |   |
| 1                  | 0 | 0 |   |
| 0                  | 1 | 0 |   |
| 0                  | 0 | 0 |   |
| logische Funktion: |   |   |   |

24.2 Modifizieren Sie die folgende Schaltung durch Einzeichnen einer oder mehrerer Verbindungen derart, dass die nebenstehende Wahrheitstabelle erfüllt wird!

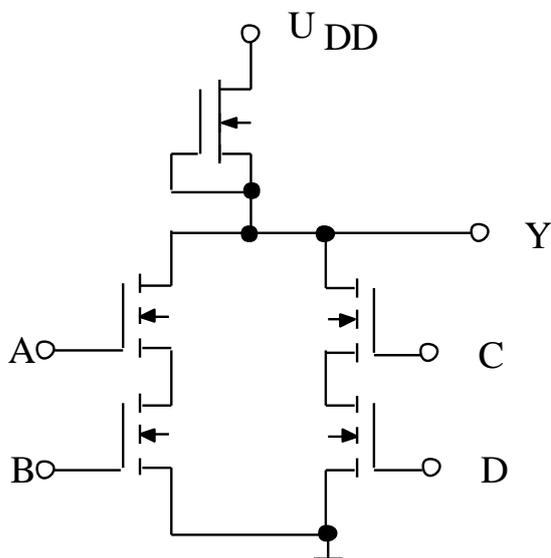


Bild 24.2

Wahrheitstabelle:

| A | B | C | D | Y |
|---|---|---|---|---|
| 1 | 1 | 1 | 1 | 0 |
| 1 | 0 | 1 | 1 | 0 |
| 0 | 1 | 1 | 1 | 0 |
| 0 | 0 | 1 | 1 | 0 |
| 1 | 1 | 0 | 1 | 0 |
| 1 | 0 | 0 | 1 | 0 |
| 0 | 1 | 0 | 1 | 1 |
| 0 | 0 | 0 | 1 | 1 |
| 1 | 1 | 1 | 0 | 0 |
| 1 | 0 | 1 | 0 | 1 |
| 0 | 1 | 1 | 0 | 0 |
| 0 | 0 | 1 | 0 | 1 |
| 1 | 1 | 0 | 0 | 0 |
| 1 | 0 | 0 | 0 | 1 |
| 0 | 1 | 0 | 0 | 1 |
| 0 | 0 | 0 | 0 | 1 |

### Aufgabe 25

Zur Abschätzung von Schaltzeiten und Störabständen digitaler Schaltungen soll ein idealisierter Inverter (Bild 25.1) mit dem zeitlichen Verlauf von Eingangsspannung  $U_E$  und Ausgangsspannung  $U_A$  nach Bild 25.2 betrachtet werden.

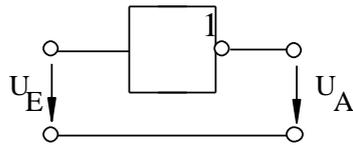


Bild 25.1

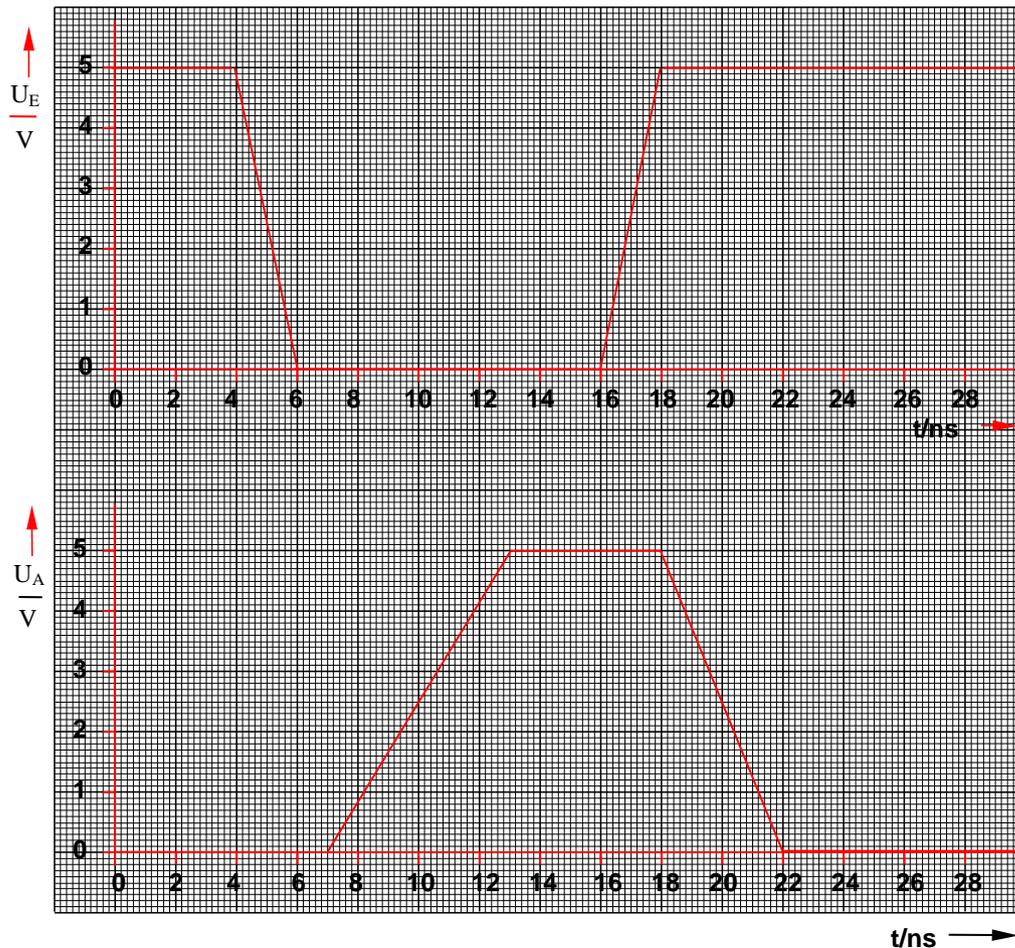


Bild 25.2

25.1 Bestimmen Sie aus Bild 25.2 folgende Daten des Inverters:

- Verzögerungszeit beim Übergang vom HIGH-Pegel zum LOW-Pegel am Eingang
- Verzögerungszeit beim Übergang vom LOW-Pegel zum HIGH-Pegel am Eingang
- Anstiegszeit der Ausgangsspannung
- Abfallzeit der Ausgangsspannung
- Gatterlaufzeit des Inverters

25.2 Der Inverter hat eine Übertragungskennlinie nach Bild 25.3. Ermitteln Sie graphisch die absoluten ( $\Delta U_H$ ,  $\Delta U_L$ ) und die relativen ( $Z_H$ ,  $Z_L$ ) Störabstände des Inverters.

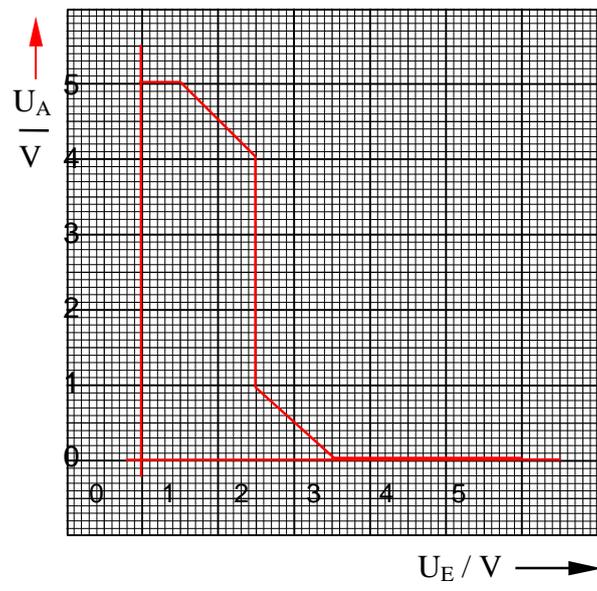


Bild 25.3

**Aufgabe 26:**

Zwei Inverter mit einem n-Kanal Feldeffekt-Transistor und einem Lastwiderstand bzw. einem Lasttransistor sind in Bild 26.1 a) und b) dargestellt. Das Kennlinienfeld des Transistors mit der Lastkennlinie (Schaltung b) zeigt Bild 26.2.

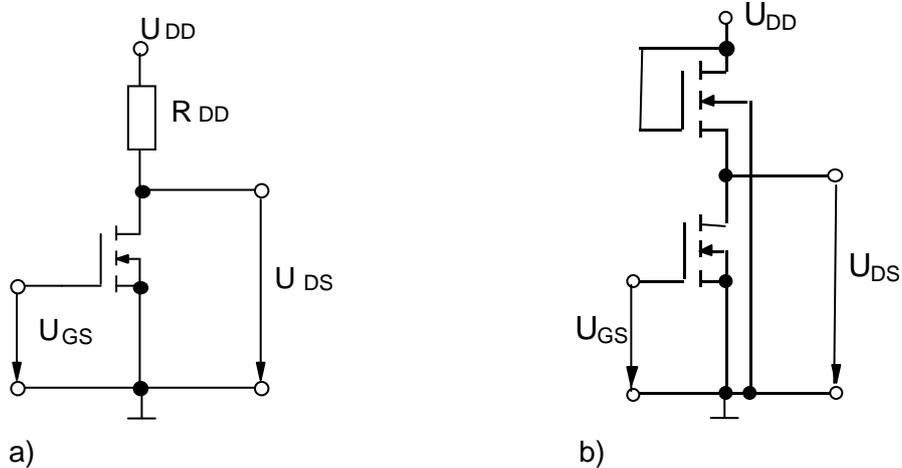


Bild 26.1

a)

b)

- 26.1 Der Lastwiderstand sei  $R_{DD} = 8 \text{ k}\Omega$ . Tragen Sie die Lastgerade in das Kennlinienfeld ein. Skizzieren Sie die Übergangskennlinien der beiden Inverterschaltungen ( $U_{DS}$  über  $U_{GS}$ ), wenn die Inverter bei  $U_{DD} = 10 \text{ V}$  betrieben werden! (Lasttransistor:  $U_{th} = 1,2 \text{ V}$ ) (Ermitteln Sie die notwendigen Punkte aus dem Kennlinienfeld)
- 26.2 Ermitteln Sie aus dem Kennlinienfeld die Steilheit  $S$  des Transistors zwischen  $U_{GS} = 2 \text{ V}$  und  $U_{GS} = 3 \text{ V}$  und zwischen  $U_{GS} = 3,5 \text{ V}$  und  $U_{GS} = 4,5 \text{ V}$ !
- 26.3 Am Eingang der Schaltungen liegt eine Spannung  $U_{GS} = 10 \text{ V}$  an. Berechnen Sie die Verlustleistungen der Inverter für diesen Fall!

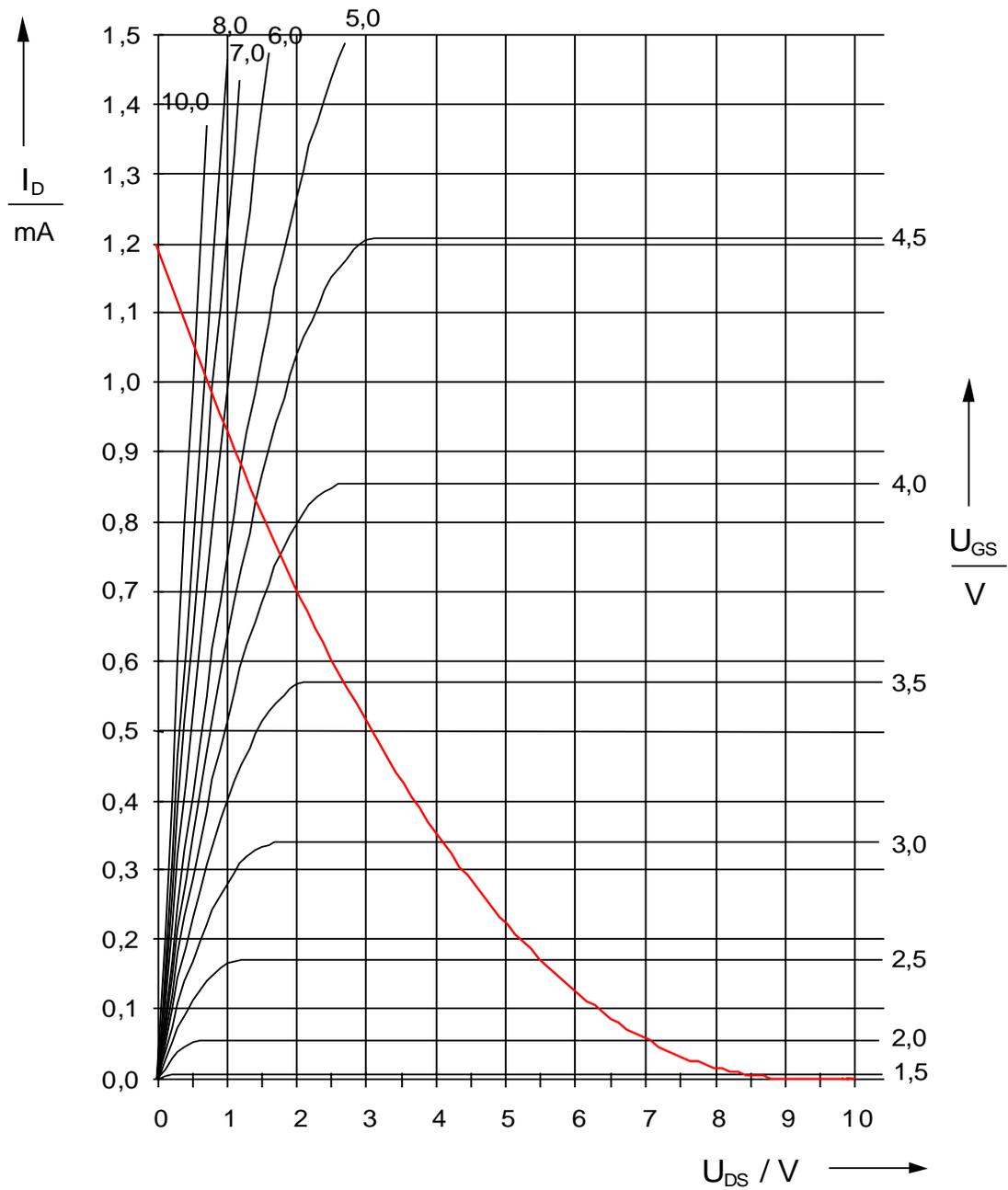


Bild 26.2

### Aufgabe 27

- 27.1 Zeichnen Sie ein 2-fach NAND Gatter mit n-Kanal MOSFET Transistoren und einem Lasttransistor vom Verarmungstyp.
- 27.2 Zeichnen Sie ein 2-fach NOR Gatter in CMOS-Technik

# Lösungen zum Tutorium 5 in Elektronische Schaltungen

Name:.....Vorname:.....Matr.Nr.:.....

Gruppe:.....

Lösung Aufgabe 24

Lösung Aufgabe 27