

Aufgabenblätter zur Prüfung

Digitaltechnik und Entwurfsverfahren & Rechnerorganisation

und

Technische Informatik I/II

am 25. Juli 2016, 14:00 – 16:00 Uhr

- Beschriften Sie bitte gleich zu Beginn jedes Lösungsblatt deutlich lesbar mit Ihrem Namen und Ihrer Matrikelnummer.
- Diese Aufgabenblätter werden nicht abgegeben. Tragen Sie Ihre Lösung deshalb ausschließlich in die für jede Aufgabe vorgesehenen Bereiche der Lösungsblätter ein. Lösungen auf separat abgegebenen Blättern werden nicht gewertet.
- Außer Schreibmaterial sind während der Klausur keine Hilfsmittel zugelassen. Täuschungsversuche durch Verwendung unzulässiger Hilfsmittel führen unmittelbar zum Ausschluss von der Klausur und zur Note „nicht bestanden“.
- Soweit in der Aufgabenstellung nichts anderes angegeben ist, tragen Sie in die Lösungsblätter bitte nur die Endergebnisse ein. Die Rückseiten der Aufgabenblätter können Sie als Konzeptpapier verwenden. Weiteres Konzeptpapier können Sie auf Anfrage während der Klausur erhalten.
- Halten Sie Begründungen oder Erklärungen bitte so kurz wie möglich. (Der auf den Lösungsblättern für eine Aufgabe vorgesehene Platz steht übrigens in keinem Zusammenhang mit dem Umfang einer korrekten Lösung!)
- Die Gesamtpunktzahl beträgt 90 Punkte. Zum Bestehen der Klausur sind mindestens 40 Punkte zu erreichen.

Viel Erfolg und viel Glück!

Aufgabe 1 *Schaltfunktionen* (10 Punkte)

Gegeben sei die vollständig definierte Schaltfunktion $f(w, x, y, z)$:

$$f(w, x, y, z) = (w \vee \bar{x}) (\bar{w} \vee x \vee y) (\bar{w} \vee \bar{y} \vee \bar{z})$$

1. Tragen Sie die Schaltfunktion $f(w, x, y, z)$ in das im Lösungsblatt vorbereitete KV-Diagramm ein. 3 P.
2. Geben Sie alle Primimplikanten von f an. Kennzeichnen Sie, bei welchen Primimplikanten es sich um Kernprimimplikanten handelt. 2 P.
3. Geben Sie eine disjunktive Minimalform (DMF) von $f(w, x, y, z)$ an. 1 P.
4. Überführen Sie die DMF in ein Schaltnetz, in dem alle Eingangsvariablen nur bejaht zur Verfügung stehen und nur NAND-Gatter verwendet werden. 4 P.

Aufgabe 2 *Schaltwerke* (11 Punkte)

Es soll ein synchroner Vorwärts-Rückwärtszähler, der modulo 4 zählt, mit D-Flipflops entworfen werden. Der Zähler soll bei der Eingangsvariablen $X = 0$ vorwärts, bei $X = 1$ rückwärts zählen. Am Ausgang sollen die Zustände des Zählers angezeigt werden.

1. Erstellen Sie den Moore-Automatengraphen des Zählers mit einer möglichst geringen Anzahl von Zuständen. Wieviele Flipflops sind minimal notwendig? 2 P.
2. Die Zustände des Schaltwerks seien dual kodiert. Geben Sie die kodierte Ablauf-tabelle für eine Realisierung mit D-Flipflops an. Verwenden Sie hierzu die im Lösungsblatt vorbereitete Tabelle. 3 P.
3. Geben Sie die Ansteuerfunktionen der Flipflops in disjunktiver Normalform an. Vereinfachen Sie die booleschen Ausdrücke der Ansteuerfunktionen soweit wie möglich. 3 P.
4. Zur Realisierung des Schaltwerks stehen flankengesteuerte D-Flipflops und zwei Äquivalenzgatter zur Verfügung. Überführen Sie die Ansteuerfunktionen in eine geeignete Darstellungsform und zeichnen Sie die resultierende Schaltung des Schaltwerks. 3 P.

Aufgabe 3 *Spezielle Bausteine*

(9 Punkte)

1. Eine Schaltfunktion $y = f(d, c, b, a)$ sei durch das Multiplexer-Schaltnetz in Abbildung 1 realisiert. 2 P.

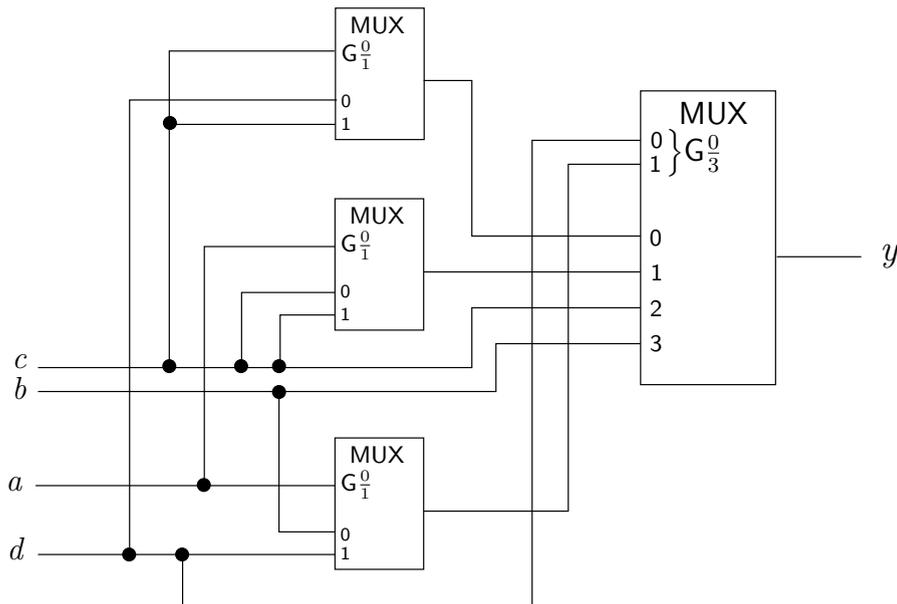


Abbildung 1: Multiplexer-Schaltnetz

Geben Sie den booleschen Ausdruck für die Schaltfunktion des Multiplexer-Schaltnetzes an, der sich an der disjunktiven Darstellung von Multiplexern orientiert und keine weiteren Umformungen enthält.

2. Entwerfen Sie ein 3-Bit Schieberegister mit taktflankengesteuerten D-Flipflops. Das Schieberegister soll asynchron rücksetzbar sein. 3 P.

Geben Sie die Schaltung des Schieberegisters an und kennzeichnen Sie die Daten- und Steuerleitungen.

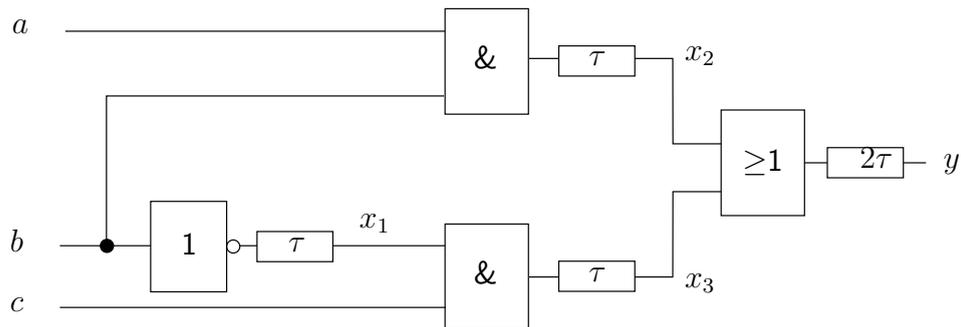
3. Realisieren Sie die Schaltfunktion $z = g(b, a) = b \leftrightarrow a$ durch ein CMOS-Schaltnetz. Es stehen Ihnen nur CMOS-Gatter mit zwei Eingängen zur Verfügung, welche die Schaltfunktion NAND realisieren. Die Eingangsvariablen stehen sowohl negiert als auch bejaht zur Verfügung. Zeichnen Sie das Schaltbild des CMOS-Transistorschaltnetzes. Beschriften Sie bitte die Anschlüsse. 3 P.

4. Geben Sie das Schaltbild eines Transmission-Gates an. Wie müssen die Transistoren angesteuert werden? 1 P.

Aufgabe 4 Laufzeiteffekte

(7 Punkte)

Eine Schaltfunktion $y = f(c, b, a)$ sei durch das Schaltnetz in Abbildung 2 mit den angegebenen Verzögerungszeiten realisiert. Betrachten Sie den **im Lösungsblatt** angegebenen zeitlichen Verlauf der Eingangsvariablen. Zu Beginn liegen alle Eingabevariablen stabil an.

Abbildung 2: Schaltnetz der Schaltfunktion $y = f(c, b, a)$

1. Zeigen Sie anhand eines Zeitdiagramms, ob die folgenden Eingabewechsel einen Hasardfehler auslösen. Die Variablenreihenfolge sei (c, b, a) . 3 P.
 - (a) b wechselt auf 1, d. h. Übergang $B_5 \rightarrow B_7$ zum Zeitpunkt t_0
 - (b) b wechselt auf 0 zurück, d. h. Übergang $B_7 \rightarrow B_5$ zum Zeitpunkt t_1
2. Falls Sie Hasardfehler im letzten Aufgabenteil gefunden haben, dann geben Sie an, um welchen Typ von Hasardfehlern es sich handelt und wie sie behoben werden könnten. 2 P.
3. Geben Sie einen Übergang an, der mit einem statischen 1-Funktionshasard behaftet ist. Begründen Sie Ihre Antwort. 2 P.

Aufgabe 5 *Rechnerarithmetik & Codes* (8 Punkte)

Hinweis: Geben Sie in dieser Aufgabe *immer* den Rechenweg an.

1. Wieviele Prüfbits sind für eine Einzelbit-Fehlerkorrektur in 48-Bit Datenwörtern erforderlich? 1 P.
2. Welche Bereiche einer Gleitkomma-Zahl nach dem IEEE-754-Standard (Vorzeichen, Exponent, Mantisse) ändern sich, falls eine beliebige Zahl mit -4 multipliziert wird. Begründen Sie Ihre Antwort. 1 P.
3. Wie viele Bits sind *mindestens* notwendig zur Darstellung der Zahl 63 als Zweierkomplementzahl? Begründen Sie Ihre Antwort. 2 P.
 - Geben Sie 63 als Zweierkomplementzahl mit minimaler Bitanzahl an.
 - Geben Sie 63 als 16-Bit Zweierkomplementzahl an.
4. Was sind Pseudotetraden? 1 P.
5. Gegeben sei die folgende 32-Bit Folge 3 P.

1000 1001 1000 0000 0000 0000 0011

Was stellt diese Folge dar, wenn sie interpretiert wird als

- (a) BCD-Zahl.
- (b) Vorzeichenlose Dualzahl. Geben Sie den dezimalen Wert an.
- (c) Gleitkomma-Zahl im IEEE-754-Standard in einfacher Genauigkeit. Geben Sie den dezimalen Wert an.

Hinweis: Sie brauchen die Zweier-Potenzen nicht explizit auszurechnen. Ergebnisse können in der Form $2^i - 2^j + 7$ angegeben werden.

Aufgabe 6 MIMA-Architektur

(8 Punkte)

Die MIMA ist die Ihnen aus der Vorlesung bekannte mikroprogrammierte Minimalmaschine (siehe **Beiblatt: Architektur der MIMA**), die nach dem Von-Neumann-Prinzip aufgebaut ist, d. h. Maschinenbefehle werden sequentiell abgearbeitet. In der Lese-Phase wird ein über IAR adressierter Befehl aus dem Speicher gelesen und im IR abgelegt. Die Lese-Phase dauert 5 Taktzyklen. Im 6. Taktzyklus wird der Befehl dekodiert (Dekodier-Phase). Die Ausführungsphase beginnt im 7. Taktzyklus. Nach der Ausführung des Befehls folgt ein Zugriff auf den nächsten Befehl.

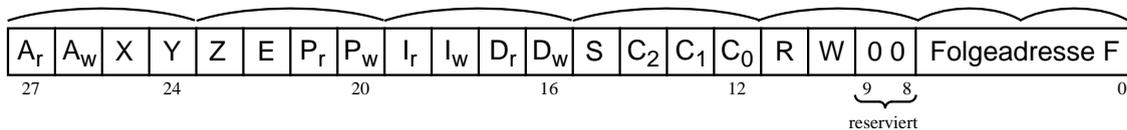
Nehmen Sie an, dass ein Hauptspeicherzugriff (Lesen und Schreiben) drei Takte dauert und währenddessen $R = 1$ bzw. $W = 1$ sein muss. Eine ALU-Operation sei nach einem Takt abgeschlossen.

Das Mikroprogramm für die Lese-Phase besteht aus fünf Mikrobefehlen:

- | | | | | | |
|----------|------------------------|----------------------|---------|---|------------|
| 1. Takt: | $IAR \rightarrow SAR;$ | $IAR \rightarrow X;$ | $R = 1$ | } | Lese-Phase |
| 2. Takt: | $Eins \rightarrow Y;$ | $R = 1$ | | | |
| 3. Takt: | ALU auf Addieren; | $R = 1$ | | | |
| 4. Takt: | $Z \rightarrow IAR$ | | | | |
| 5. Takt: | $SDR \rightarrow IR$ | | | | |

1. Kodieren Sie das oben angegebene Mikroprogramm für die Lese-Phase. Das Mikroprogramm soll bei der 8-Bit-Adresse 0x00 beginnen. Verwenden Sie das folgende 28-Bit-Mikrobefehlsformat:

4 P.



Beispiel: $0x77:$

7	0	0	0	7	9
---	---	---	---	---	---

 $A_w = X = Y = 1$ (Akku \rightarrow X; Akku \rightarrow Y)
 $0x78:$ $0x79:$ Adresse des nächsten Befehls ist 0x79

2. Geben Sie die Mikroprogramme für die Ausführungsphasen der folgenden Maschinenbefehle an (jeweils ab dem 7. Takt, also nach der Lese-Phase und der Dekodier-Phase):

4 P.

LDV, STV, EQL, JMP

Beispiel:

AND:

7. Takt: $IR \rightarrow SAR;$ $R = 1$
 8. Takt: $Akku \rightarrow X;$ $R = 1$
 9. Takt: ...
 ...

Aufgabe 7 *MIPS-Assembler*

(13 Punkte)

1. Was versteht man unter einem Pseudobefehl? 2 P.

Warum muss es sich bei dem Befehl `li` um einen Pseudobefehl handeln?

2. Schreiben Sie die folgenden C-Kontrollstrukturen in MIPS-Assembler um. 3 P.

```
for (i = 0; i <= 100; i += 10) j += i;
```

Die Variablen `i` und `j` stehen in den Registern `$a0` und `$a1`. Verwenden Sie das Register `$v0` zur Speicherung temporärer Variablen.

3. Das folgende Programmstück soll in `$v0` die Anzahl der Elemente eines Arrays aus 32-Bit-Zahlen in Zweierkomplement-Form berechnen, welche einen Wert ungleich Null haben. Das Register `$a0` sei mit der Adresse des ersten Array-Elements initialisiert, das Register `$a1` sei mit der Adresse des letzten Array-Elements initialisiert. Alle anderen Register seien nicht initialisiert. 3 P.

```

                add    $v0, $zero, $zero
loop:  lw      $t0, 0($a0)
                seq    $t1, $t0, $zero
                add    $v0, $v0, $t1
                addi   $a0, $a0, 1
                blt    $a0, $a1, loop

```

Leider haben sich bei der Implementierung einige Fehler eingeschlichen. Finden Sie diese Fehler und korrigieren Sie das Programm, sodass es korrekt arbeitet.

4. Geben Sie für das folgende MIPS-Programmstück den Inhalt des Zielregisters in hexadezimaler Schreibweise nach der Ausführung des jeweiligen Befehls an. 3 P.

```

                subi   $s1, $zero, 0x2
                sra    $s2, $s1, 4
                slti   $s3, $s2, 100
                lui    $s4, 0x40
                xor    $s5, $s1, $s4

```

5. Wie unterscheiden sich die Register `$t0-$t7` und die Register `$s0-$s7` in der Konvention ihrer Verwendung? 2 P.

Gibt es auch auf Hardwareebene Unterschiede zwischen diesen Registern? Falls ja, geben Sie diese Unterschiede an.

Aufgabe 8 *Pipelining*

(12 Punkte)

Gegeben sei das sequentielle Programmstück:

S1: SUB R1,R2,R3 ; R1 = R2 - R3
 S2: ADD R2,R1,R3 ; R2 = R1 + R3
 S3: SUB R3,R2,R1 ; R3 = R2 - R1
 S4: MUL R1,R2,R3 ; R1 = R2 * R3

Dieses Programmstück wird von einem RISC-Prozessor mit folgender fünfstufiger Pipeline ausgeführt:

IF	DE	OF	EX	WB
----	----	----	----	----

Die einzelnen Stufen haben folgende Bedeutung :

IF: Instruction Fetch - Befehl holen
DE: Decode - Befehl dekodieren
OF: Operand Fetch - Operanden holen
EX: Execute - Befehl ausführen
WB: Write Back - Ergebnis speichern

Dabei ist ein Schreibvorgang in ein Zielregister erst am Ende der WB-Stufe abgeschlossen.

- Bestimmen Sie alle Datenabhängigkeiten innerhalb dieses Programmstücks. Geben Sie zu jeder Datenabhängigkeit die beiden beteiligten Befehle, das ursächliche Register und den Typ der Datenabhängigkeit an. 3 P.
- Zu Beginn des Programmstücks seien die Register folgendermaßen belegt: 4 P.

R1	R2	R3
2	8	4

Geben Sie die Registerbelegung nach Ablauf des Programmstücks an. Tragen Sie hierzu in die Tabelle auf dem Lösungsblatt den Zustand der Pipeline und der Register nach jedem Taktzyklus ein.

Wie viele Takte werden benötigt, um das Programm abzuarbeiten?

- Wie wäre die Belegung der Register, wenn der Prozessor keine Pipeline besäße, sondern die Befehle rein sequentiell abarbeitet? 1 P.
- Die einzige Methode, die Pipelinekonflikte bei diesem Prozessor zu beheben, sei das Einfügen von NOP-Befehlen (*No Operation*) in den Befehlsstrom. 4 P.

Fügen Sie möglichst wenige NOP-Befehle in das Programmstück ein, sodass es zu keinen Konflikten mehr kommt und das Ergebnis dem der sequentiellen Ausführung entspricht. Geben Sie das modifizierte Programmstück an.

Wie viele Takte werden nun benötigt?

Aufgabe 9 *Speicherbausteine*

(9 Punkte)

1. Was besagt das Mooresche Gesetz der Mikroelektronik? 1 P.
2. Skizzieren Sie den Aufbau einer statischen MOS-Speicherzelle. Aus Ihrer Zeichnung soll die Ankopplung der Zelle an die Bit- und Wortauswahlleitungen erkennbar sein. 3 P.
3. Was versteht man unter Zugriffszeit und Zykluszeit eines Speicherbausteins? 2 P.
4. Nennen Sie jeweils zwei Vor- und Nachteile magnetischer Speichermedien. In welchen Ebenen der Speicherhierarchie kommen magnetische Speicher zum Einsatz? 3 P.

Aufgabe 10 *Allgemeines*

(3 Punkte)

1. Wozu wird das *Dirty*-Bit in einem Cache-Speicher verwendet? 1 P.
2. Was bedeutet „unmittelbare Adressierung“ im Gegensatz zur „direkten Adressierung“? 1 P.
3. Was bedeutet „zweistufige Speicher-Adressierung“ im Gegensatz zur „einstufigen Speicher-Adressierung“? 1 P.

Lösungsblätter zur Klausur

Digitaltechnik und Entwurfsverfahren & Rechnerorganisation

und

Technische Informatik I/II

am 25. Juli 2016, 14:00 – 16:00 Uhr

Name:	Vorname:	Matrikelnummer:
-------	----------	-----------------

Digitaltechnik und Entwurfsverfahren/TI-1	
Aufgabe 1	von 10 Punkten
Aufgabe 2	von 11 Punkten
Aufgabe 3	von 9 Punkten
Aufgabe 4	von 7 Punkten
Aufgabe 5	von 8 Punkten

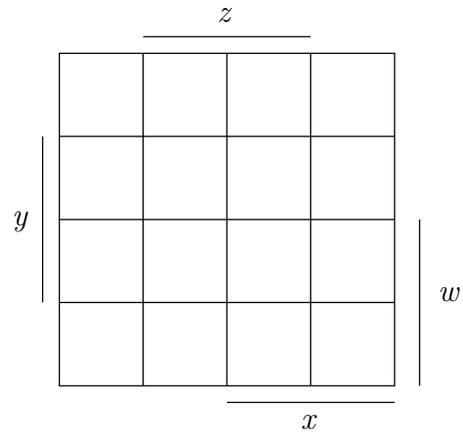
Rechnerorganisation/TI-2	
Aufgabe 6	von 8 Punkten
Aufgabe 7	von 13 Punkten
Aufgabe 8	von 12 Punkten
Aufgabe 9	von 9 Punkten
Aufgabe 10	von 3 Punkten

Gesamtpunktzahl:	
-------------------------	--

	Note:
--	--------------

Aufgabe 1

1. KV-Diagramm:



2. Primimplikanten und Kernprimimplikanten:

3. Disjunktive Minimalform:

4. Schaltnetz mit NAND-Gattern:

Aufgabe 2

1. Automatengraph:

Anzahl der erforderlichen Flipflops:

2. Kodierte Ablaufabelle:

Eingabe	Zustand	Folgezustand	Ausgang	FF-Ansteuersignale

3. Ansteuerfunktionen der Flipflops:

Name:

Vorname:

Matr.-Nr.:

4

4. Schaltung des Schaltwerks:

Aufgabe 3

1. Schaltfunktion:

Name:

Vorname:

Matr.-Nr.:

5

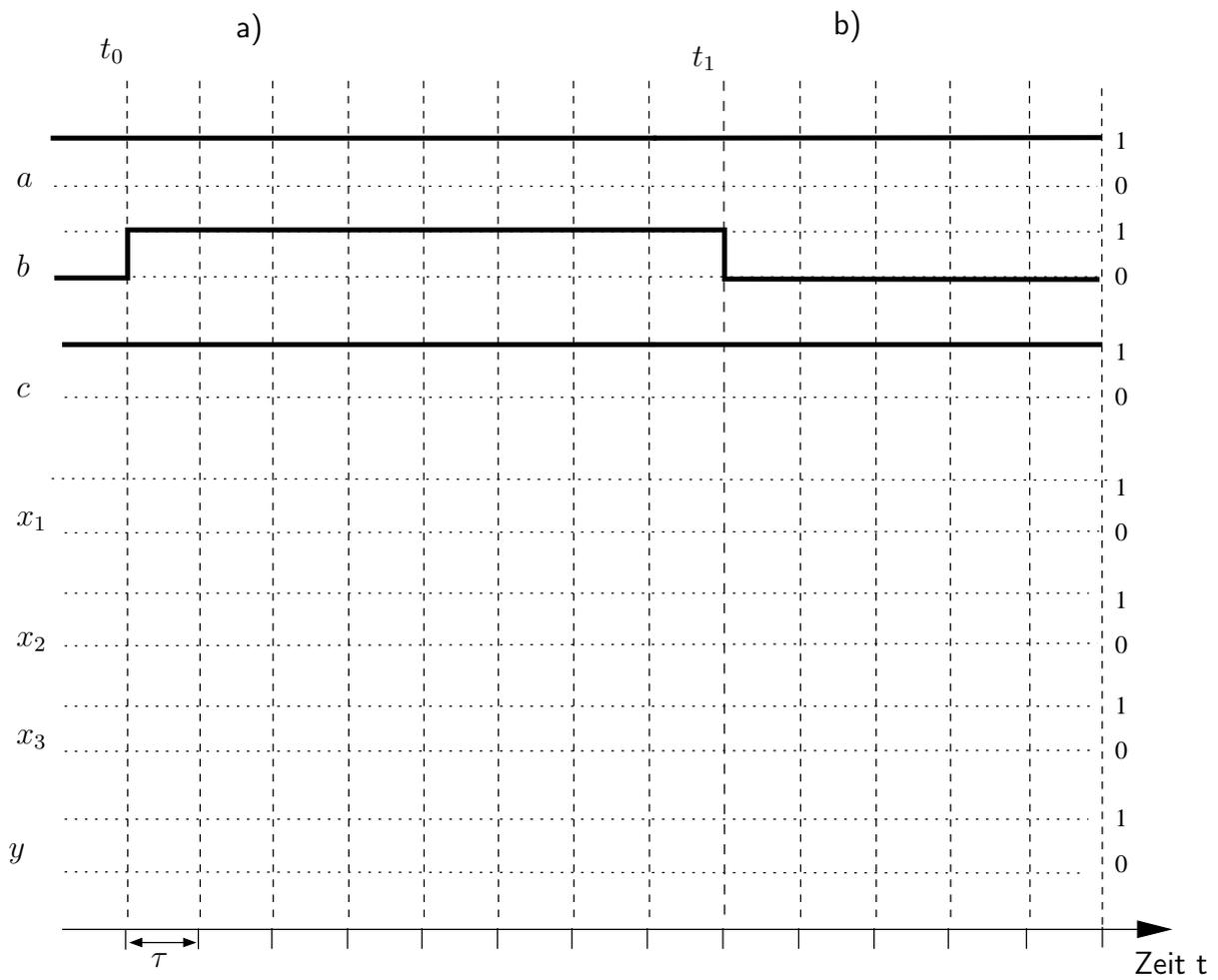
2. 3-Bit Schieberegister:

3. CMOS-Transistorschaltnetz:

4. Transmission-Gate:

Aufgabe 4

1.



Name:

Vorname:

Matr.-Nr.:

7

2. Typ des Fehlers und Behebungsmöglichkeit:

3. Übergang mit einem statischen 1-Funktionshasard:

Aufgabe 5

1. Anzahl der Prüfbits:

2. Bereiche:

Begründung:

3. Mindest-Bitanzahl für die Darstellung von 63 als Zweierkomplementzahl:

- 63 mit minimaler Bitanzahl als Zweierkomplementzahl:

- 63 als 16-Bit Zweierkomplementzahl:

4. Pseudotetraden:

5. 1000 1001 1000 0000 0000 0000 0000 0011 :

(a) BCD:

(b) Vorzeichenlose Dualzahl:

(c) Gleitkomma-Zahl im IEEE-754-Standard in einfacher Genauigkeit:

Aufgabe 6

1. Kodierung des Mikroprogramms für die Lese-Phase:

Takt	Adresse	Befehl in hexadezimaler Schreibweise
1. Takt	0x00	
2. Takt		
3. Takt		
4. Takt		
5. Takt		

2. Mikroprogramme:

LDV	STV
EQL	JMP

Aufgabe 7

1. Pseudobefehl / `li`:

2. C-Kontrollstruktur in MIPS-Assembler:

3. Fehlerfreie Version:

4. Inhalte der Zielregister:

Befehl	Zielregister = (z. B. <code>\$s6 = 0x0000 F00A</code>)
<code>subi \$s1, \$zero, 0x2</code>	
<code>sra \$s2, \$s1, 4</code>	
<code>slti \$s3, \$s2, 100</code>	
<code>lui \$s4, 0x40</code>	
<code>xor \$s5, \$s1, \$s4</code>	

Name:

Vorname:

Matr.-Nr.:

12

3. Belegung der Register bei sequentieller Bearbeitung des Programms:

R1	R2	R3

4. Behebung der Pipelinekonflikte durch Einfügen von NOP-Befehlen:

Anzahl der Takte:

Aufgabe 9

1. Das Mooresche Gesetz der Mikroelektronik:

2. Aufbau einer statischen MOS-Speicherzelle:

3. Zugriffszeit:

Zykluszeit:

4. Vor- und Nachteile magnetischer Speichermedien:

Magnetische Speicher in einer Speicherhierarchie:

Aufgabe 10

1. *Dirty*-Bit:

2. Unmittelbare und direkte Adressierung:

3. Zweistufige und einstufige Speicher-Adressierung: