

Aufgabenblätter zur Prüfung

Digitaltechnik und Entwurfsverfahren (TI-1)

und

Rechnerorganisation (TI-2)

am 14. August 2023, 08:00 – 10:00 Uhr

- Beschriften Sie bitte gleich zu Beginn jedes Lösungsblatt deutlich lesbar mit Ihrem Namen und Ihrer Matrikelnummer.
- Diese Aufgabenblätter werden nicht abgegeben. Tragen Sie Ihre Lösung deshalb ausschließlich in die für jede Aufgabe vorgesehenen Bereiche der Lösungsblätter ein. Lösungen auf separat abgegebenen Blättern werden nicht gewertet.
- Außer Schreibmaterial sind während der Klausur keine Hilfsmittel zugelassen. Täuschungsversuche durch Verwendung unzulässiger Hilfsmittel führen unmittelbar zum Ausschluss von der Klausur und zur Note „nicht bestanden“.
- Soweit in der Aufgabenstellung nichts anderes angegeben ist, tragen Sie in die Lösungsblätter bitte nur Endergebnisse und Rechenweg ein. Die Rückseiten der Aufgabenblätter können Sie als Konzeptpapier verwenden. Weiteres Konzeptpapier können Sie auf Anfrage während der Klausur erhalten.
- Halten Sie Begründungen oder Erklärungen so kurz und präzise wie möglich. Der auf den Lösungsblättern für eine Aufgabe vorgesehene Platz lässt nicht auf den Umfang einer korrekten Lösung schließen.
- Die Gesamtpunktzahl beträgt 90 Punkte. Zum Bestehen der Klausur sind mindestens 40 Punkte zu erreichen.

Viel Erfolg und viel Glück!

Aufgabe 1 Rechnerarithmetik

(9 Punkte)

Hinweis: Geben Sie in dieser Aufgabe *immer* den Rechenweg an.

1. Gegeben sei das folgende lineare Gleichungssystem im Dualsystem

2 P.

$$x + y = 100000$$

$$x - y = 1100$$

Ermitteln Sie x und y . Führen Sie alle notwendigen Berechnungen im Dualsystem durch.

2. Geben Sie die 16-Bit Darstellung der Zahlen $+512_{10}$ und -1023_{10} im Zweierkomplement an.

1 P.

3. Geben Sie die Darstellung der Zahlen $(10,5)_{10}$ und $(-\frac{5}{8})_{10}$ im 32-Bit-Format des IEEE-754-Standards in normalisierter Form an.

2 P.

4. Führen Sie die folgenden Additionen in den angegebenen 8-Bit Darstellungen der Zahlen aus. Geben Sie das korrekte Ergebnis in allen Fällen an. Tritt ein Überlauf bei einer Operation auf, so kennzeichnen Sie dies durch *Overflow*. Das Ergebnis brauchen Sie in dem Fall nicht anzugeben.

4 P.

Aufgabe	Vorzeichen-Betrag	Einerkomplement	Zweierkomplement
$\begin{array}{r} -121 \\ + 40 \\ \hline \end{array}$	$\begin{array}{r} + 0 0 1 0 1 0 0 0 \\ \hline \end{array}$	$\begin{array}{r} + 0 0 1 0 1 0 0 0 \\ \hline \end{array}$	$\begin{array}{r} + 0 0 1 0 1 0 0 0 \\ \hline \end{array}$
$\begin{array}{r} 121 \\ + 40 \\ \hline \end{array}$	$\begin{array}{r} 0 1 1 1 1 0 0 1 \\ + 0 0 1 0 1 0 0 0 \\ \hline \end{array}$	$\begin{array}{r} 0 1 1 1 1 0 0 1 \\ + 0 0 1 0 1 0 0 0 \\ \hline \end{array}$	$\begin{array}{r} 0 1 1 1 1 0 0 1 \\ + 0 0 1 0 1 0 0 0 \\ \hline \end{array}$
$\begin{array}{r} 121 \\ + -40 \\ \hline \end{array}$	$\begin{array}{r} 0 1 1 1 1 0 0 1 \\ + \underline{\hspace{1cm}} \\ \hline \end{array}$	$\begin{array}{r} 0 1 1 1 1 0 0 1 \\ + \underline{\hspace{1cm}} \\ \hline \end{array}$	$\begin{array}{r} 0 1 1 1 1 0 0 1 \\ + \underline{\hspace{1cm}} \\ \hline \end{array}$

Aufgabe 2 *Minimierungsverfahren* (9 Punkte)

Eine vollständig definierte Schaltfunktion $y = f(d, c, b, a)$ ist gegeben durch

$$y = \text{MINt}(1, 2, 3, 6, 7, 9, 10, 11, 15).$$

1. Tragen Sie die Funktion y in das KV-Diagramm im Lösungsblatt ein. Zeichnen Sie *alle* Prim-Einsblöcke klar und eindeutig ein und geben Sie die zugehörigen Primimplikante an. 3 P.
2. Geben Sie *alle* disjunktiven Minimalformen (DMF) von y an. 1 P.

Eine weitere vollständig definierte Schaltfunktion z sei durch ihre disjunktive Normalform (DNF)

$$z = f(d, c, b, a) = \bar{d}\bar{c}\bar{b}\bar{a} \vee \bar{d}\bar{c}\bar{b}a \vee \bar{d}c\bar{b}\bar{a} \vee \bar{d}cba \vee d\bar{c}\bar{b}\bar{a} \vee d\bar{c}\bar{b}a \vee d\bar{c}b\bar{a} \vee d\bar{c}ba$$

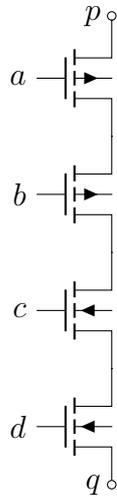
gegeben.

3. Minimieren Sie z mit Hilfe des Quine-McCluskey-Verfahrens. Verwenden Sie die im Lösungsblatt bereitgestellten Tabellen. 5 P.

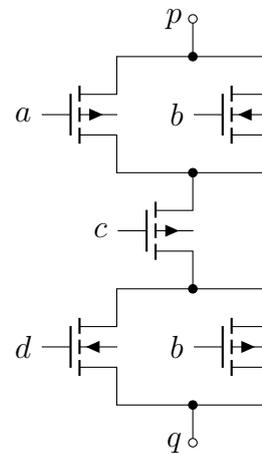
Aufgabe 3 CMOS-Technologie

(9 Punkte)

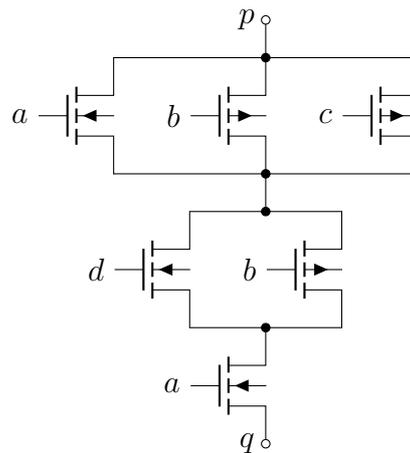
Gegeben seien die folgenden Transistor-Netzwerke.



Transistor-Netzwerk A



Transistor-Netzwerk B



Transistor-Netzwerk C

1. Zeigen Sie mit Hilfe der auf dem Lösungsblatt gegebenen Wertetabellen für welche Belegungen der jeweiligen Variablen das Transistor-Netzwerk einen leitenden Pfad von p nach q besitzt. Markieren Sie die jeweiligen Zeilen mit „L“ für leitend und „S“ für sperrend.

6 P.

Eine vollständig definierte Schaltfunktion $k = f(c, b, a)$ ist gegeben durch

$$k = f(c, b, a) = c \bar{b} a \vee \bar{c} b \bar{a} .$$

2. Die Funktion k soll mit Hilfe der CMOS-Technologie realisiert werden. Die Eingangsvariablen stehen sowohl negiert als auch bejaht zur Verfügung. Zeichnen Sie das resultierende Transistorschaltbild.

3 P.

Aufgabe 4 Laufzeiteffekte

(9 Punkte)

Eine Schaltfunktion $y = f(d, c, b, a)$ sei durch das Schaltnetz in Abbildung 1 realisiert.

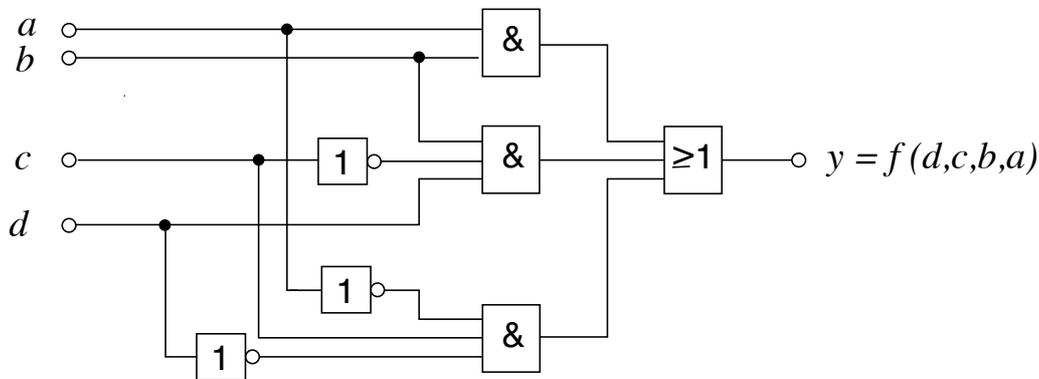


Abbildung 1: Schaltnetz der Schaltfunktion $y = f(d, c, b, a)$

1. Geben Sie das endgültige Totzeitmodell des Schaltnetzes an, indem Sie jedem Gatter seinen Verzögerungswert zuweisen und alle Totzeiten zum Eingang des Schaltnetzes verschieben. Geben Sie die Werte der Pfadverzögerungen an. Die verwendeten Gatter NOT, OR und AND besitzen die Totzeiten τ_{NOT} , τ_{OR} und τ_{AND} . 2 P.
2. Übertragen Sie die Schaltfunktion $y = f(d, c, b, a)$ in das im Lösungsblatt vorbereitete KV-Diagramm und kennzeichnen Sie die Einsblöcke, die bei der Realisierung durch das Schaltnetz in Abbildung 1 verwendet wurden. 1 P.

Im Folgenden sollen bestimmte Übergänge der Eingangsvariablen hazardfrei gemacht werden. Die Variablenreihenfolge ist (d, c, b, a) .

3. Der Übergang $(0, 0, 1, 0) \rightarrow (1, 0, 0, 0)$ weist einen statischen Funktionshazard auf. Geben Sie eine Maßnahme zur Behebung dieses Hazardfehlers an. Begründen Sie Ihre Antwort. 2 P.
4. Der Übergang $(0, 1, 1, 1) \rightarrow (0, 1, 1, 0)$ weist einen statischen Strukturhazard auf. Geben Sie eine Maßnahme zur Behebung dieses Hazards an. Begründen Sie Ihre Antwort. 2 P.
5. Der Übergang $(1, 1, 0, 1) \rightarrow (0, 0, 1, 1)$ weist einen dynamischen Strukturhazard auf. Geben Sie eine Maßnahme zur Behebung dieses Hazards an. Begründen Sie Ihre Antwort. 2 P.

Aufgabe 5 Schaltwerke

(9 Punkte)

1. In Abbildung 2 ist ein flankengesteuertes JK-Flipflop mit einem asynchronen *active-low* Rücksetzeingang dargestellt. 2 P.

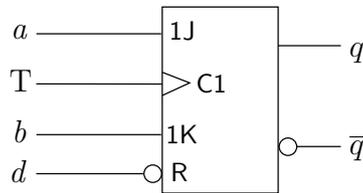


Abbildung 2: Das JK-Flipflop

Vervollständigen Sie das im Lösungsblatt angegebene Zeitdiagramm, indem Sie den Verlauf von q angeben.

2. Gegeben ist das in Abbildung 3 dargestellte Schaltwerk. Das Schaltwerk ist mit flankengesteuerten D-Flipflops realisiert. Es besitzt den Eingang x und den Ausgang y . 3 P.

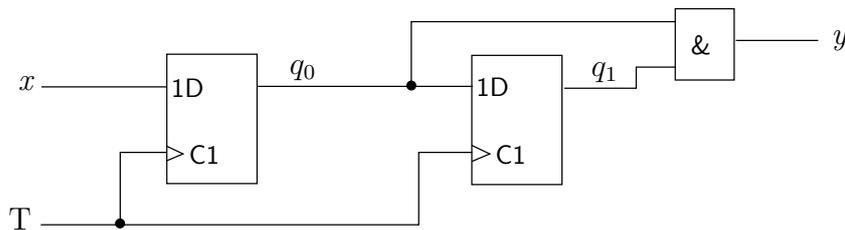


Abbildung 3: Schaltwerk I

Vervollständigen Sie die Verläufe der Signale q_0 , q_1 und y für den im Lösungsblatt angegebenen Verlauf von x .

3. Ein weiteres Schaltwerk ist in Abbildung 4 dargestellt.

4 P.

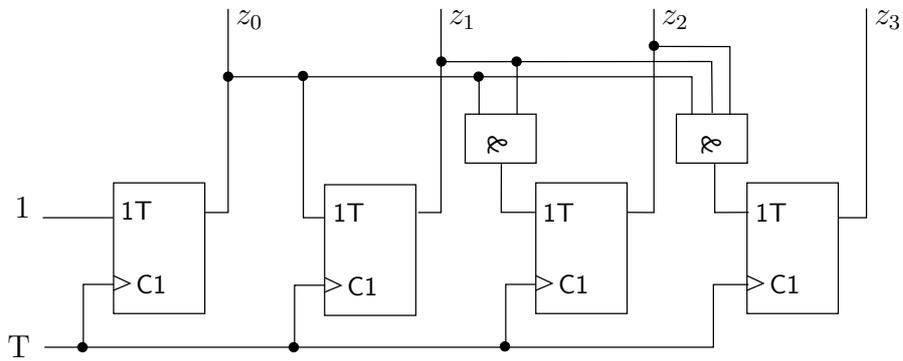


Abbildung 4: Schaltwerk II

Vervollständigen Sie das im Lösungsblatt angegebene Zeitdiagramm, indem Sie die Verläufe der Signale z_0 , z_1 , z_2 und z_3 einzeichnen.

Lösungsblätter zur Klausur

Digitaltechnik und Entwurfsverfahren (TI-1)

und

Rechnerorganisation (TI-2)

am 14. August 2023, 08:00 – 10:00 Uhr

Name:	Vorname:	Matrikelnummer:
-------	----------	-----------------

Digitaltechnik und Entwurfsverfahren (TI-1)	
Aufgabe 1	von 9 Punkten
Aufgabe 2	von 9 Punkten
Aufgabe 3	von 9 Punkten
Aufgabe 4	von 9 Punkten
Aufgabe 5	von 9 Punkten
Rechnerorganisation (TI-2)	
Aufgabe 6	von 11 Punkten
Aufgabe 7	von 8 Punkten
Aufgabe 8	von 10 Punkten
Aufgabe 9	von 6 Punkten
Aufgabe 10	von 10 Punkten

Gesamtpunktzahl:	
-------------------------	--

	Note:
--	--------------

Aufgabe 1 *Rechnerarithmetik*

1. Berechnung von x und y :

2. 16-Bit Darstellung im Zweierkomplement:

- 512_{10} :

- -1023_{10} :

3. Zahlen im 32 Bit-Format des IEEE-754-Standards:

- $(10,5)_{10}$:

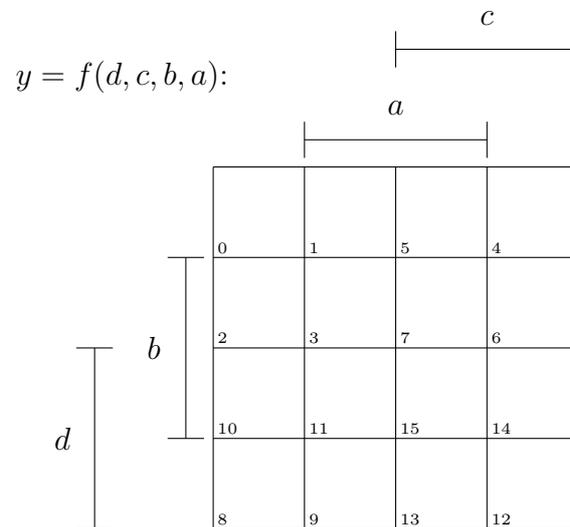
- $(-\frac{5}{8})_{10}$:

4.

Aufgabe	Vorzeichen-Betrag	Einerkomplement	Zweierkomplement
(-121) <u>+ 40</u>	<u>+ 0 0 1 0 1 0 0 0</u>	<u>+ 0 0 1 0 1 0 0 0</u>	<u>+ 0 0 1 0 1 0 0 0</u>
121 <u>+ 40</u>	0 1 1 1 1 0 0 1 <u>+ 0 0 1 0 1 0 0 0</u>	0 1 1 1 1 0 0 1 <u>+ 0 0 1 0 1 0 0 0</u>	0 1 1 1 1 0 0 1 <u>+ 0 0 1 0 1 0 0 0</u>
121 <u>+ (-40)</u>	0 1 1 1 1 0 0 1 <u>+ _____</u>	0 1 1 1 1 0 0 1 <u>+ _____</u>	0 1 1 1 1 0 0 1 <u>+ _____</u>

Aufgabe 2 *Minimierungsverfahren*

1. KV-Diagramm:



Primimplikante:

2. Disjunktive Minimalformen (DMF):

Name:

Vorname:

Matr.-Nr.:

5

3. Quine-McCluskey-Verfahren:

1. Quinsche Tabellen:

Nr.	0. Ordnung	

Nr.	1. Ordnung	

Nr.	2. Ordnung	

Nr.	3. Ordnung	

2. Quinsche Tabelle:

Minterme	
Primimp.	

Disjunktive Minimalform (DMF):

Aufgabe 3 *CMOS-Technologie*

1. Leitend oder sperrend:

Transistor-Netzwerk:

<i>d</i>	<i>c</i>	<i>b</i>	<i>a</i>	A	B	C
				<i>L/S</i>	<i>L/S</i>	<i>L/S</i>
0	0	0	0			
0	0	0	1			
0	0	1	0			
0	0	1	1			
0	1	0	0			
0	1	0	1			
0	1	1	0			
0	1	1	1			
1	0	0	0			
1	0	0	1			
1	0	1	0			
1	0	1	1			
1	1	0	0			
1	1	0	1			
1	1	1	0			
1	1	1	1			

Name:

Vorname:

Matr.-Nr.:

7

2. CMOS-Transistorschaltbild:

Name:

Vorname:

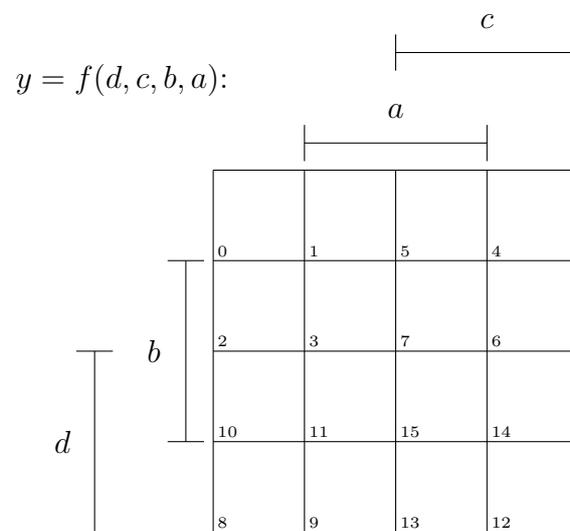
Matr.-Nr.:

8

Aufgabe 4 *Laufzeiteffekte*

1. Totzeitmodell:

2. KV-Diagramm:



3. Übergang $(0, 0, 1, 0) \rightarrow (1, 0, 0, 0)$:

4. Übergang $(0, 1, 1, 1) \rightarrow (0, 1, 1, 0)$:

5. Übergang $(1, 1, 0, 1) \rightarrow (0, 0, 1, 1)$:

3. Zeitdiagramm des Schaltwerks II:

