

Digitaltechnik und Entwurfsverfahren im SS 2021

4. Übungsblatt

Abgabetermin: 31. Mai, 13:15 Uhr

Prof. Dr. Mehdi B. Tahoori
Geb. 07.21, Rm. A-3.14

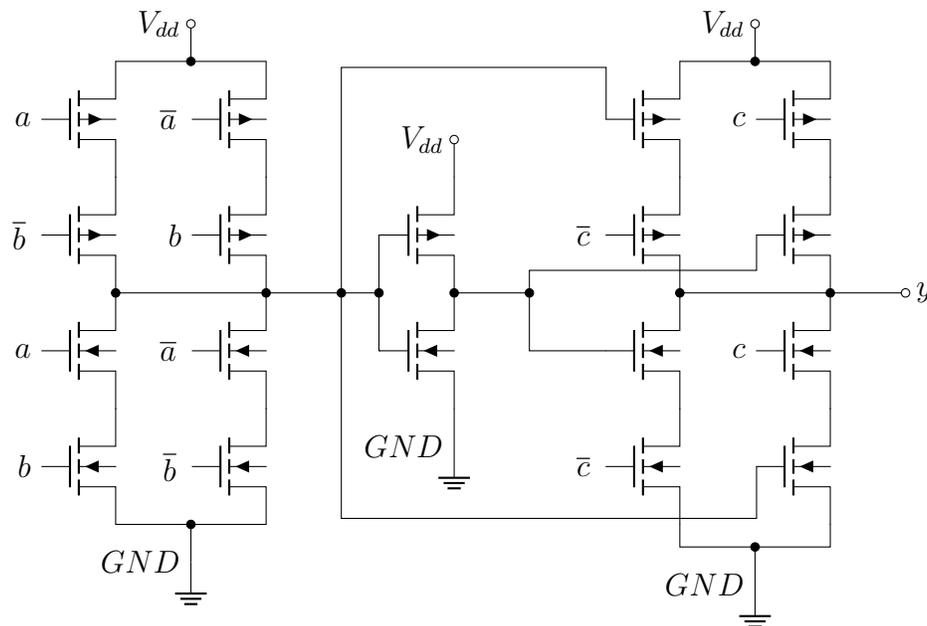
Roman Lehmann, M. Sc.
Geb. 07.21, Rm. B2-314.1

Email: roman.lehmann@kit.edu

Aufgabe 1

(4 Punkte)

Geben Sie eine schaltalgebraische Form der Schaltfunktion an, die durch folgende CMOS-Schaltung realisiert wird.



Aufgabe 2

(6 Punkte)

Die Eingangsvariablen stehen in folgenden Teilaufgaben lediglich bejaht zur Verfügung.

1. Die Schaltfunktion

3 P.

$$y = f(c, b, a) = \bar{c} \vee \bar{b} \bar{a}$$

soll in der CMOS-Technologie realisiert werden. Es stehen ein NOR-Gatter, ein NAND-Gatter, und ein Inverter-Gatter zur Verfügung. Geben Sie das Transistor-Schaltbild an.

2. Entwerfen Sie ein Gatter in CMOS-Technologie, welches die vierstellige Boolesche Funktion

3 P.

$$\text{NAND}_4(d, c, b, a) = \begin{cases} 0 & \text{für } a = b = c = d = 1 \\ 1 & \text{sonst} \end{cases}$$

realisiert. Zeichnen Sie die Transistorschaltung.

Aufgabe 3

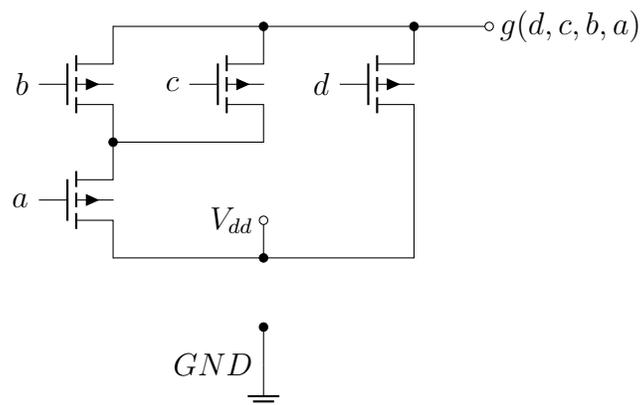
(4 Punkte)

Realisieren Sie die Schaltfunktion $z = g(b, a) = b \not\leftrightarrow a$ durch ein CMOS-Schaltnetz. Es stehen Ihnen CMOS-Gatter mit zwei Eingängen zur Verfügung, welche die Schaltfunktion NAND realisieren. Die Eingangsvariablen stehen sowohl negiert als auch bejaht zur Verfügung. Zeichnen Sie das Schaltbild des CMOS-Schaltnetzes. Vergessen Sie nicht, die Anschlüsse zu beschriften.

Aufgabe 4

(4 Punkte)

In der folgenden Darstellung eines CMOS-Schaltplans zur Realisierung der vollständigen Schaltfunktion $g(d, c, b, a)$ fehlt das n-Netz:



Können Sie das n-Netz wieder ergänzen?

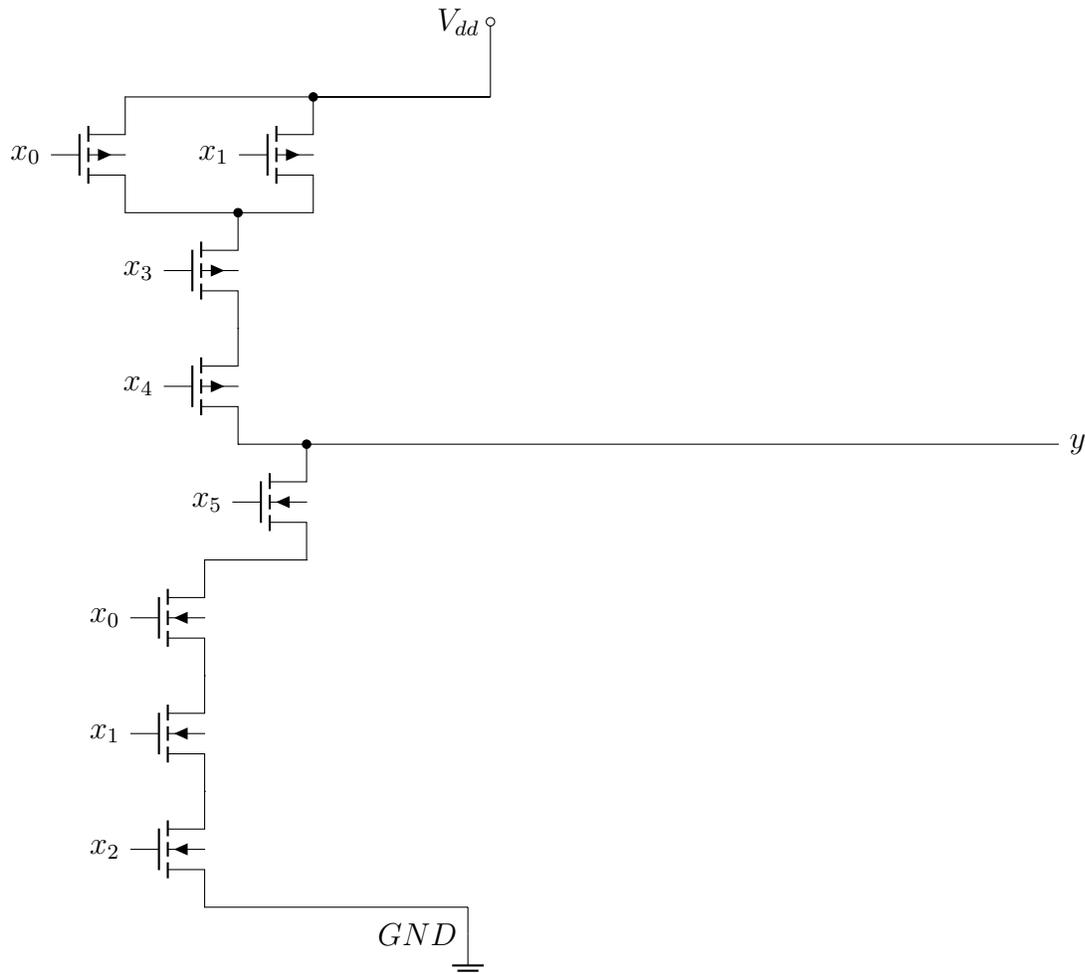
Falls ja, zeichnen Sie das n-Netz in den Schaltplan ein und geben Sie g in schaltalgebraischer Form an.

Falls nein, begründen Sie, warum das n-Netz nicht bestimmt werden kann und geben Sie an, welche zusätzliche(n) Information(en) Sie benötigen würden.

Aufgabe 5

(8 Punkte)

In der Abbildung ist eine Teilrealisierung einer Schaltfunktion $y = f(x_5, x_4, x_3, x_2, x_1, x_0)$ in der CMOS-Technologie dargestellt:



1. Ergänzen Sie die Schaltung im p- und n-Teil so, dass eine Realisierung der Schaltfunktion y in der CMOS-Technologie entsteht. 4 P.
2. Welche Schaltfunktion wurde realisiert? 4 P.