

Digitaltechnik und Entwurfsverfahren im SS 2021

11. Übungsblatt

Abgabetermin: 19. Juli, 13:15 Uhr

Prof. Dr. Mehdi B. Tahoori
Geb. 07.21, Rm. A-3.14

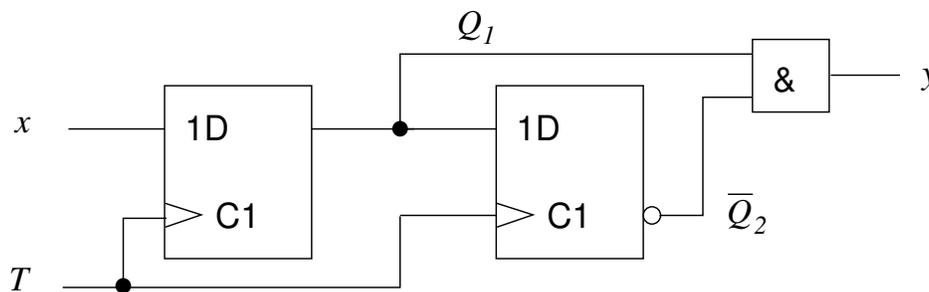
Roman Lehmann, M. Sc.
Geb. 07.21, Rm. B2-314.1

Email: roman.lehmann@kit.edu

Aufgabe 1

(6 Punkte)

Gegeben sei folgendes Schaltbild:

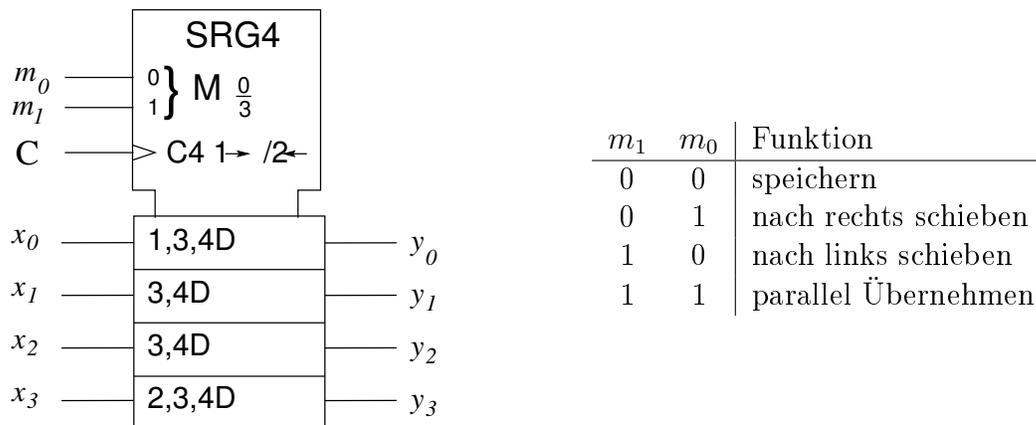


1. Welche Funktion hat dieses Schaltwerk? Betrachten Sie dazu insbesondere den Fall, dass der Eingang x zwischen zwei aktiven Taktflanken von 0 auf 1 wechselt und nach einer gewissen Zeit, die kleiner oder größer als die Taktperiode sein kann, auf 0 zurückgeht. 2 P.
2. Für den Fall kurzer 1-Impulse von x reagiert die gegebene Schaltung nicht wie gewünscht. Man möchte für kurze 1-Impulse das gleiche Verhalten wie für lange 1-Impulse erzielen. Ergänzen Sie das Schaltbild so, dass dies erreicht wird. 2 P.
3. Modifizieren Sie die gegebene Schaltung so, dass man Änderungen von x detektieren kann. y soll dazu genau einen Takt lang gleich 1 werden, wenn x von 0 nach 1 oder von 1 nach 0 gewechselt hat. 2 P.

Aufgabe 2

(6 Punkte)

Entwerfen Sie ein 4-stelliges Schieberegister mit parallelen Ein- und Ausgängen, das bezüglich der Reihenfolge $x_0 x_1 x_2 x_3$ sowohl nach rechts als auch nach links schieben kann. Verwenden Sie dabei D-Flipflops als Speicherelemente.

Aufgabe 3

(6 Punkte)

Es soll ein synchroner Parallel-Seriell-Wandler entwickelt werden. Die Schaltung soll vier Eingänge d_1, \dots, d_4 für parallele Daten, sowie einen „low“-aktiven Eingang „Strobe“ besitzen. Die Ausgänge der Schaltung werden mit S_{out} für die seriellen Daten „Valid“ bezeichnet. Falls Strobe = 0 ist, werden die momentan an den Eingängen d_1, \dots, d_4 anliegenden Daten mit der nächsten positiven Taktflanke in ein Register übernommen und mit den folgenden vier positiven Taktflanken am Ausgang S_{out} (d_1 zuerst und d_4 zuletzt) ausgegeben. Während dieser vier Taktflanken ist Valid = 1, sonst ist Valid = 0. Es soll zur Vereinfachung angenommen werden, dass „Strobe“ stets nur maximal eine Taktflanke und nicht während einer seriellen Ausgabe auf 0 gehen kann.

1. Zeichnen Sie beispielhaft ein Signal-Zeit-Diagramm aller Ein- und Ausgangssignale und des Taktes. 2 P.
2. Bauen Sie die Schaltung auf. (Hinweis: Die Schaltung kann mit einem 4-Bit Register, einem 4:1-Multiplexer, zwei JK-R-Flipflops, einem RS-Flipflop, einem 3-fachen AND-Gatter und einem Inverter realisiert werden. Korrekte Realisierungen mit anderen Bauelementen sind jedoch auch gültig.) 3 P.
3. Wie muss die Schaltung geändert werden, damit die Datenbits in umgekehrter Reihenfolge (zuerst d_4 und d_1 zuletzt) ausgegeben werden? 1 P.

Aufgabe 4

(6 Punkte)

1. Beschreiben Sie, worin das Problem beim Entwurf von synchronen Dualzählern bei wachsender Bitanzahl liegt. 2 P.

Warum tritt dieses Problem beim Entwurf als asynchroner Zähler nicht auf?

2. Beziehen Sie Stellung zu folgenden Aussagen.

Falls eine Aussage falsch ist, begründen Sie warum (ohne Begründung keine Punkte).

i.) Bei einem *Field Programmable Gate Array* (FPGA) handelt es sich um einen programmierbaren Baustein, der nach der Personalisierung durch den Benutzer beliebige Schaltnetze realisieren kann. Deshalb kann jeder FPGA-Baustein durch einen *Programmable Logic Array*-Baustein (PLA-Baustein) ersetzt werden. 2 P.

ii.) Ein Taktmultiplikator dient dazu, aus einem gegebenen Taktsignal einen neuen Takt mit erhöhter Taktfrequenz zu erzeugen. Eine einfache Möglichkeit zur Implementierung eines Taktmultiplikators besteht in der Verwendung eines synchronen Dualzählers, bei dem der ursprüngliche Takt als Taktsignal zum Inkrementieren und das Signal eines ausgewählten Bits als Ausgabe des Taktmultiplikators verwendet werden kann. 2 P.