

Digitaltechnik und Entwurfsverfahren im SS 2022

4. Übungsblatt

Abgabetermin: 30. Mai, 13:15 Uhr

Prof. Dr. Mehdi B. Tahoori
Geb. 07.21, Rm. A-3.14

Roman Lehmann, M. Sc.
Geb. 07.21, Rm. B2-314.1

Email: roman.lehmann@kit.edu

Aufgabe 1

(7 Punkte)

Ein 2:1-Multiplexer ist ein Bauteil der Digitaltechnik, der über zwei Dateneingänge e_0 und e_1 , einen Steuereingang s und einen Ausgang y verfügt.

Ein Multiplexer gibt genau einen der beiden anliegenden Dateneingänge auf dem Ausgang aus. Dabei wird der an e_0 bzw. e_1 anliegende Wert bei $s = 0$ bzw. $s = 1$ am Ausgang y ausgegeben.

1. Geben Sie die Funktionstabelle für $y(e_0, e_1, s)$ an.

2 P.

2. Geben Sie die konjunktive Normalform (KNF) von y an.

1 P.

3. Bestimmen Sie ausgehend von der KNF eine Darstellung von y in NOR_k -Darstellung und zeichnen Sie das resultierende Schaltnetz (nicht CMOS).

4 P.

Gehen Sie dabei davon aus, dass die Eingabevariablen nur bejaht zur Verfügung stehen.

Aufgabe 2

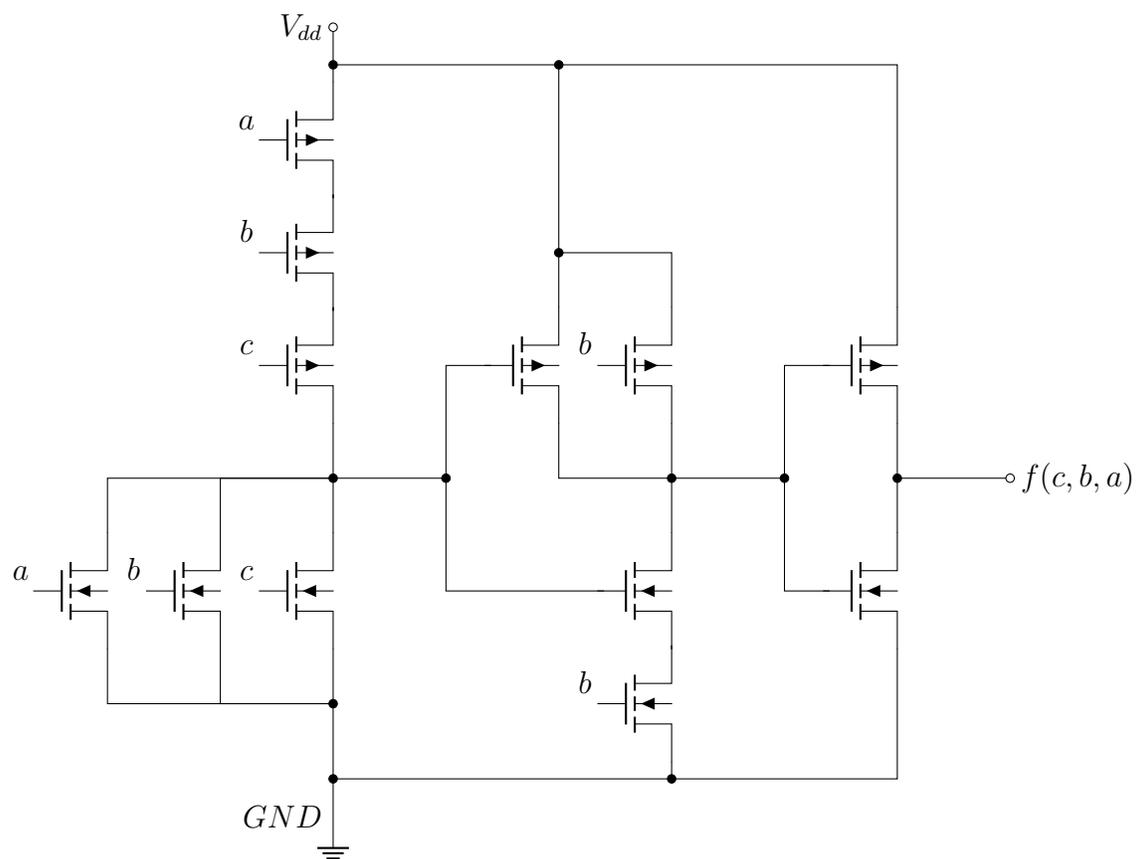
(4 Punkte)

Gegeben sei die folgende CMOS-Schaltung:

Welche Schaltfunktion wird durch die dargestellte Schaltung realisiert?

Geben Sie diese Funktion in schaltalgebraischer Form an.

Tipp: Identifizieren Sie Ihnen bekannte schaltalgebraische Operatoren.



Aufgabe 3

(6 Punkte)

Die Eingangsvariablen stehen in folgenden Teilaufgaben lediglich bejaht zur Verfügung.

1. Die Schaltfunktion

$$y = f(c, b, a) = \bar{c} \vee \bar{b} \bar{a}$$

3 P.

soll in der CMOS-Technologie realisiert werden. Es stehen ein NOR-Gatter, ein NAND-Gatter, und ein Inverter-Gatter zur Verfügung. Geben Sie das Transistor-Schaltbild an.

2. Entwerfen Sie ein Gatter in CMOS-Technologie, welches die vierstellige Boolesche Funktion

$$\text{NAND}_4(d, c, b, a) = \begin{cases} 0 & \text{für } a = b = c = d = 1 \\ 1 & \text{sonst} \end{cases}$$

3 P.

realisiert. Zeichnen Sie die Transistorschaltung.

Aufgabe 4

(3 Punkte)

Realisieren Sie die Schaltfunktion $y(b, a) = b \leftrightarrow a$ durch ein CMOS-Schaltnetz.

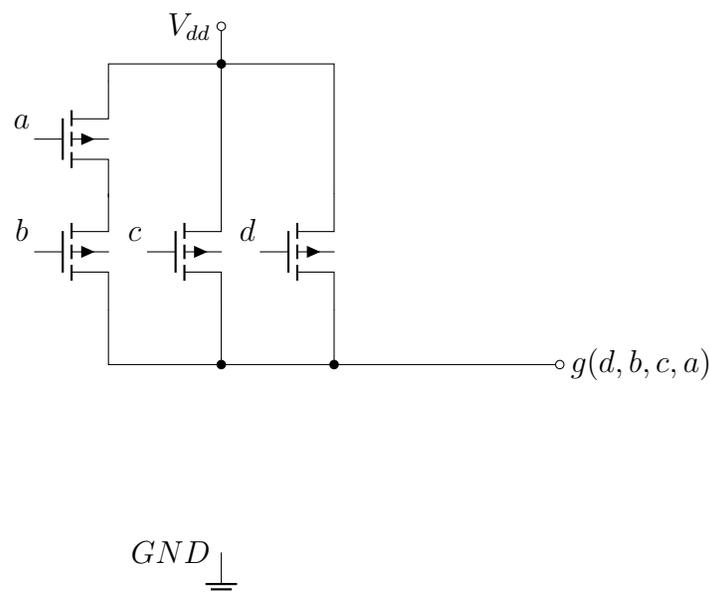
Es stehen Ihnen CMOS-Gatter mit zwei Eingängen zur Verfügung, welche die Schaltfunktion NAND realisieren. Die Eingangsvariablen stehen sowohl negiert als auch bejaht zur Verfügung.

Zeichnen Sie das Schaltbild des CMOS-Schaltnetzes. Vergessen Sie nicht, die Anschlüsse zu beschriften.

Aufgabe 5

(4 Punkte)

In der folgenden Darstellung eines CMOS-Schaltplans zur Realisierung der vollständigen Schaltfunktion $g(d, c, b, a)$ fehlt das n-Netz:



Können Sie das n-Netz wieder ergänzen?

Falls ja, zeichnen Sie das n-Netz in den Schaltplan ein und geben Sie g in schaltalgebraischer Form an.

Falls nein, begründen Sie, warum das n-Netz nicht bestimmt werden kann und geben Sie an, welche zusätzliche(n) Information(en) Sie benötigen würden.

Aufgabe 6

(4 Punkte)

1. Einer Ihrer Kommilitonen schlägt vor, beim Aufbau einer CMOS-Schaltung das p-Netz durch einen *Pull-up-Widerstand* zu ersetzen und so die Hälfte der Transistoren einzusparen. 2 P.

Der Widerstand soll dafür sorgen, dass der Ausgang dennoch nie einen hochohmigen Zustand annimmt, sondern eine logische Eins ausgegeben wird, falls das n-Netz sperrt.

Kann dieser Vorschlag funktionieren?

Falls ja, welchen Nachteil hätte dieser Aufbau? Falls nein, warum nicht?

2. Aufgrund der Eigenschaften von p- und nMOS-Transistoren sind NAND-Schaltungen NOR-Schaltungen vorzuziehen. 2 P.

Warum ist das so?

Begründen Sie ausführlich.