

Digitaltechnik und Entwurfsverfahren im SS 2022

8. Übungsblatt

Abgabetermin: 04. Juli, 13:15 Uhr

Prof. Dr. Mehdi B. Tahoori
Geb. 07.21, Rm. A-3.14

Roman Lehmann, M. Sc.
Geb. 07.21, Rm. B2-314.1

Email: roman.lehmann@kit.edu

Aufgabe 1

(2 Punkte)

Am 14.07.2022 findet das alljährliche Eulenfest der Fachschaft Mathematik und Informatik statt. Aus gegebenem Anlass hat ein Informatiker folgende Boolesche Variablen zur Beschreibung des Abends definiert:

Variablen:

- ein bestimmter Student feiert (s)
- Partylicht ist an (l)
- Musik läuft (m)
- genug Getränke (g)
- zu spät am Abend (z)
- Anwohner beschwerten sich (a)

Formen Sie die Funktion AF („Alle Feiern“) unter Anwendung der Gesetze der Schaltalgebra derart um, dass nur noch Disjunktions- und Negations-Operationen verwendet werden.

$$AF = \overline{a} \vee z \wedge (s \vee mlg)$$

Aufgabe 2

(3 Punkte)

Entwerfen Sie ein Schaltnetz zur Ermittlung der Teilbarkeit einer 3-Bit-Zahl größer Null.

Eingabe seien die drei Ziffern c , b und a der 3-Bit-Zahl. Die Ausgabewerte des Schaltnetzes heißen t_2 , t_3 , t_5 und t_7 . Der Ausgang t_n soll genau dann 1 sein, wenn cba_2 durch n teilbar ist.

Das Verhalten des Schaltnetzes bei der Eingabe $c = b = a = 0$ ist beliebig.

1. Geben Sie die Funktionstabelle an.

1 P.

2. Geben Sie das Schaltbild an. Zur Verwendung stehen ein 1:8-Demultiplexer sowie insgesamt drei AND-, OR- und NOT-Gatter.

2 P.

Aufgabe 3

(7 Punkte)

Es soll ein Schaltnetz realisiert werden, dessen Ausgang immer dann eine 1 ausgibt, wenn die Quersumme einer vierstelligen Dualzahl gleich zwei ist.

1. Stellen Sie die Funktionstabelle auf. 2 P.
2. Das Schaltnetz soll mit Hilfe eines 8:1-Multiplexers und eines Inverters realisiert werden. Stellen Sie zur Ermittlung der Belegungen der Multiplexereingänge die Implementierungstabelle auf. 2 P.
3. Zeichnen Sie das entworfene Schaltnetz. 1 P.
4. Realisieren Sie die gleiche Schaltfunktion mit einem Inverter-Gatter sowie 4:1- und 2:1-Multiplexern. 2 P.

Aufgabe 4

(6 Punkte)

Gegeben ist das in Abbildung 1 dargestellte Schaltnetz. NAND- und NOR-Gatter haben eine Totzeit von $5ns$, das OR-Gatter eine Totzeit von $3ns$ und die Inverter eine Totzeit von $2ns$. Die Eingangsvariablen a , b und c wechseln zum Zeitpunkt $t = 0$ *gleichzeitig* von 0 auf 1.

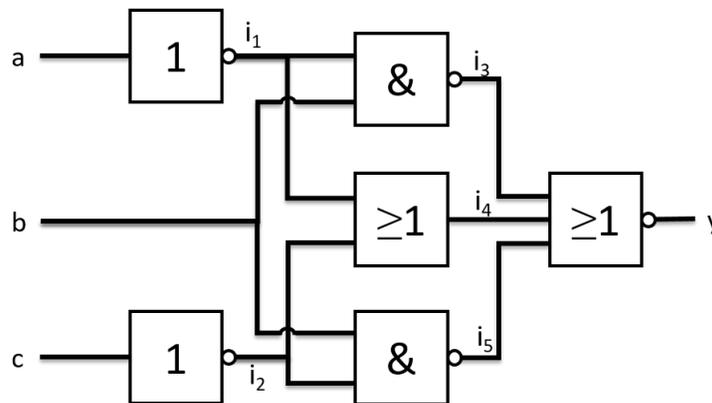


Abbildung 1: Schaltnetz

Geben Sie die Verläufe der Signale i_1 , i_2 , i_3 , i_4 , i_5 und y an, indem Sie das in Abbildung 2 angegebene Zeitdiagramm vervollständigen. 6 P.

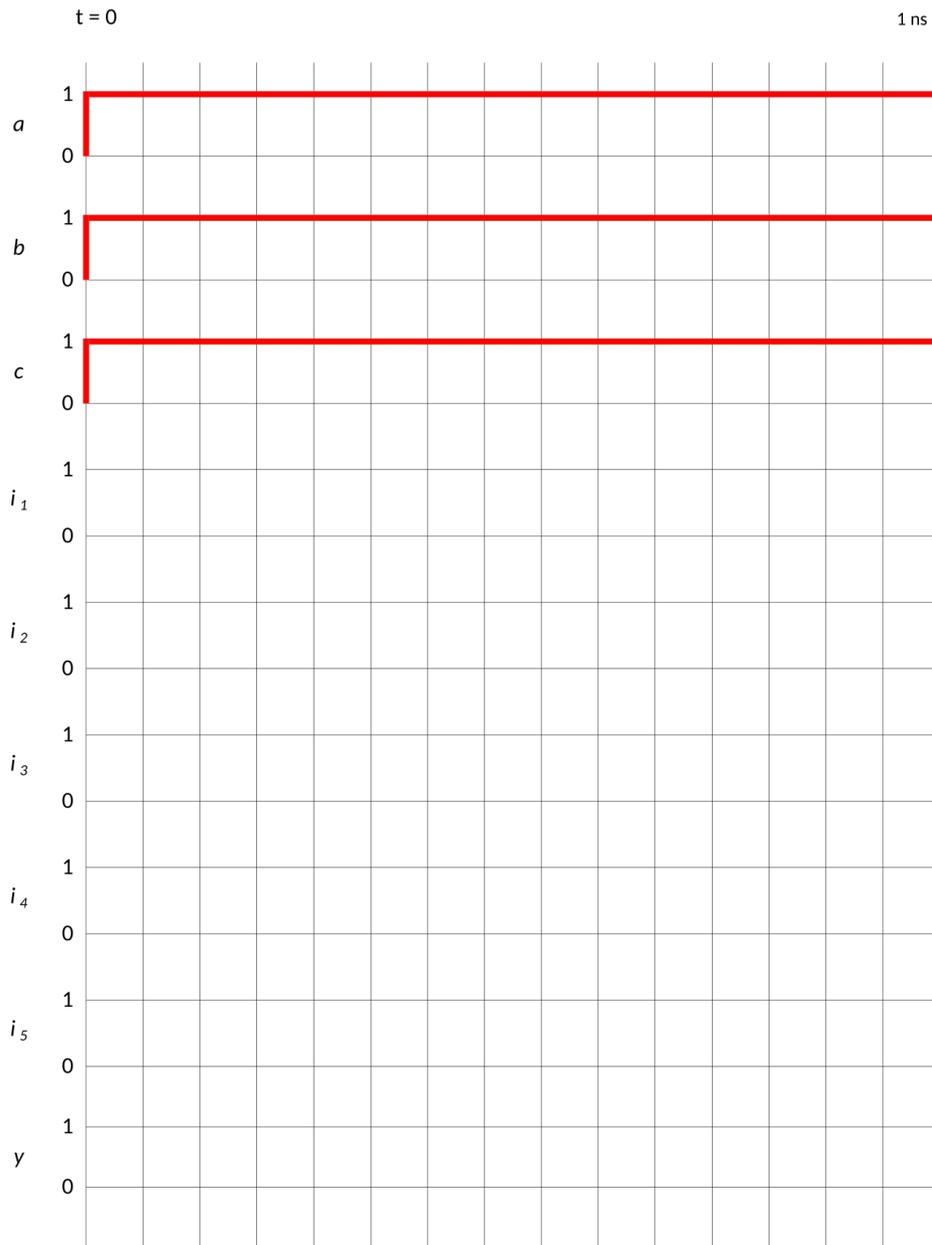


Abbildung 2: Zeitdiagramm

Aufgabe 5

(6 Punkte)

Zu dem in Abbildung 3 dargestellten Antivalenzschaltnetz aus fünf NOR-Gattern soll ein Totzeitmodell mit einem reinen Verzögerungsteil und einem reinen Verknüpfungsteil konstruiert werden, das die Schaltzeiten der Gatter und die Leitungsverzögerungen berücksichtigt. Die Gatter, die mit der gleichen Ziffer gekennzeichnet sind, befinden sich im gleichen Baustein. Die Gatterverzögerungen sind für Gatter aus Baustein 1: $\tau_1 = 2$ ns, Gatter aus Baustein 2: $\tau_2 = 5$ ns und Gatter aus Baustein 3: $\tau_3 = 3$ ns.

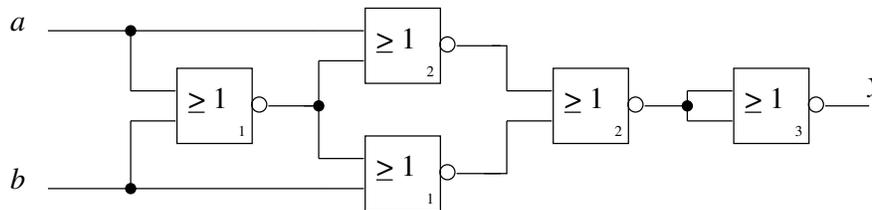


Abbildung 3: Antivalenzschaltnetz

1. Zeichnen Sie den Ansatz zum Totzeitmodell, indem Sie jedem Gatter seinen Verzögerungswert zuweisen. 1 P.
2. Zeichnen Sie das endgültige Totzeitmodell, indem Sie alle Totzeiten zum Eingang des Schaltnetzes verschieben. Geben Sie die Werte der Pfadverzögerungen an. 3 P.
3. Beweisen Sie oder widerlegen Sie die folgende Aussage: 2 P.

Bei dem angegebenen Schaltnetz existieren keine Funktionshazards