

Digitaltechnik und Entwurfsverfahren im SS 2022

11. Übungsblatt

Abgabetermin: 25. Juli, 13:15 Uhr

Prof. Dr. Mehdi B. Tahoori
Geb. 07.21, Rm. A-3.14

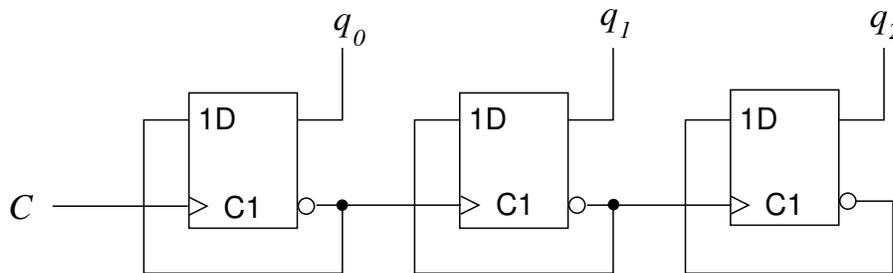
Roman Lehmann, M. Sc.
Geb. 07.21, Rm. B2-314.1

Email: roman.lehmann@kit.edu

Aufgabe 1

(10 Punkte)

Gegeben sei das folgende Schaltwerk:



1. Ist die Schaltung als synchron oder als asynchron zu klassifizieren? 1 P.
2. Zeichnen Sie ein Zeitdiagramm und verfolgen Sie die Werte der Zustandsvariablen für 9 Taktperioden. Nehmen Sie dazu an, dass anfangs alle drei Variablen q_2 , q_1 , q_0 gleich 0 sind. 3 P.
3. Welche Funktion(en) erfüllt die Schaltung? 1 P.
4. Entwerfen Sie ein synchrones Schaltwerk, das die gleiche Funktion realisiert. Verwenden Sie ebenfalls D-Flipflops und vergleichen Sie die Anzahl der benötigten Bauelemente. Nehmen Sie dabei an, dass nur NOR-Gatter als Verknüpfungsbausteine zur Verfügung stehen. 3 P.
5. Besitzt Ihre Schaltung Vorteile gegenüber dem gegebenen Schaltwerk? 2 P.

Aufgabe 2

(4 Punkte)

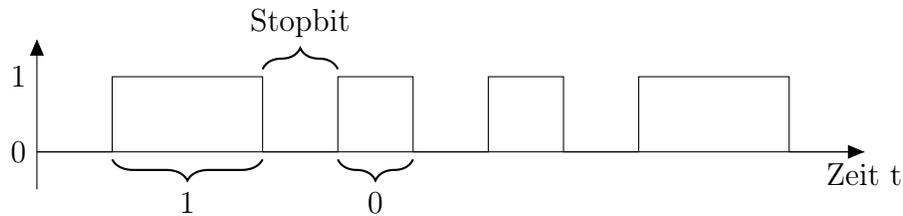


Abbildung 1: Beispiel Signalverlauf

Es soll ein synchrones Schaltwerk entworfen werden, das Informationen dekodiert, die synchron zum Taktsignal seriell auf einer Leitung gesendet werden. Die zu dekodierenden Datenbits werden wie folgt kodiert:

- Zur Übertragung einer Null wird der Pegel einen Takt lang auf HIGH gehalten.
- Zur Übertragung einer Eins wird der Pegel zwei Takte lang auf HIGH gehalten.
- Zwischen der Übertragung zweier Bits ist der Pegel der Leitung immer mindestens einen Takt lang auf LOW, d.h. kein HIGH-Pegel ist länger als 2 Takte.

1. Entwerfen Sie ein Schaltwerk, das als Eingang e die Informationen nach obigem Schema enthält und diese dekodiert. Neben dem Ausgang a , der den Wert des empfangenen Bits anzeigt, soll es eine Valid-Leitung v geben, die anzeigt, in welchem Takt ein neuer korrekter Wert am Ausgang anliegt. Für das Schaltwerk sollen D-Flipflops verwendet werden. 2 P.

Geben Sie den Automatengraphen sowie die Zustandsübergangstabelle an.

Tipp: Das Schaltwerk kommt mit 2 Zuständen aus.

2. Zeichnen und beschriften Sie das Schaltbild des Schaltwerks. 2 P.

Aufgabe 3

(6 Punkte)

Es soll ein synchroner Parallel-Seriell-Wandler entwickelt werden. Die Schaltung soll vier Eingänge d_1, \dots, d_4 für parallele Daten, sowie einen „low“-aktiven Eingang „Strobe“ besitzen. Die Ausgänge der Schaltung werden mit S_{out} für die seriellen Daten „Valid“ bezeichnet. Falls Strobe = 0 ist, werden die momentan an den Eingängen d_1, \dots, d_4 anliegenden Daten mit der nächsten positiven Taktflanke in ein Register übernommen und mit den folgenden vier positiven Taktflanken am Ausgang S_{out} (d_1 zuerst und d_4 zuletzt) ausgegeben. Während dieser vier Taktflanken ist Valid = 1, sonst ist Valid = 0. Es soll zur Vereinfachung angenommen werden, dass „Strobe“ stets nur maximal eine Taktflanke und nicht während einer seriellen Ausgabe auf 0 gehen kann.

1. Zeichnen Sie beispielhaft ein Signal-Zeit-Diagramm aller Ein- und Ausgangssignale und des Taktes. 2 P.
2. Bauen Sie die Schaltung auf. (Hinweis: Die Schaltung kann mit einem 4-Bit Register, einem 4:1-Multiplexer, zwei JK-R-Flipflops, einem RS-Flipflop, einem 3-fachen AND-Gatter und einem Inverter realisiert werden. Korrekte Realisierungen mit anderen Bauelementen sind jedoch auch gültig.) 3 P.
3. Wie muss die Schaltung geändert werden, damit die Datenbits in umgekehrter Reihenfolge (zuerst d_4 und d_1 zuletzt) ausgegeben werden? 1 P.

Aufgabe 4

(6 Punkte)

1. Beschreiben Sie, worin das Problem beim Entwurf von synchronen Dualzählern bei wachsender Bitanzahl liegt. 2 P.
Warum tritt dieses Problem beim Entwurf als asynchroner Zähler nicht auf?
2. Beziehen Sie Stellung zu folgenden Aussagen.
Falls eine Aussage falsch ist, begründen Sie warum (ohne Begründung keine Punkte).
 - i.) Bei einem *Field Programmable Gate Array* (FPGA) handelt es sich um einen programmierbaren Baustein, der nach der Personalisierung durch den Benutzer beliebige Schaltnetze realisieren kann. Deshalb kann jeder FPGA-Baustein durch einen *Programmable Logic Array*-Baustein (PLA-Baustein) ersetzt werden. 2 P.
 - ii.) Ein Taktmultiplikator dient dazu, aus einem gegebenen Taktsignal einen neuen Takt mit erhöhter Taktfrequenz zu erzeugen. Eine einfache Möglichkeit zur Implementierung eines Taktmultiplikators besteht in der Verwendung eines synchronen Dualzählers, bei dem der ursprüngliche Takt als Taktsignal zum Inkrementierungen und das Signal eines ausgewählten Bits als Ausgabe des Taktmultiplikators verwendet werden kann. 2 P.