

Digitaltechnik und Entwurfsverfahren im SS 2023

11. Übungsblatt

Abgabetermin: 24. Juli, 13:15 Uhr

Prof. Dr.-Ing. Uwe D. Hanebeck
Geb. 50.20, Rm. 140

Roman Lehmann, M. Sc.
Geb. 07.21, Rm. B2-314.1

Email: roman.lehmann@kit.edu

Aufgabe 1

(4 Punkte)

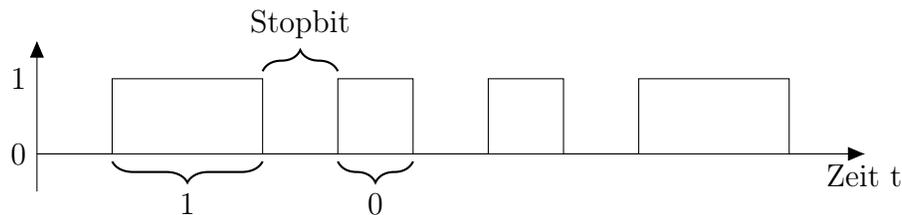


Abbildung 1: Beispiel Signalverlauf

Es soll ein synchrones Schaltwerk entworfen werden, das Informationen dekodiert, die synchron zum Taktsignal seriell auf einer Leitung gesendet werden. Die zu dekodierenden Datenbits werden wie folgt kodiert:

- Zur Übertragung einer Null wird der Pegel einen Takt lang auf HIGH gehalten.
- Zur Übertragung einer Eins wird der Pegel zwei Takte lang auf HIGH gehalten.
- Zwischen der Übertragung zweier Bits ist der Pegel der Leitung immer mindestens einen Takt lang auf LOW, d.h. kein HIGH-Pegel ist länger als 2 Takte.

1. Entwerfen Sie ein Schaltwerk, das als Eingang e die Informationen nach obigem Schema enthält und diese dekodiert. Neben dem Ausgang a , der den Wert des empfangenen Bits anzeigt, soll es eine Valid-Leitung v geben, die anzeigt, in welchem Takt ein neuer korrekter Wert am Ausgang anliegt. Für das Schaltwerk sollen D-Flipflops verwendet werden. 2 P.

Geben Sie den Automatengraphen sowie die Zustandsübergangstabelle an.

Tipp: Das Schaltwerk kommt mit 2 Zuständen aus.

2. Zeichnen und beschriften Sie das Schaltbild des Schaltwerks. 2 P.

Aufgabe 2

(10 Punkte)

Es soll ein synchroner Parallel-Seriell-Wandler entwickelt werden. Die Schaltung soll vier Eingänge d_1, \dots, d_4 für parallele Daten, sowie einen „low“-aktiven Eingang „Strobe“ besitzen. Die Ausgänge der Schaltung werden mit S_{out} für die seriellen Daten „Valid“ bezeichnet. Falls $Strobe = 0$ ist, werden die momentan an den Eingängen d_1, \dots, d_4 anliegenden Daten mit der nächsten positiven Taktflanke in ein Register übernommen und mit den folgenden vier positiven Taktflanken am Ausgang S_{out} (d_1 zuerst und d_4 zuletzt) ausgegeben. Während dieser vier Taktflanken ist $Valid = 1$, sonst ist $Valid = 0$. Es soll zur Vereinfachung angenommen werden, dass „Strobe“ stets nur maximal eine Taktflanke und nicht während einer seriellen Ausgabe auf 0 gehen kann.

1. Zeichnen Sie beispielhaft ein Signal-Zeit-Diagramm aller Ein- und Ausgangssignale und des Taktes. 2 P.
2. Bauen Sie die Schaltung auf. (Hinweis: Die Schaltung kann mit einem 4-Bit Register, einem 4:1-Multiplexer, zwei JK-R-Flipflops, einem RS-Flipflop, einem 3-fachen AND-Gatter und einem Inverter realisiert werden. Korrekte Realisierungen mit anderen Bauelementen sind jedoch auch gültig.) 7 P.
3. Wie muss die Schaltung geändert werden, damit die Datenbits in umgekehrter Reihenfolge (zuerst d_4 und d_1 zuletzt) ausgegeben werden? 1 P.

Aufgabe 3

(6 Punkte)

Im Folgenden soll ein Carry-Lookahead-Addierer zur Bestimmung der Summe von zwei 3-Bit-Zahlen $a_2a_1a_0$ und $b_2b_1b_0$ betrachtet werden.

1. Geben Sie jeweils die Schaltfunktion zur Berechnung des Übertragsbit für die Zweier- bzw. Viererstelle des Ergebnisses (u_1 bzw. u_2) an. 2 P.
2. Was ist der Vor- und der Nachteil eines Carry-Lookahead-Addierers gegenüber einem vergleichbaren Carry-Ripple-Addierer? 2 P.
3. Die Schaltung soll nun modifiziert werden um die Differenz $a_2a_1a_0 - b_2b_1b_0$ zu berechnen. Negative Zahlen sollen hierzu im Zweierkomplement dargestellt werden. 2 P.
Skizzieren Sie, wie Sie den existierenden Carry-Lookahead-Addierer erweitern würden, um dies zu bewerkstelligen.

Aufgabe 4

(4 Punkte)

Verwenden Sie die PPS-Methode zur Multiplikation der vorzeichenlosen Binärzahlen X und Y :

$$X = 00001110$$

$$Y = 00001101$$

Geben Sie Ihren Rechenweg an.