

Aufgabe 1

(10 Punkte)

Es soll ein Vergleichser entworfen werden, der prüfen kann, ob ein Zahlenwert im Vergleich mit einem anderen Zahlenwert größer-gleich oder kleiner ist. Der Vergleichser soll für zwei je zweistellige Binärzahlen $A = (A_1 A_0)$ und $B = (B_1 B_0)$ ausgelegt werden (siehe Abbildung 1).



Abbildung 1: Vergleichser

Das Vergleichsergebnis ist dabei mit zwei Ausgangsvariablen zu melden:
 $GE = 1$ gdw. $A \geq B$, $L = 1$ gdw. $A < B$.

1. Bestimmen Sie die konjunktive Normalform der Schaltfunktion für die Ausgangsgröße GE und vereinfachen Sie diese so weit wie möglich. 3 P.
2. Stellen Sie die vereinfachte Form aus Teilaufgabe 1 in der NOR_k -Darstellung dar. Die Eingangsvariablen stehen nur bejaht zur Verfügung. 2 P.
3. Wie lässt sich ausgehend von der NOR_k -Darstellung GE nur unter Verwendung von NOR_2 -Verknüpfungen darstellen? 1 P.
4. Stellen Sie die vereinfachte Form aus Teilaufgabe 1 in der $NAND_k$ -Darstellung dar. Die Eingangsvariablen stehen nur bejaht zur Verfügung. 2 P.
5. Bestimmen Sie die disjunktive Normalform der Schaltfunktion für die Ausgangsgröße L . 2 P.

Aufgabe 2

(5 Punkte)

Gegeben sei die Funktion:

$$f(d, c, b, a) = (d \vee c \vee \bar{b} \vee a) \wedge (c \vee \bar{a})$$

Bestimmen Sie eine $NAND_k$ -Darstellung von f , wobei Ihnen lediglich NAND-Gatter mit zwei Eingängen zur Verfügung stehen.

Alle Eingangsvariablen stehen sowohl bejaht als auch negiert zur Verfügung.

Tipp: Folgen Sie der aus der Vorlesung bekannten Vorgehensweise und überlegen Sie dann, wie sich ein *mehrstelliges NAND-Gatter* durch *zweistellige NAND-Gatter* darstellen lässt.

Aufgabe 3

(4 Punkte)

Geben Sie die aus der Vorlesung bekannten CMOS-Schaltungen an für

1. ein (zweistelliges) NAND-Gatter

2 P.

2. ein (zweistelliges) NOR-Gatter

2 P.

Aufgabe 4

(3 Punkte)

Realisieren Sie die Schaltfunktion $y(b, a) = b \leftrightarrow a$ durch ein CMOS-Schaltnetz.

Es stehen Ihnen CMOS-Gatter mit zwei Eingängen zur Verfügung, welche die Schaltfunktion NAND realisieren. Die Eingangsvariablen stehen sowohl negiert als auch bejaht zur Verfügung.

Zeichnen Sie das Schaltbild des CMOS-Schaltnetzes. Vergessen Sie nicht, die Anschlüsse zu beschriften.