

Digitaltechnik und Entwurfsverfahren im SS 2024

5. Übungsblatt

Abgabetermin: 10. Juni, 13:15 Uhr

Prof. Dr.-Ing. Uwe D. Hanebeck
Geb. 50.20, Rm. 140

Roman Lehmann, M. Sc.
Geb. 07.21, Rm. B2-314.1

Email: roman.lehmann@kit.edu

Aufgabe 1

(6 Punkte)

Die Eingangsvariablen stehen in folgenden Teilaufgaben lediglich bejaht zur Verfügung.

1. Die Schaltfunktion

$$y = f(c, b, a) = \bar{c} \vee \bar{b} \bar{a}$$

3 P.

soll in der CMOS-Technologie realisiert werden. Es stehen ein NOR-Gatter, ein NAND-Gatter, und ein Inverter-Gatter zur Verfügung. Geben Sie das Transistor-Schaltbild an.

2. Entwerfen Sie ein Gatter in CMOS-Technologie, welches die vierstellige Boolesche Funktion

$$\text{NAND}_4(d, c, b, a) = \begin{cases} 0 & \text{für } a = b = c = d = 1 \\ 1 & \text{sonst} \end{cases}$$

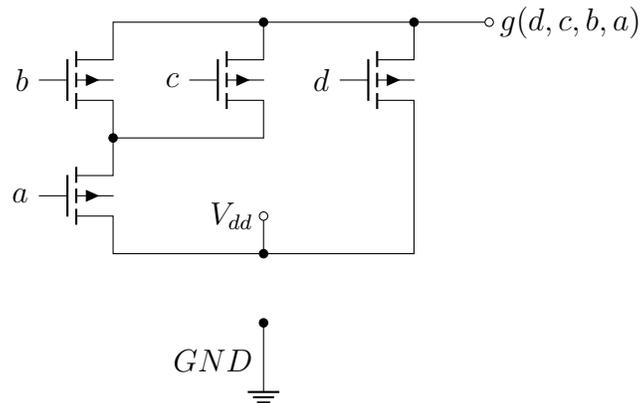
3 P.

realisiert. Zeichnen Sie die Transistorschaltung.

Aufgabe 2

(4 Punkte)

In der folgenden Darstellung eines CMOS-Schaltplans zur Realisierung der vollständigen Schaltfunktion $g(d, c, b, a)$ fehlt das n-Netz:



Können Sie das n-Netz wieder ergänzen?

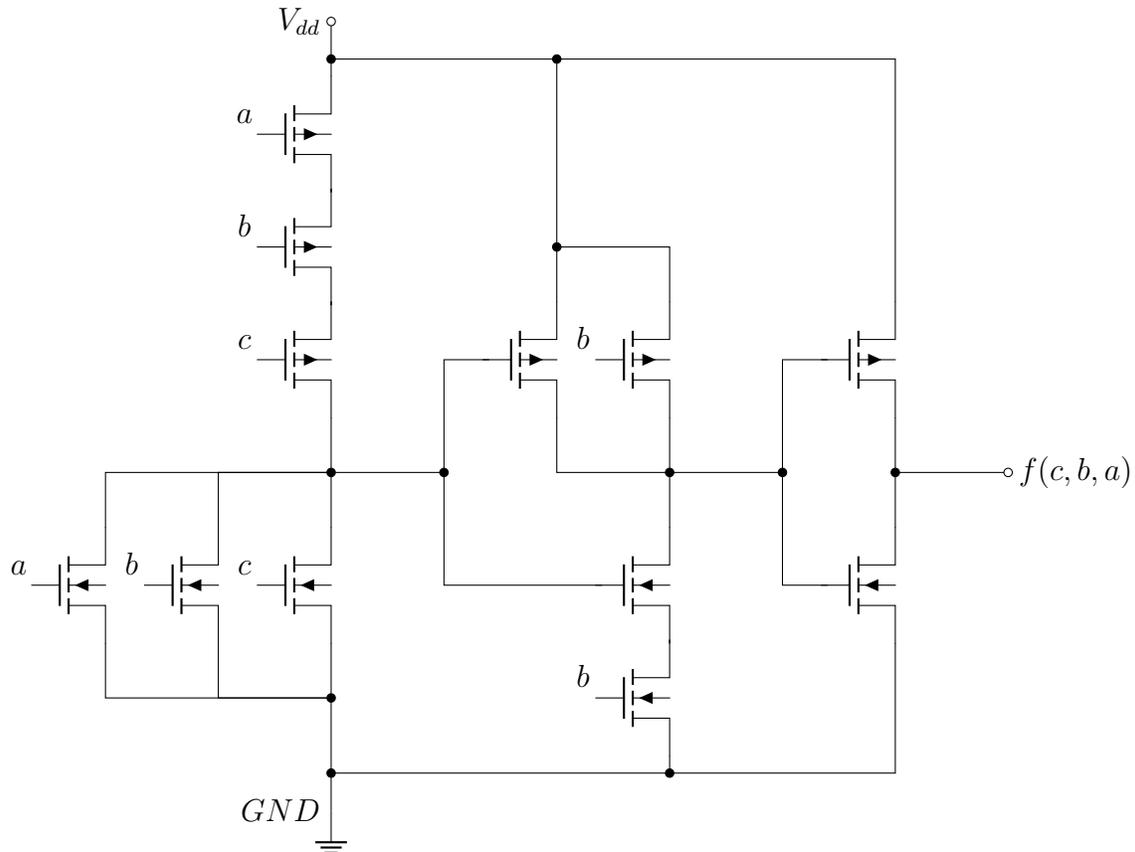
Falls ja, zeichnen Sie das n-Netz in den Schaltplan ein und geben Sie g in schaltalgebraischer Form an.

Falls nein, begründen Sie, warum das n-Netz nicht bestimmt werden kann und geben Sie an, welche zusätzliche(n) Information(en) Sie benötigen würden.

Aufgabe 3

(4 Punkte)

Gegeben sei die folgende CMOS-Schaltung:



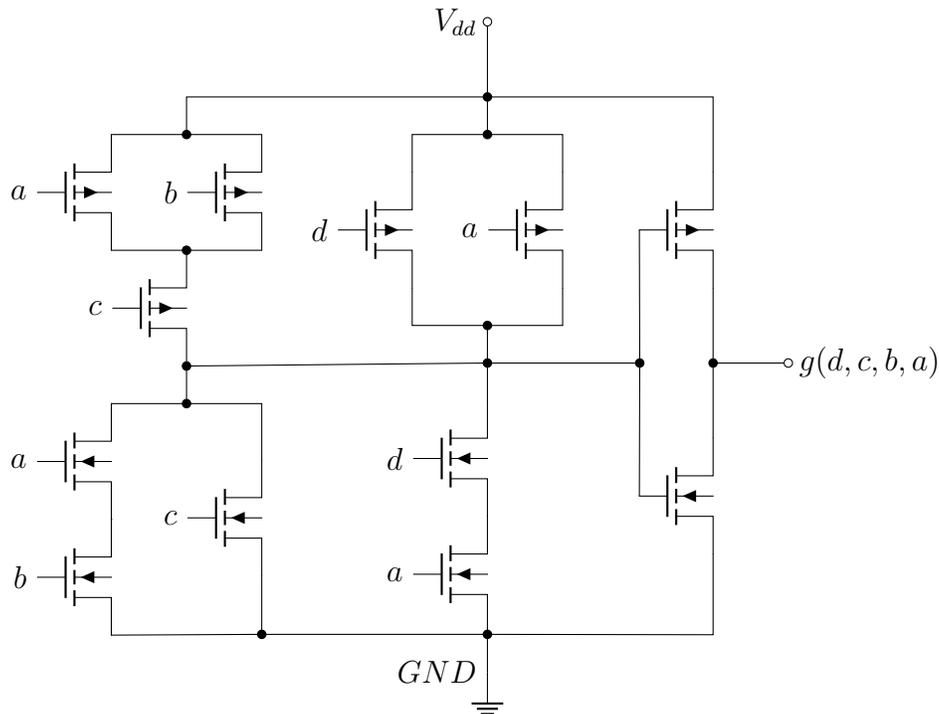
Welche Schaltfunktion wird durch die dargestellte Schaltung realisiert?
Geben Sie diese Funktion in schaltalgebraischer Form an.

Tipp: Identifizieren Sie Ihnen bekannte schaltalgebraische Operatoren.

Aufgabe 4

(10 Punkte)

Abbildung 1 zeigt ein klassisches Schaltnetz in CMOS. Beim Entwurf des Schaltnetzes ist jedoch ein Fehler aufgetreten.

Abbildung 1: CMOS-Schaltbild von $g(d, c, b, a)$

1. Erklären Sie, welches Problem aufgetreten ist und bei welchen Belegungen. 2 P.
2. In der Vorlesung haben Sie gelernt, wie PMOS und NMOS zusammenhängen. Welches Prinzip wurde hier verletzt?
Hinweis: Betrachten Sie den NMOS und PMOS Teil des Schaubildes. 1 P.
3. Geben Sie nun das vollständige fehlerfreie CMOS-Schaltbild an.
Hinweis: Gehen Sie davon aus, dass der NMOS-Teil fehlerfrei ist. 4 P.
4. Geben Sie die Schaltfunktion $g(d, c, b, a)$ der fehlerfreien Schaltung an. 2 P.