

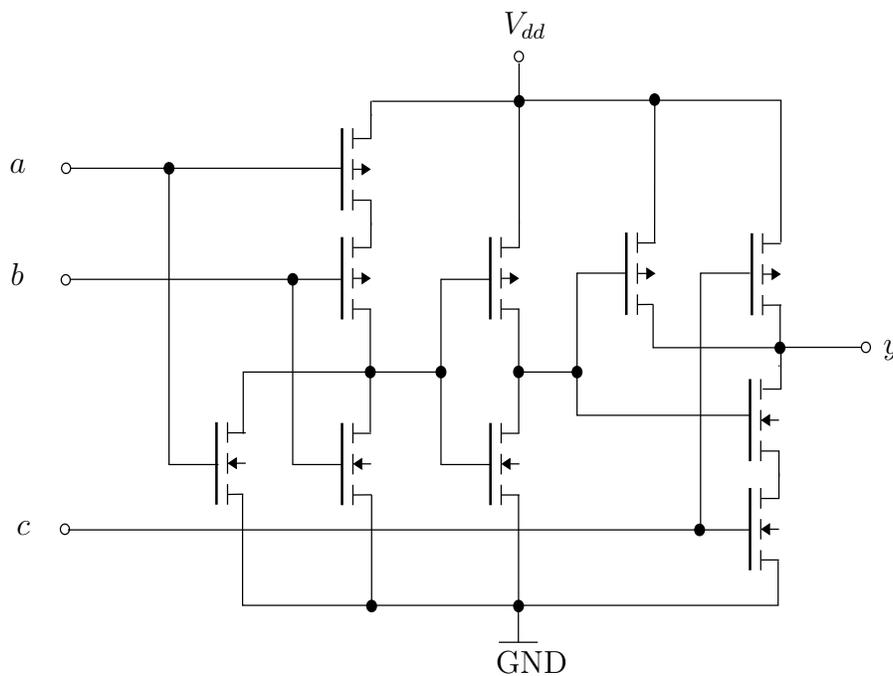
Lösung 1

(6 Punkte)

1. CMOS-Transistor-Schaltbild von  $f(c, b, a)$ :

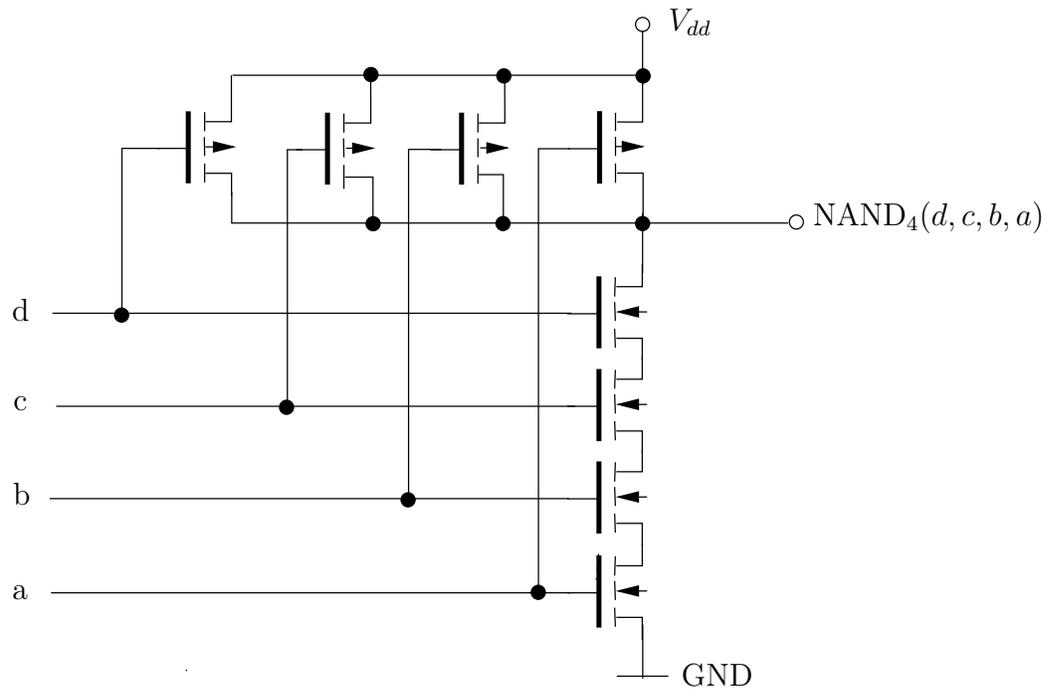
3 P.

$$f(c, b, a) = \overline{c(b \vee a)} = c \bar{\Lambda} (b \vee a) = c \bar{\Lambda} (\overline{b \bar{\vee} a})$$



2. CMOS-Transistor-Schaltbild von  $\text{NAND}_4(d, c, b, a)$ :

3 P.



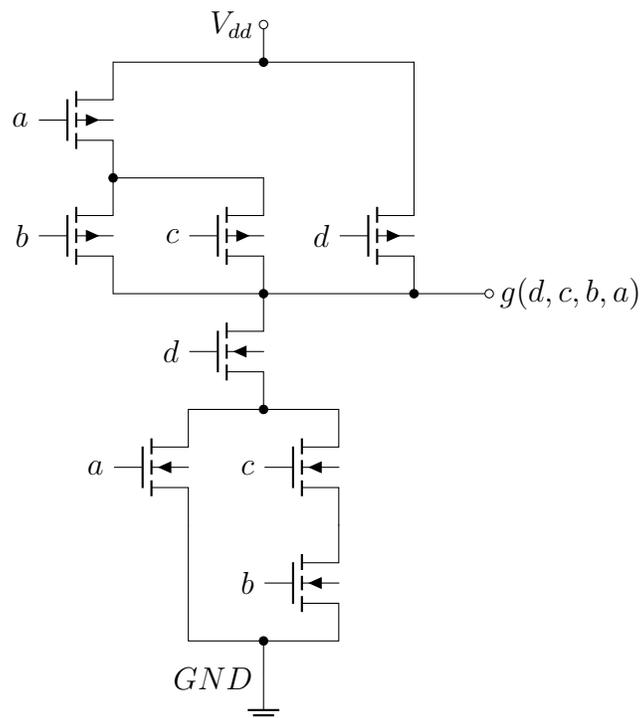
Lösung 2

(4 Punkte)

Ja, das n-Netz kann bestimmt werden.

Es gilt: Das n-Netz muss leiten, gdw. das p-Netz sperrt, da die beiden Netze komplementär zueinander sein müssen. Somit entspricht eine Reihenschaltung in einem Netz einer Parallelschaltung im jeweils anderen Netz und umgekehrt.

CMOS-Schaltnetz:



g kann vom p- oder n-Netz direkt abgelesen werden:

$$g = \bar{d} \vee (\bar{a} \wedge (\bar{c} \vee \bar{b}))$$

$$\text{bzw. } g = \overline{d \wedge (a \vee (c \wedge b))}$$

Lösung 3

(4 Punkte)

In der Schaltung sind zu erkennen:

1.  $NOR_3$ -Gatter links, Eingänge:  $a$ ,  $b$  und  $c$
2.  $NAND_2$ -Gatter in der Mitte, Eingänge:  $NOR_3$ -Ausgang und  $b$
3. Inverter rechts, Eingang:  $NAND_2$ -Ausgang

Es ergibt sich also:

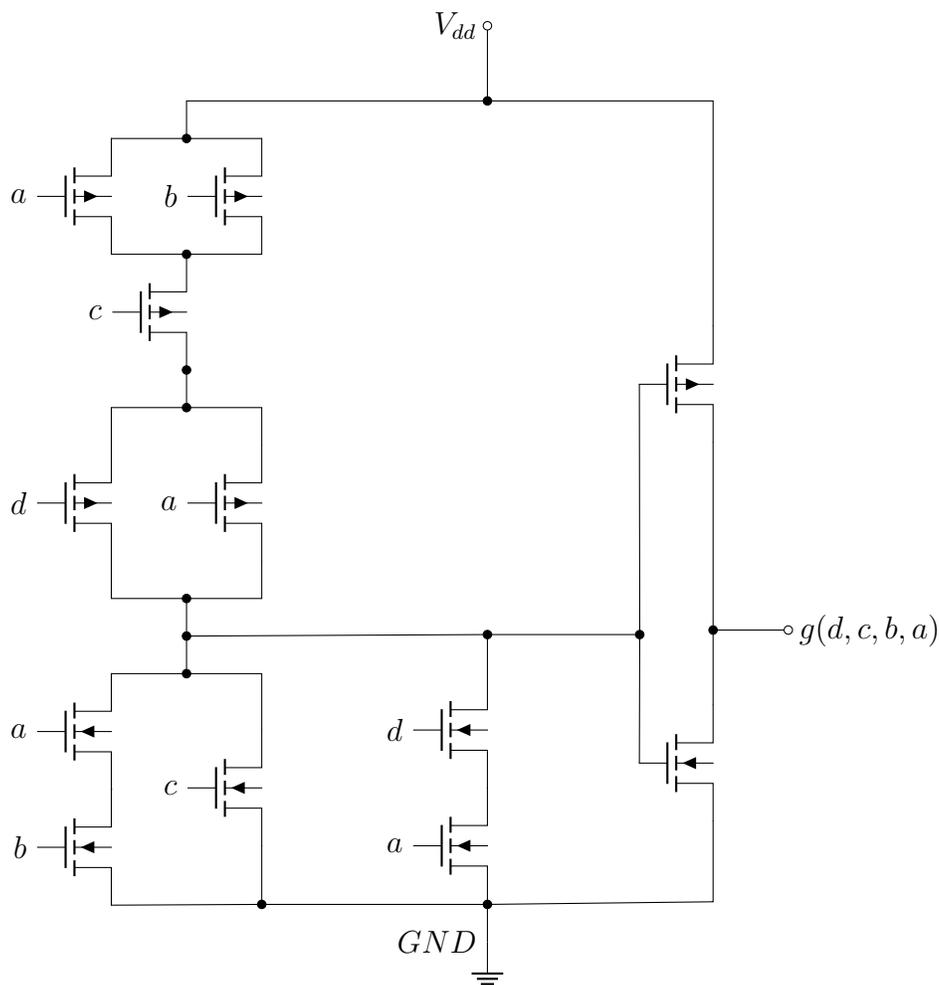
$$\begin{aligned} f(c, b, a) &= \overline{NOR_3(a, b, c)} \bar{b} \\ &= NOR_3(a, b, c) \wedge b \\ &= \bar{a} \wedge \bar{b} \wedge \bar{c} \wedge b \\ &= 0 \end{aligned}$$

Alternativ kann man die Funktionstabelle bestimmen und dort ablesen, dass es sich um die Nullfunktion handelt.

## Lösung 4

(10 Punkte)

1. Das gegebene Schaubild ist kein gültiges CMOS. Es kommt zu einem Kurzschluss zwischen  $V_{dd}$  und GND, gdw.  $d = 0$ ,  $c = 1$  oder  $a = 0$ ,  $c = 1$  gilt. 3 P.
2. Es gilt: Das n-Netz muss leiten, gdw. das p-Netz sperrt, da die beiden Netze komplementär zueinander sein müssen. Somit entspricht eine Reihenschaltung in einem Netz einer Parallelschaltung im jeweils anderen Netz und umgekehrt. 1 P.
3. Das vollständige fehlerfreie CMOS-Schaltbild ist in Abbildung 1 dargestellt. 4 P.
4.  $g(d, c, b, a) = (a \wedge d) \vee (a \wedge b) \vee c$  2 P.

Abbildung 1: CMOS-Schaltbild von  $g(d, c, b, a)$