

Digitaltechnik und Entwurfsverfahren im SS 2024

8. Übungsblatt

Abgabetermin: 01. Juli, 13:15 Uhr

Prof. Dr.-Ing. Uwe D. Hanebeck
Geb. 50.20, Rm. 140

Roman Lehmann, M. Sc.
Geb. 07.21, Rm. B2-314.1

Email: roman.lehmann@kit.edu

Aufgabe 1

(7 Punkte)

Es soll ein Schaltnetz realisiert werden, dessen Ausgang immer dann eine 1 ausgibt, wenn die Quersumme einer vierstelligen Dualzahl gleich zwei ist.

1. Stellen Sie die Funktionstabelle auf. 2 P.
2. Das Schaltnetz soll mit Hilfe eines 8:1-Multiplexers und eines Inverters realisiert werden. Stellen Sie zur Ermittlung der Belegungen der Multiplexereingänge die Implementierungstabelle auf. 2 P.
3. Zeichnen Sie das entworfene Schaltnetz. 1 P.
4. Realisieren Sie die gleiche Schaltfunktion mit einem Inverter-Gatter sowie 4:1- und 2:1-Multiplexern. 2 P.

Aufgabe 2

(4 Punkte)

Entwerfen Sie ein Schaltnetz zur Ermittlung der Teilbarkeit einer 3-Bit-Zahl größer Null.

Eingabe seien die drei Ziffern c , b und a der 3-Bit-Zahl. Die Ausgabewerte des Schaltnetzes heißen t_2 , t_3 , t_5 und t_7 . Der Ausgang t_n soll genau dann 1 sein, wenn cba_2 durch n teilbar ist.

Das Verhalten des Schaltnetzes bei der Eingabe $c = b = a = 0$ ist beliebig.

1. Geben Sie die Funktionstabelle an. 1 P.
2. Geben Sie das Schaltbild an. Zur Verwendung stehen ein 1:8-Demultiplexer sowie insgesamt drei AND-, OR- und NOT-Gatter. 3 P.

Aufgabe 3

(10 Punkte)

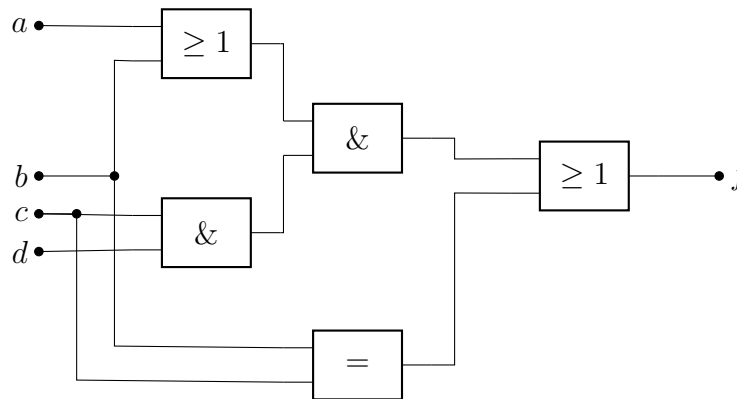


Abbildung 1: Schaltnetz

1. Bei dem Schaltnetz aus Abbildung 1 dauert ein Durchlauf durch das Schaltnetz mit den Belegungen i), ii), iii) unterschiedlich lange. 4 P.

- i.) $d = 1, c = 0, b = 0, a = 1 : 20ns$
- ii.) $d = 0, c = 0, b = 1, a = 1 : 22ns$
- iii.) $d = 1, c = 1, b = 0, a = 1 : 26ns$

Nennen Sie zwei mögliche Kombinationen von ganzzahligen Totzeiten für jedes Gatter, mit denen diese Zeiten entstehen können. Bedenken Sie, dass Totzeiten nicht negativ sein können. Sie können ebenfalls davon ausgehen, dass ein ODER-Gatter bereits schaltet, sobald an einem Eingang eine Eins anliegt. Ebenso schaltet ein UND-Gatter, sobald ein Eingang mit einer Null belegt ist.

2. Gehen Sie jetzt davon aus, dass das UND-Gatter eine Verzögerungszeit von $8ns$, das ODER-Gatter eine Verzögerungszeit von $10ns$ und das Äquivalenz-Gatter eine Verzögerungszeit von $13ns$ aufweist. Wenden Sie das Totzeitmodell auf das Schaltnetz aus Abbildung 1 an und trennen Sie das Gatterschaltnetz in einen reinen Verzögerungs- und einen reinen Verknüpfungsteil. 4 P.
3. Geben Sie den durch Anwendung des Totzeitmodells entstehenden Strukturausdruck für f an. 2 P.

Aufgabe 4

(4 Punkte)

Füllen Sie folgende Tabelle aus. Richtige Antworten werden mit 0.5 Punkten bewertet, falsche mit −0.5 Punkten. Nicht ausgefüllte Felder geben weder Punkte noch Minuspunkte.

	wahr	falsch
Einen Multiplexer mit drei Steuereingängen bezeichnet man als 8:1-Multiplexer.		
Bei einem FPLA-Baustein kann die ODER-Matrix durch den Benutzer personalisiert werden, die verwendeten Implikanten (UND-Matrix) sind aber bereits vorgegeben.		
Die Ansteuerung von Speicherbausteinen mit Matrixorganisation erfolgt über je einen Dekoder zur Auswahl von Zeile und Spalte.		
Wenn eine Schaltfunktion mit einem Speicherbaustein (ROM) realisiert wird, verringern „Don't Care“-Stellen der Funktion den notwendigen Speicherbedarf.		
Sollen mehrere Schaltfunktionen mit einem PLA-Baustein realisiert werden, müssen für eine korrekte Funktionsweise die Implikanten mit einer so genannten <i>Bündelminimierung</i> bestimmt werden.		
Welchen Zustand eine statische RAM-Zelle nach dem Anlegen der Versorgungsspannung einnimmt, hängt von geringfügigen Unterschieden zwischen den beteiligten MOSFETs ab und ist somit undefiniert.		
Zur Realisierung einer Schaltfunktion auf Basis der Implementierungstabelle werden zwingend 2:1-Multiplexer benötigt.		
Der Vorteil eines PLA-Bausteins gegenüber einem Speicherbaustein zur Realisierung einer Schaltfunktion ist, dass die Minimalform einer Funktion verwendet werden kann und so Platz gespart wird.		