

Digitaltechnik und Entwurfsverfahren im Sommersemester 2024

Aufgaben zu den Tutorien in der Woche
vom 27. bis 31. Mai 2024

Prof. Dr.-Ing. Uwe D. Hanebeck
Geb. 50.20, Rm. 140

Roman Lehmann, M. Sc.
Geb. 07.21, Rm. B2-314.1

Email: roman.lehmann@kit.edu

Lernziele:

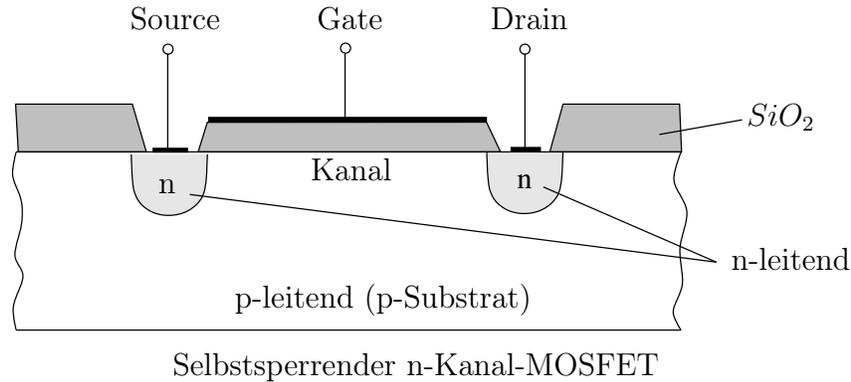
- Wiederholung: NAND_k -/ NOR_k -Funktionen (Unterschied zu $\bar{\wedge}$ und $\bar{\vee}$!) und Umwandlung von Funktionen in NAND_k -/ NOR_k -Form
- p- und n- dotierter Halbleiter
- Funktionsweise eines Feldeffekttransistors (MOSFET)
- Man unterscheidet nMOS- (negative Ladungsträger: Elektronen) und pMOS-Transistoren (positive Ladungsträger: Löcher bzw. Defektelektronen):
nMOS-Transistoren leiten bei einem Hi-Pegel am Gate; pMOS-Transistoren leiten bei einem Lo-Pegel am Gate.

Aufgabe 1

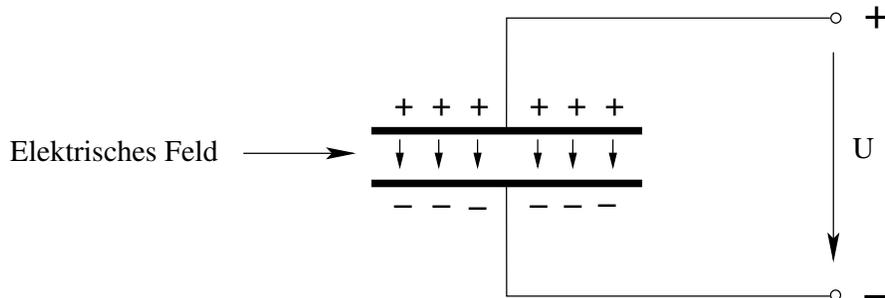
1. Skizzieren Sie den prinzipiellen Aufbau eines selbstsperrenden n-Kanal-MOS-Feldeffekttransistors (MOSFET). Aus der Zeichnung sollen die Bereiche unterschiedlicher Leitfähigkeit und die Transistoranschlüsse klar erkennbar sein.
2. Die Drain-Source-Spannung U_{DS} sei positiv. Erläutern Sie die Wirkungsweise eines solchen Transistors, wenn die Gate-Source-Spannung positiv ist ($U_{GS} > 0$). Warum wird der MOSFET als „selbstsperrend“ bezeichnet?
3. Warum werden Schaltkreise in der Regel aus selbstsperrenden MOSFETs aufgebaut?
4. MOSFETs werden auch *Unipolartransistoren* genannt. Begründen Sie diese Namensgebung.
5. Nehmen Sie jeweils Stellung zu den beiden folgenden Aussagen. Falls eine der Aussagen falsch sein sollte, begründen Sie warum.
 - Der Gate-Eingang eines MOSFETs ist sehr hochohmig, weswegen dort (quasi) kein Strom fließen kann.
 - Bei der p-Dotierung werden Elemente mit mehr als vier Valenzelektronen in den Halbleiter eingebracht, zum Beispiel Phosphor.

Lösung 1

1. Prinzipieller Aufbau eines n-Kanal-MOSFETs: Der prinzipielle Aufbau der MOSFETs basiert darauf, dass man auf einer dünnen Scheibe aus einkristallinem Silizium (dem sog. „Wafer“) bestimmte Änderungen der elektrischen Leitfähigkeit vornimmt.



Die Steuerung erfolgt über die Induzierung von Ladungsträgern im Kanal zwischen Source (S) und Drain (D). Dazu nutzt man das Kondensatorverhalten des Gates (G):



- $U_{GS} = +U$ V: Auf der Gate-Elektrode befinden sich dann positive Ladungsträger, die unter der Isolationsschicht negative Ladungsträger induzieren (siehe Abb.). Der Kanal wird mit *negativen* Ladungsträgern angereichert und wird dabei *leitend*. Man spricht in diesem Fall von einem „*n-Kanal*“, da die beweglichen Ladungsträger im Kanal die Elektronen sind.
- $U_{GS} = 0$ V: Der Kanal sperrt (sog. „selbstsperrend“).

Dabei ist I_D der Strom, der durch den Kanal fließt (Drainstrom), und U_{DS} ist die Spannung, die zwischen Source und Drain anliegt.

2. Bei einer positiven Steuerspannung U_{GS} befinden sich auf der Gate-Elektrode positive Ladungsträger, die unter der Isolationsschicht negative Ladungsträger induzieren. Der Kanal wird mit *negativen* Ladungsträgern angereichert und wird dabei *leitend*.

Der Transistor wird als „selbstsperrend“ bezeichnet, da er bei ($U_{GS} = 0$ V) Steuerspannung keinen leitenden Kanal besitzt (wohingegen ein selbstleitender Transistor eine negative Steuerspannung benötigt, um den Kanal zu sperren).

3. Schaltkreise werden in der Regel aus selbstsperrenden MOSFETs aufgebaut, da man dann keine Steuerspannungen beider Polaritäten benötigt.

Bei selbstleitenden Transistoren fließt bereits bei $U_{GS} = 0$ V Steuerspannung ein Strom zwischen Source und Drain. Um ihn auszuschalten, muss eine negative Spannung an das Gate gelegt werden. (Diese braucht man bei selbstsperrenden MOSFETs nicht.)

4. MOSFETs werden auch *Unipolartransistoren* genannt, weil im wesentlichen nur eine Sorte von Ladungsträgern zum Stromfluß beiträgt. (Elektronen bei n-Kanal- bzw. Löcher bei p-Kanal-MOSFETs).
5. i.) Die Aussage ist korrekt.
Die am Gate anliegende Spannung beeinflusst zwar durch ein elektromagnetisches Feld den darunter liegenden Kanal (*Feldeffekttransistor*), aber idealisiert fließt dort keinerlei Strom.
- ii.) Die Aussage ist falsch.
Wenn eine Dotierung mit einem Element mit mehr als vier Valenzelektronen (wie z.B. Phosphor) erfolgt, nennt man das n-Dotierung (weil das zusätzliche Elektron eine frei bewegliche **negative** Ladung darstellt).

Aufgabe 2

Gegeben sei das in Abbildung 1 dargestellte Schaltnetz aus nMOS- und pMOS Transistoren. Eine zweistellige Schaltfunktion $y = f(b, a)$ wird durch dieses Schaltnetz in *positiver Logik* realisiert, d.h. der Spannungspegel V_{dd} wird als der Wert 1 und der Spannungspegel GND als der Wert 0 definiert.

1. Stellen Sie die Funktionstabelle auf. Welche Schaltfunktion wird durch $y = f(b, a)$ realisiert? Wie lautet die disjunktive Minimalform (DMF) der Funktion y ?
2. Die Schaltfunktion $z = g(b, a) = b \rightarrow a$ soll durch ein CMOS-Schaltnetz realisiert werden. Nehmen Sie an, dass nur CMOS-Inverter und CMOS-Gatter mit zwei Eingängen für die Schaltfunktion NOR zur Verfügung stehen. Die Eingangsvariablen stehen lediglich bejaht zur Verfügung. Zeichnen Sie das Transistorschaltbild des resultierenden Schaltnetzes in der CMOS-Technologie.
3. Warum sind NAND-Schaltungen NOR-Schaltungen als Basiselemente in der CMOS-Technologie vorzuziehen?

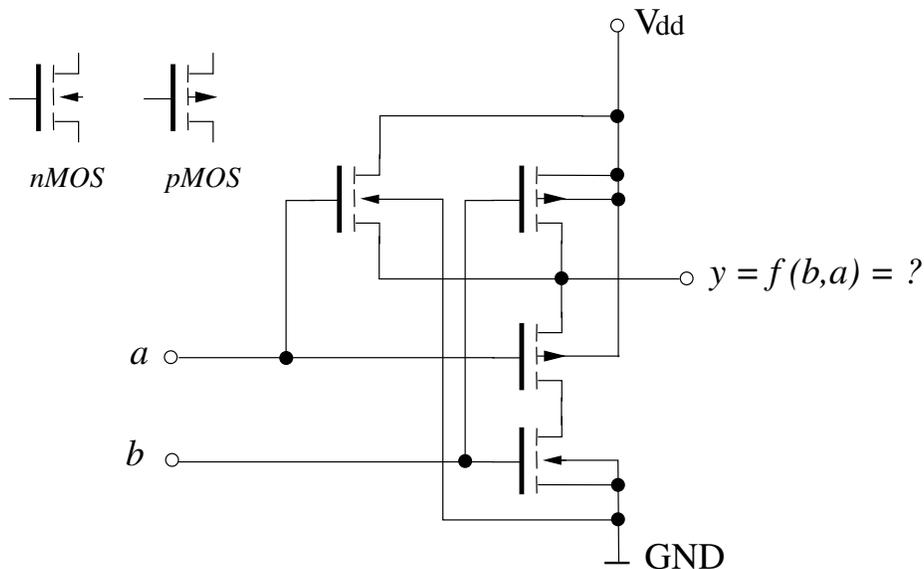


Abbildung 1: Schaltnetz

Lösung 2

1. Funktionstabelle:

b	a	y
0	0	1
0	1	1
1	0	0
1	1	1

$$\text{Schaltfunktion } y = f(b, a) = \bar{b} \vee a$$

$$\text{DMF: } y_{DMF} = y = \bar{b} \vee a$$

2. CMOS-Schaltbild für z:

$$z = b \rightarrow a = \bar{b} \vee a = \overline{\overline{\bar{b} \vee a}} = \overline{\bar{b} \bar{a}}$$

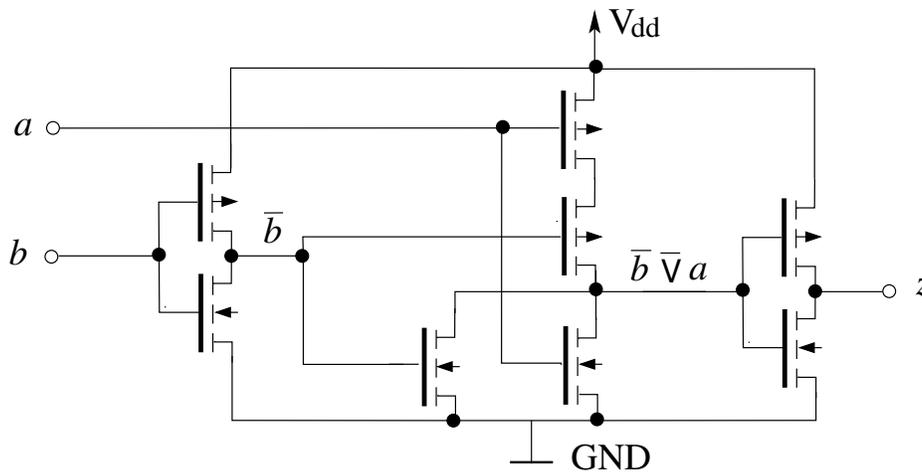


Abbildung 2: Schaltnetz

Die Substratanschlüsse müssen bei p-MOS-Transistoren mit der positiven Versorgungsspannung V_{dd} und bei n-MOS-Transistoren mit der Masse (GND) verbunden werden.

3. Der Widerstand eines pMOS-Transistors ist größer als der Widerstand eines nMOS-Transistors gleicher Größe. Deshalb sind Serienschaltungen von nMOS-Transistoren (in NAND-Schaltungen) günstiger als Serienschaltungen von pMOS-Transistoren (in NOR-Schaltungen). Der Widerstand des n-Netzes in NAND-Schaltungen ist genügend klein, so dass keine großen Verzögerungszeiten bei Schaltvorgängen auftreten.