

Digitaltechnik und Entwurfsverfahren im Sommersemester 2024

Aufgaben zu den Tutorien in der Woche
vom 03. bis 07. Juni 2024

Prof. Dr.-Ing. Uwe D. Hanebeck
Geb. 50.20, Rm. 140

Roman Lehmann, M. Sc.
Geb. 07.21, Rm. B2-314.1

Email: roman.lehmann@kit.edu

Lernziele:

- Vor- und Nachteile von CMOS:
 - + Platzsparender Aufbau und damit eine hohe Integrationsdichte möglich
 - + Kaum Stromfluss im Ruhezustand (immer sperrt ein Transistor)
⇒ kleine Verlustleistung
 - + große Störsicherheit
 - + große Toleranzen der Versorgungsspannungen sind möglich
 - Beim Umschalten tritt kurzzeitig ein Zustand auf, in dem beide MOSFETs leiten.
Dann fließt kurzzeitig ein relativ hoher Strom. (Daraus folgt, dass die Verlustleistung von der Taktfrequenz abhängig ist!!)
 - Herstellung ist aufwendiger als bei Schaltungen mit nur einer Sorte von Transistoren.
- Realisierung von Schaltfunktionen in CMOS
- Analyse von CMOS-Schaltungen
- Wiederholung des Stoffes:
 - Wozu Zahlen? Welche Darstellungsformen gibt es?
 - Boolesche Funktionen und Boolesche Algebra
 - Darstellungsformen einer Funktion. Normalformen, Minimalformen.
 - Von der Funktion zum Schaltbild
 - CMOS-Transistoren-Schaltbild

Aufgabe 1

1. Realisieren Sie die folgende Schaltfunktion y als CMOS-Schaltnetz

$$y = ab \vee cd \vee efg$$

2. Welche Schaltfunktion wird durch das CMOS-Schaltnetz realisiert, dessen n-MOS-Netz in Bild 1 dargestellt ist?

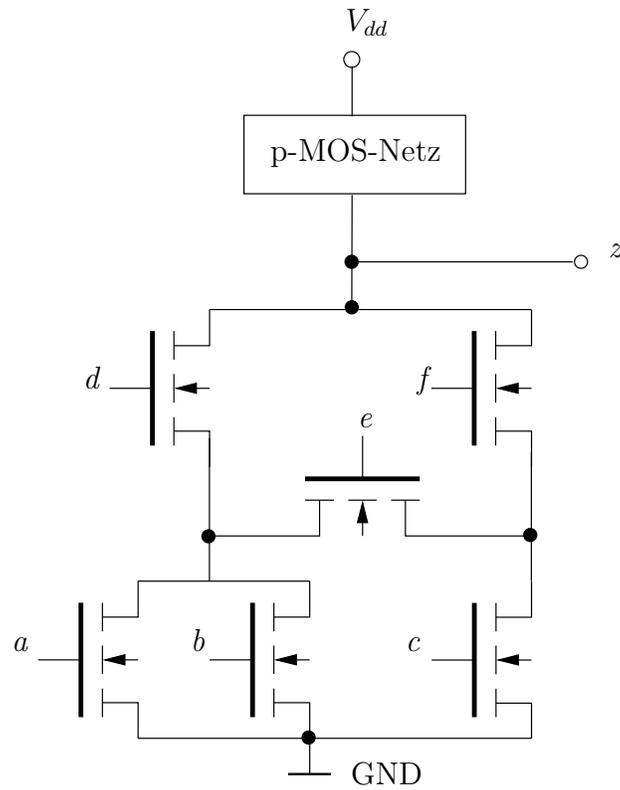


Abbildung 1: Schaltnetz

Lösung 1

1. CMOS-Schaltnetz:

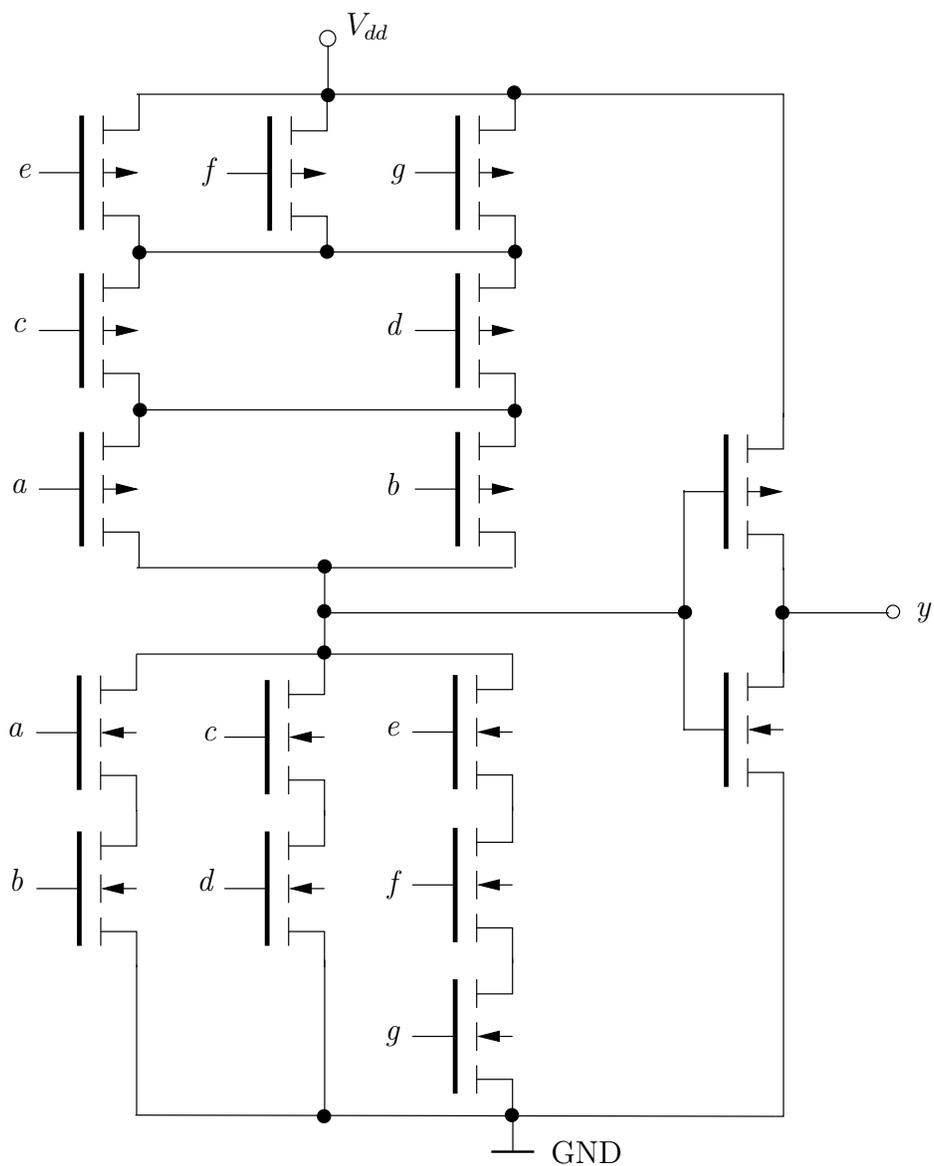


Abbildung 2: Schaltnetz

2. Schaltfunktion: $z = \overline{ad \vee bd \vee aef \vee bef \vee ced \vee cf}$

Aufgabe 2

1. Gegeben sei die Schaltfunktion $g(c, b, a)$:

$$g(c, b, a) = ((\bar{c} \vee \bar{b}) \wedge (\bar{b} \vee \bar{a})) \vee (c \wedge \bar{a})$$

Realisieren Sie die Schaltfunktion $g(c, b, a)$ durch ausschließliche Verwendung von NAND-Gattern mit zwei Eingängen. Die Eingangsvariablen c, b und a liegen *nur* nicht-negiert vor. Wandeln Sie die Schaltfunktion zuerst entsprechend um. Zeichnen Sie das resultierende Schaltbild.

2. Gegeben sei die folgende Schaltfunktion $h(c, b, a)$:

$$h(c, b, a) = \text{NAND}_3(\text{NAND}_2(a, b), \text{NAND}_2(a, c), \text{NAND}_2(b, c))$$

Zeichnen Sie die CMOS-Transistorschaltung zu $h(c, b, a)$.

3. Warum ist die in Abbildung 3 dargestellte CMOS-Transistorschaltung für die Realisierung eines Gatters nicht geeignet? Die Negation der Eingangsvariablen a und b können als gegeben angenommen werden.

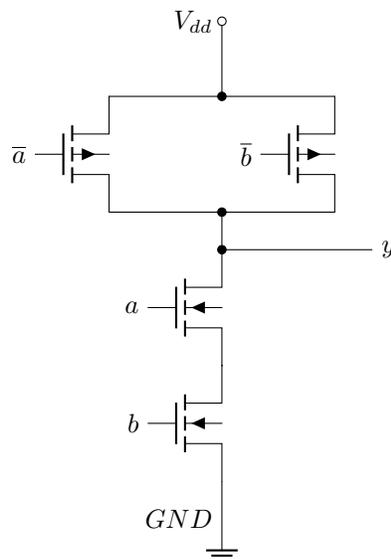


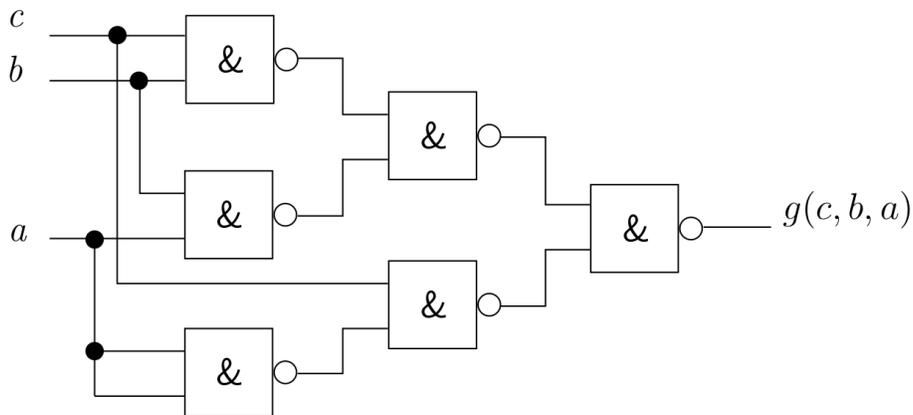
Abbildung 3: CMOS-Transistorschaltung

Lösung 2

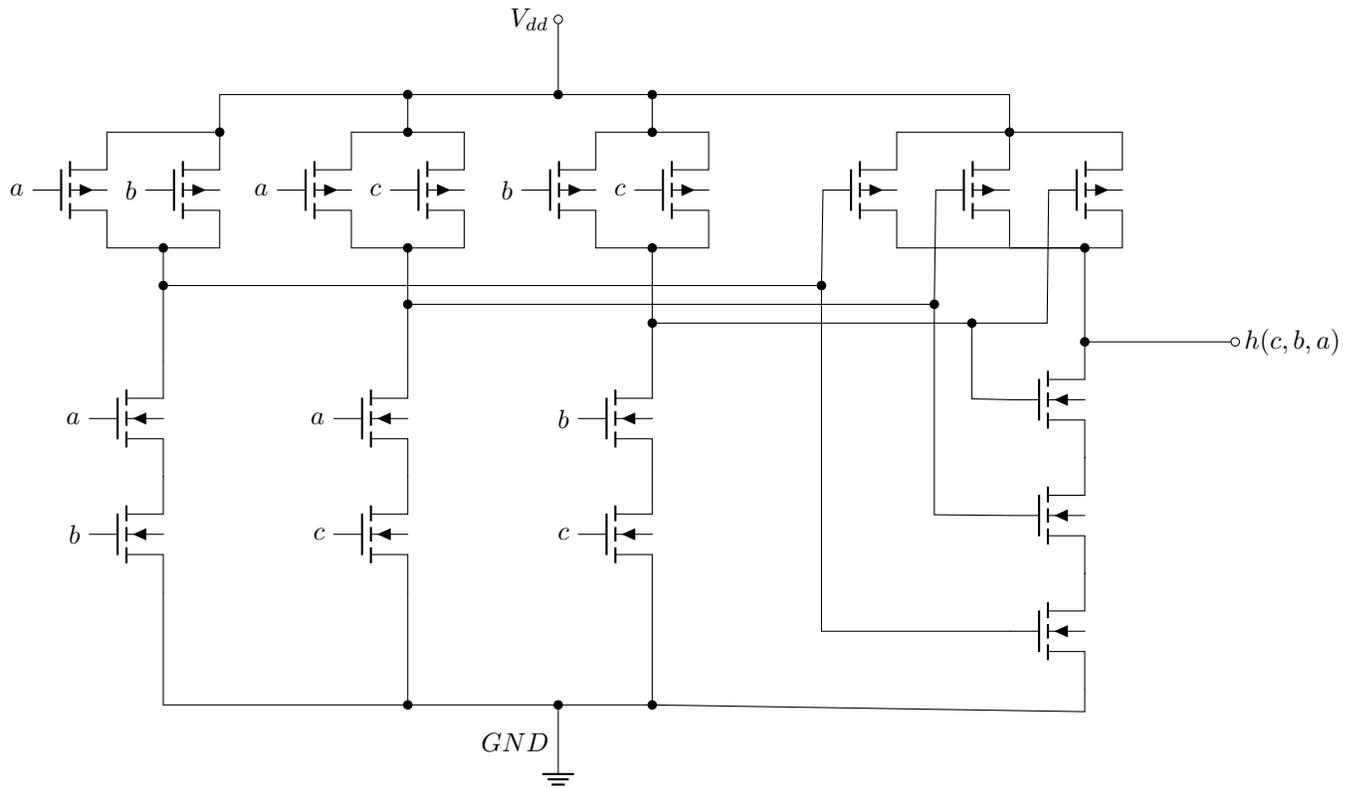
1. Realisierung von $g(c, b, a)$ mit NAND-Gattern:

$$\begin{aligned}
 g(c, b, a) &= ((\bar{c} \vee \bar{b}) \wedge (\bar{b} \vee \bar{a})) \vee (c \wedge \bar{a}) \\
 &= \overline{\overline{((\bar{c} \vee \bar{b}) \wedge (\bar{b} \vee \bar{a})) \vee (c \wedge \bar{a})}} \\
 &= \overline{((\bar{c} \vee \bar{b}) \wedge (\bar{b} \vee \bar{a})) \wedge (c \wedge \bar{a})} \\
 &= ((\bar{c} \vee \bar{b}) \bar{\wedge} (\bar{b} \vee \bar{a})) \bar{\wedge} (c \bar{\wedge} \bar{a}) \\
 &= ((c \bar{\wedge} b) \bar{\wedge} (b \bar{\wedge} a)) \bar{\wedge} (c \bar{\wedge} \bar{a}) \quad (\bar{a} = a \bar{\wedge} a) \\
 &= ((c \bar{\wedge} b) \bar{\wedge} (b \bar{\wedge} a)) \bar{\wedge} (c \bar{\wedge} (a \bar{\wedge} a))
 \end{aligned}$$

Schaltbild:



2. CMOS-Transistorschaltung von $h(c, b, a)$:



3. CMOS-Transistorschaltung ist nicht geeignet, weil die Belegung $b a = 11$ zu einem Kurzschluss führt.