

Rechnerorganisation

Prof. Dr. Wolfgang Karl

Vorlesung im Wintersemester 2025/2026 – Foliensatz: RO25-FS09

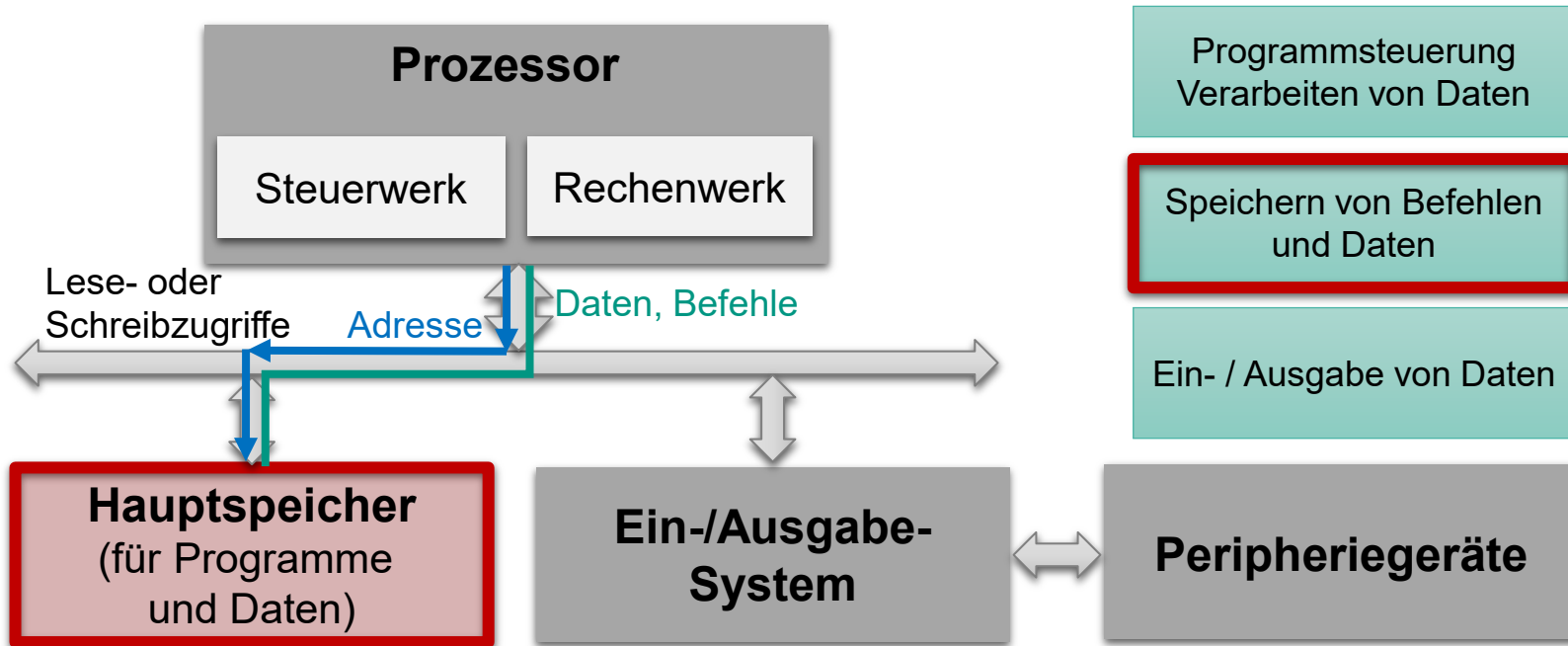


Kapitel 7

Halbleiterspeicher

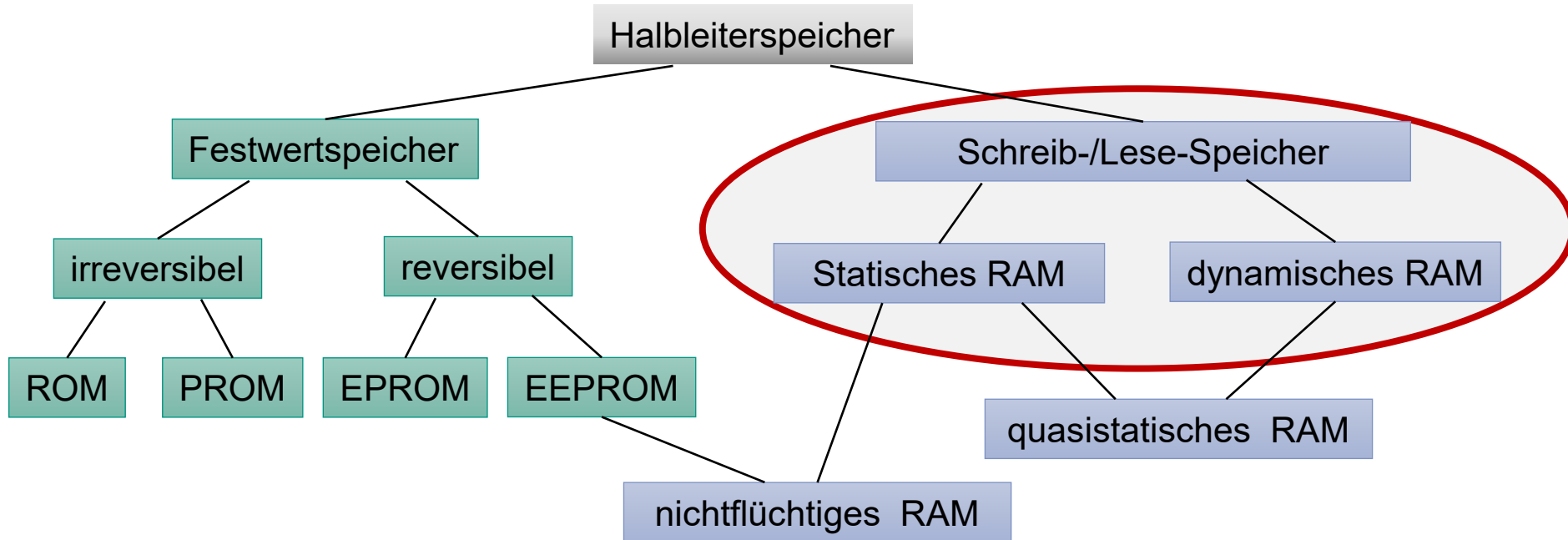
- **Einführung**
- Speichertechnologien
- Aufbau und Organisation
- SDRAM, DDR DRAM

Programmierbarer Universalrechner



Halbleiterspeicher

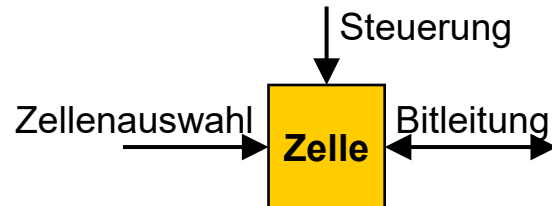
■ Speichertypen



Schreib-/ Lese-Speicher

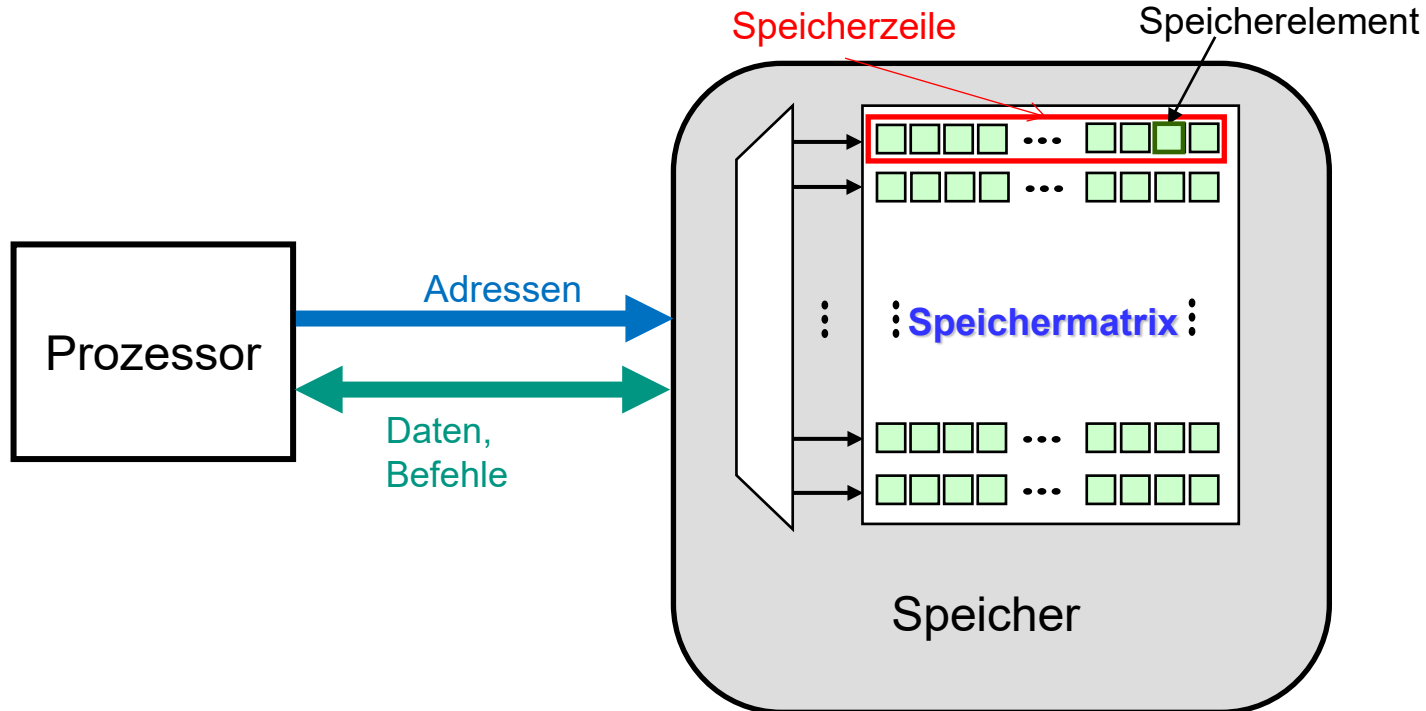
■ Speicherelement (Speicherzelle)

- kann zwei Zustände annehmen (0 oder 1) und speichert damit eine 1-Bit Information
- kann beschrieben werden, um in einen Zustand versetzt zu werden
- kann gelesen werden, um den Zustand abzugreifen
- **Elektrische Signale:**
 - **Zellenauswahl:** Auswahl der Speicherzelle
 - **Bitleitung:** liefert ein Signal zu Setzen des Zustands (Schreiboperation) oder liefert den Zustand der Zelle (Leseoperation)
 - **Steuerung:** Signal zum Anzeigen einer Lese- oder Schreiboperation



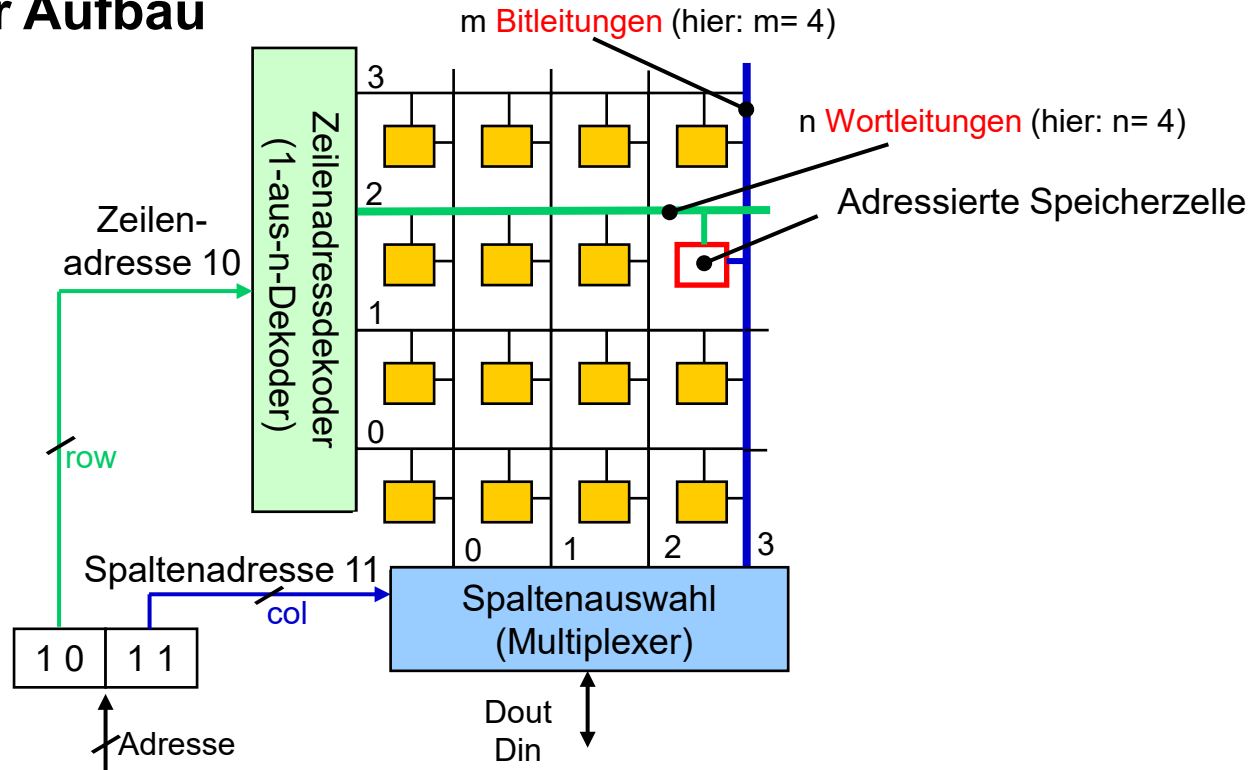
Schreib-/ Lese-Speicher

■ Prinzipieller Aufbau



Schreib-/ Lese-Speicher

Prinzipieller Aufbau



Schreib-/ Lese-Speicher

■ Prinzipieller Aufbau

■ Speichermatrix

- Anordnung der Speicherzellen in Form einer Matrix
- Anwahl eines Speicherelements durch Selektieren der ihm zugeordneten Zeile und Spalte

■ Speicherzeile

- Speicherelemente, die über eine Wortleitung angesprochen werden
- **Wahlfreier Zugriff (random access)**
 - jede Speicherzeile wird direkt angesprochen (ohne vorher andere Zeilen ansprechen zu müssen)
 - Die Selektion erfolgt über einen Adressdekoder (Zeilendekoder)
 - Die Adresse wird in einen 1-aus-n Code umgeformt

Schreib-/ Lese-Speicher

■ Prinzipieller Aufbau

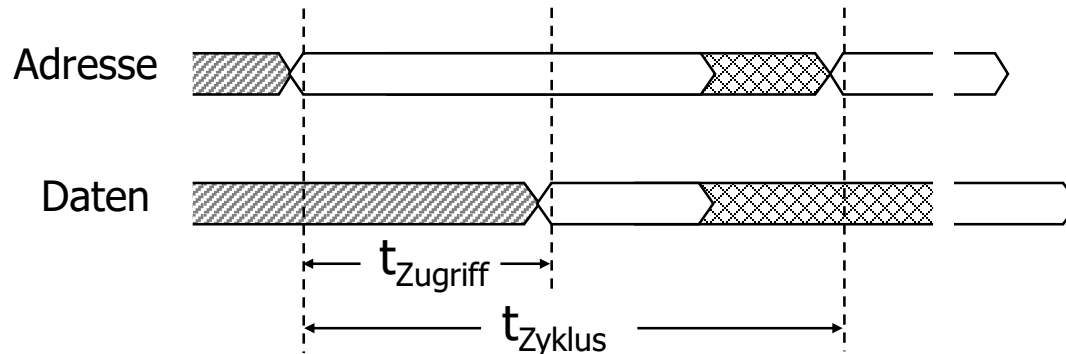
■ Arbeitsgeschwindigkeit eines Speicherbausteins:

■ Zugriffszeit (access time):

- maximale Zeitdauer, die vom Anlegen einer Adresse an den Speicher bis zur Ausgabe der gewünschten Daten vergeht;

■ Zykluszeit (cycle time):

- minimale Zeitdauer, die zwischen zwei hintereinander folgenden Aufschaltungen von Adressen an den Speicher vergehen muss;



Kapitel 7

Halbleiterspeicher

- Einführung
- **Speichertechnologien**
- Aufbau und Organisation
- SDRAM, DDR DRAM

Speichertechnologien

■ Speicherbausteine:

■ Statischer RAM-Baustein (SRAM)

- Schneller Zugriff aber hohe Kosten
- Begrenzte Speicherkapazitäten
- Typischerweise für Caches

■ Dynamischer RAM-Baustein (DRAM)

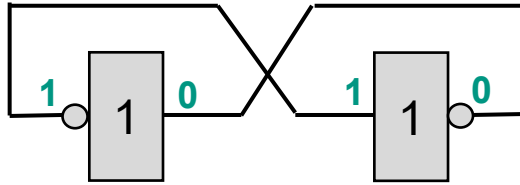
- Langsamer Zugriff, dafür kostengünstiger
- Etwa 4x so große Speicherkapazität wie SRAMs
- Hauptspeicher

Speichertechnologien

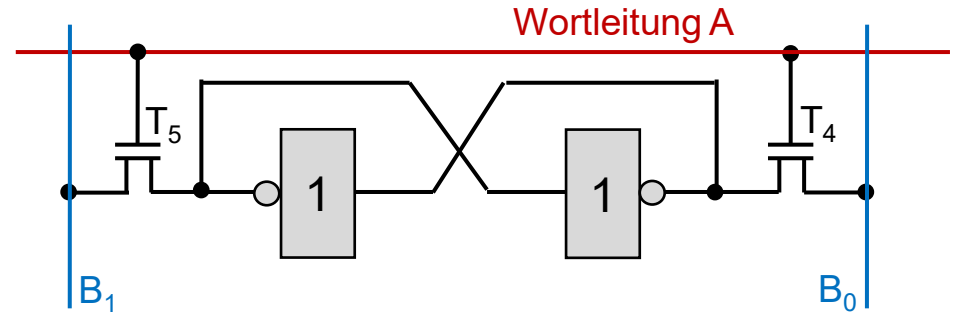
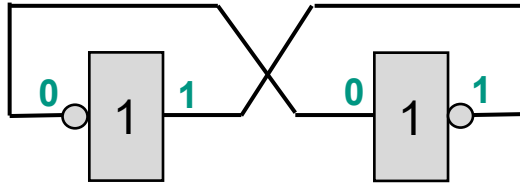
- **Statischer RAM-Baustein (SRAM): 1-Bit Speicherzelle**
 - Kreuzweise rückgekoppelte Inverter

Stabiler Zustand

1 gespeichert



0 gespeichert

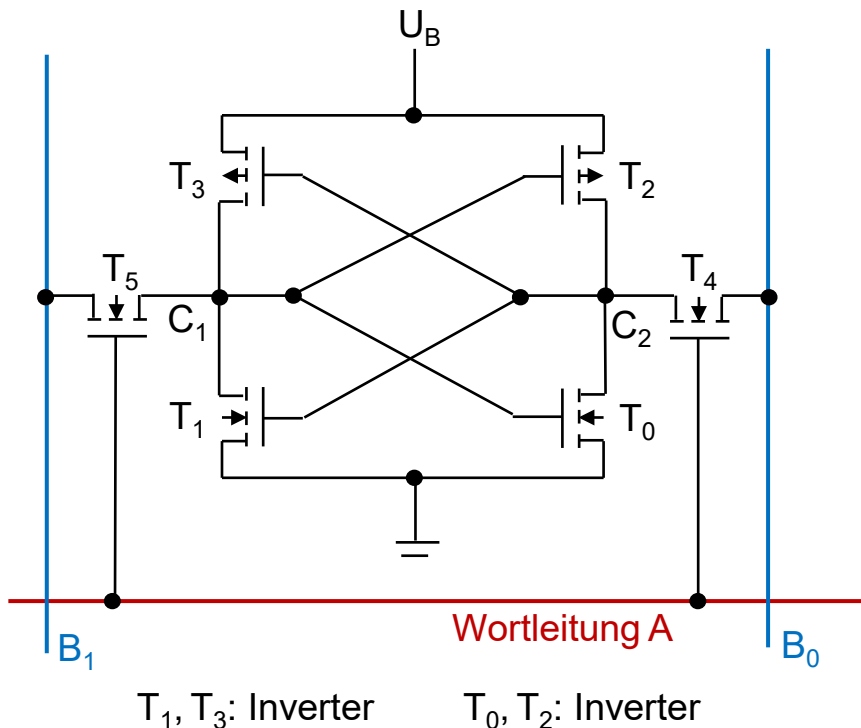


B_0, B_1 : Bitleitungen mit $B_0 = \overline{B_1}$

T_4, T_5 : Transistoren zur Ankopplung an Bitleitungen

Speichertechnologien

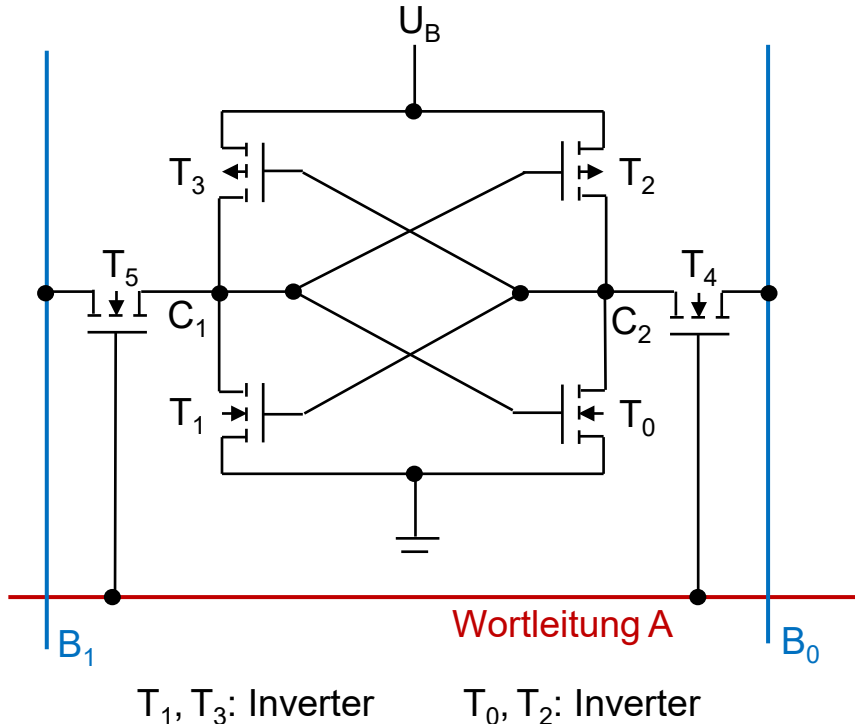
■ Statischer RAM-Baustein (SRAM): 1-Bit Speicherzelle



- **Logischer Zustand = 1**
 - Stelle $C_1 = \text{high}$, Stelle $C_2 = \text{low}$
 - T_1 und T_2 sind sperrend und T_0 und T_3 leitend
- **Logischer Zustand = 0**
 - Stelle $C_1 = \text{low}$, Stelle $C_2 = \text{high}$
 - T_1 und T_2 sind leitend und T_0 und T_3 sperrend
- Solange die Spannung U_B anliegt, sind die jeweiligen Zustände stabil

Speichertechnologien

■ Statischer RAM-Baustein (SRAM): 1-Bit Speicherzelle

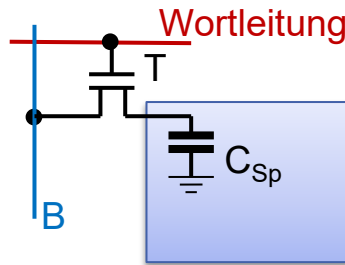


- **Auswahl der Zelle:**
 - Wortleitung A ist aktiv
 - die Transistoren T_4 und T_5 schalten und die Zelle kann gelesen oder geschrieben werden
- **Schreib-Operation:**
 - Bit-Wert liegt auf B_1 und der Komplementärwert liegt auf B_0
 - Transistoren T_0, T_1, T_2, T_3 schalten in Anhängigkeit des anliegenden Wertes
- **Lese-Operation**
 - Der gespeicherte Wert wird auf B_1 ausgegeben

Speichertechnologien

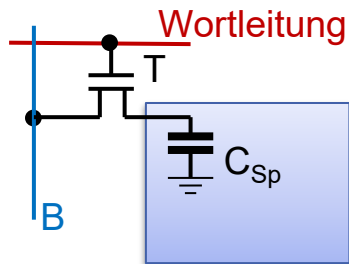
■ Dynamischer RAM-Baustein (DRAM): 1-Bit Speicherzelle

- Die Information wird in einem **Kondensator** gespeichert (eigentliche Speicherzelle)
 - Kapazität ca. 0,1 – 0,5 pF → speichert 100.000 – 150.000 Elektronen
- Transistor T
 - dient als Schalter, um auf die Ladung in der Zelle lesend oder schreibend zugreifen zu können



Speichertechnologien

■ Dynamischer RAM-Baustein (DRAM): 1-Bit Speicherzelle



- **Auswahl der Zelle:**
 - Wortleitung A ist aktiv
 - Wenn der Schalter (Transistor T) geschlossen ist, dann wird die Kapazität mit der Bitleitung verbunden.
- **Schreib-Operation:**
 - Der zu schreibende Wert wird auf die Bitleitung gelegt. Falls der Wert eine 1 ist, dann wird die Kapazität geladen, ansonsten entladen.
- **Lese-Operation**
 - Bevor die Zelle gelesen werden kann, wird die Bitleitung auf $\frac{1}{2} V_{dd}$ vorgeladen. Nach der Aktivierung der Wortleitung wird die Ladung gelesen und auf die Bitleitung gelegt. Auf der Bitleitung liegt ein Pegel näher am high- oder näher am low-Pegel. Der Unterschied wird von einem Verstärker festgestellt.

Speichertechnologien

- **Dynamischer RAM-Baustein (DRAM): 1-Bit Speicherzelle**
 - Nur 1 **Transistor** pro Zelle
 - Integrationsdichte mehr als 4-mal höher als bei SRAM;
 - Daten werden als elektrische Ladung in dem **Kondensator** gespeichert;
 - Die Ladung geht nach einiger Zeit auch durch Leckströme verloren;
 - Periodische Auffrischung (etwa im Millisekundenbereich) der Speicherzellen erforderlich (**refresh**)
 - Inhalt der Speicherzelle wird gelesen und wieder geschrieben;
 - Eine Lese-Operation bewirkt eine Entladung (**destructive read**)
 - Nach dem Lesen muss die Zelle wieder mit dem ausgelesenen Wert geschrieben werden

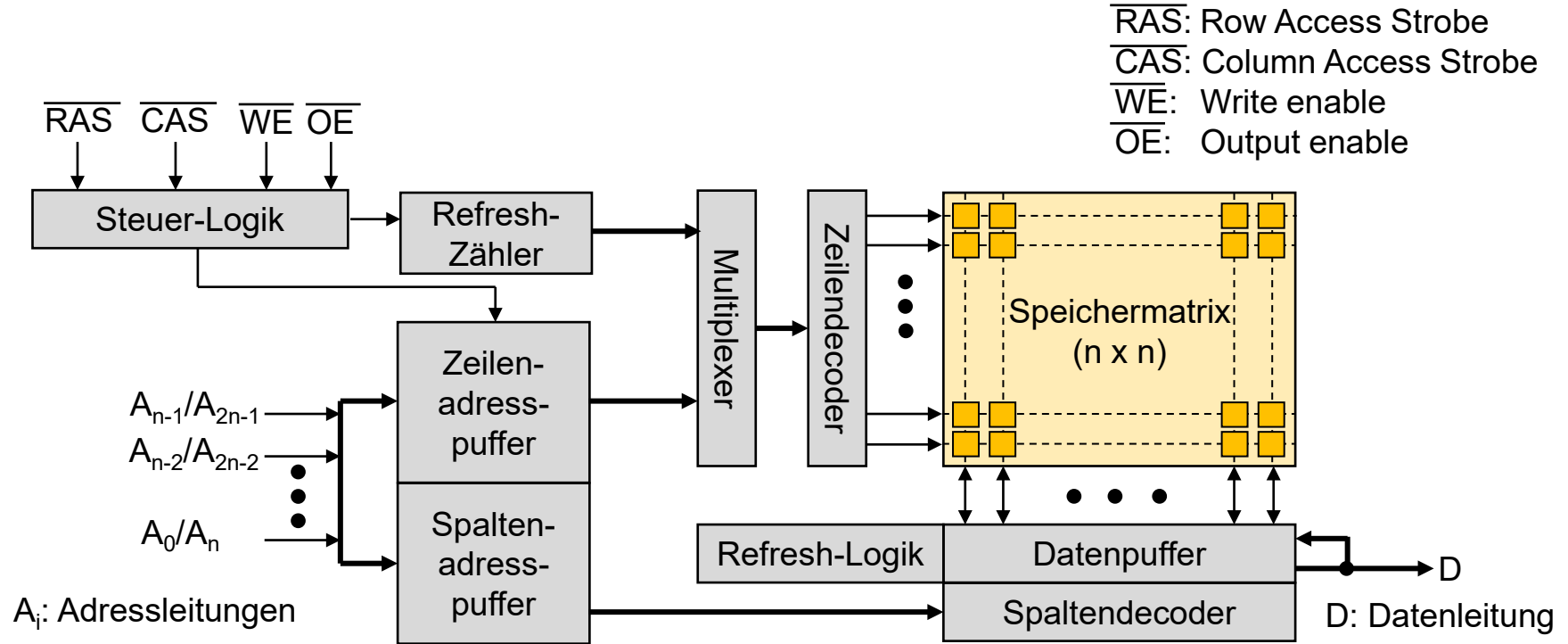
Kapitel 7

Halbleiterspeicher

- Einführung
- Speichertechnologien
- **Aufbau und Organisation**
- SDRAM, DDR DRAM

Speicherorganisation

Logische Organisation von DRAM-Bausteinen



Speicherorganisation

■ Logische Organisation von DRAM-Bausteinen

- Die Speicherzellen einer Zeile (row) sind über eine **Wortleitung** miteinander verbunden
- Die Speicherzellen einer Spalte (column) sind über eine **Bitleitung** mit dem Datenpuffer (mit Schreib-/Leseverstärker) verbunden

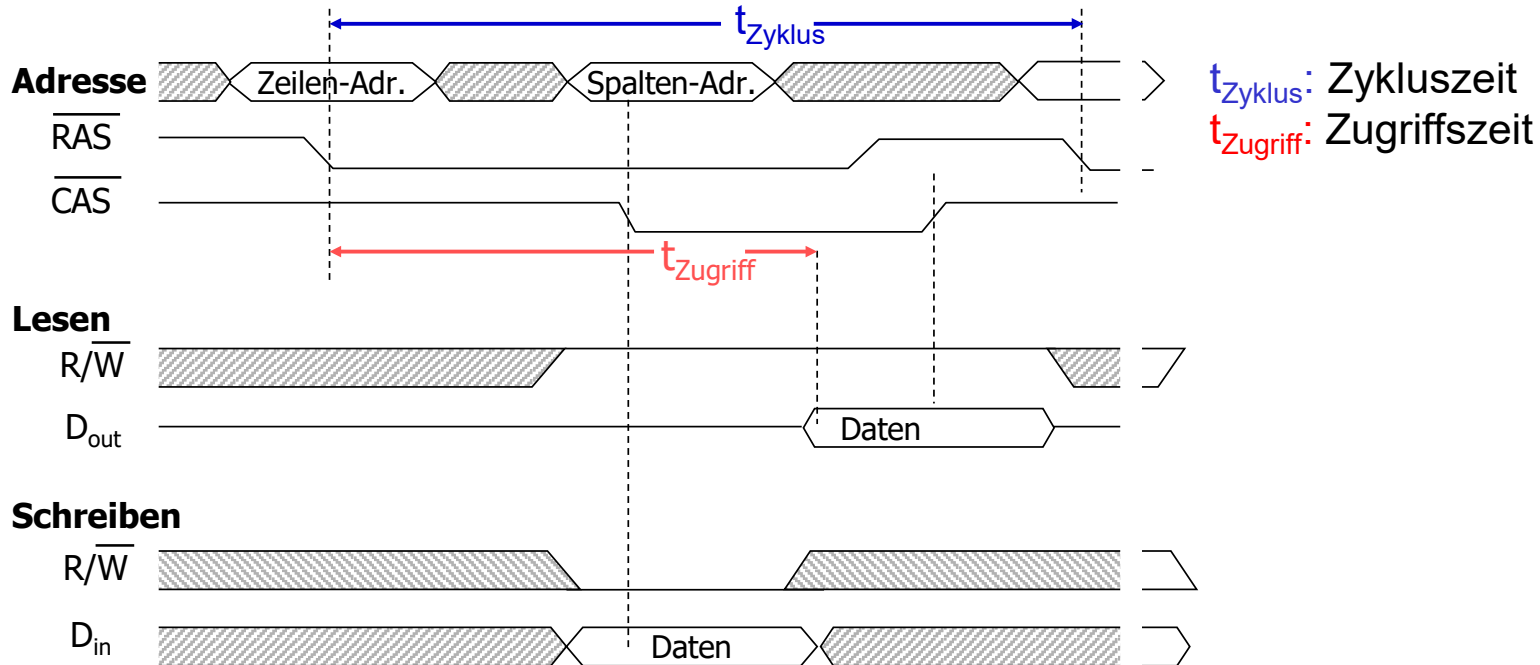
■ 2-stufige Adressierung

- Zuerst wird die **Zeilenadresse** angelegt, anschließend die **Spaltenadresse**
 - Um die Anzahl der Anschlusspins am Chip und damit auch Chip-Kosten zu sparen, werden die Zeilen- und die Spaltenadresse über dieselben Adressleitungen geliefert
 - $\overline{\text{RAS}}$ -Signal (Row Access Strobe) zeigt die Zeilenadresse an
 - $\overline{\text{CAS}}$ -Signal (Column Access Strobe) zeigt die Spaltenadresse an
- Externe Logik greift die Adresse vom Adressbus ab und legt die Zeilen- und Spaltenadresse nacheinander an die Adressleitungen des Speicherchips

Speicherorganisation

■ Zeitverhalten eines DRAM-Bausteins

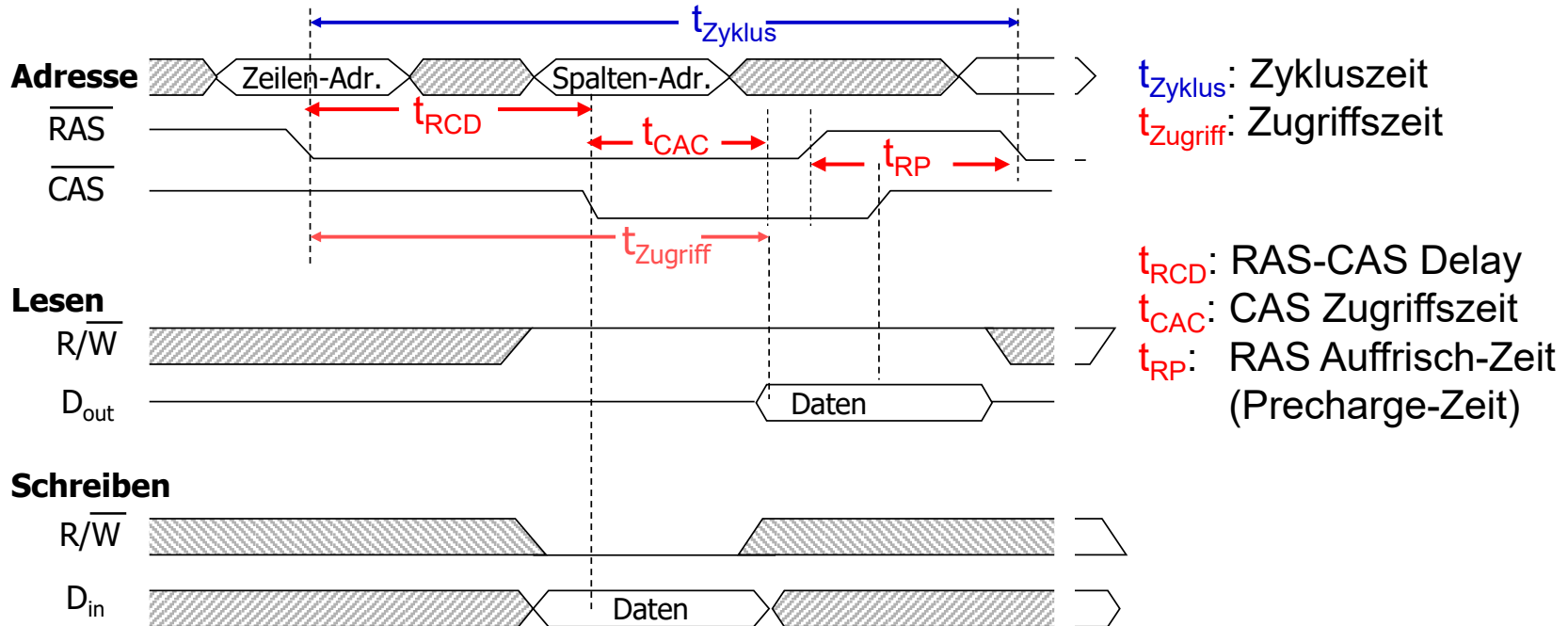
■ Adressieren, Lesen und Schreiben



Speicherorganisation

■ Zeitverhalten eines DRAM-Bausteins

■ Adressieren, Lesen und Schreiben



Speicherorganisation

■ Zeitverhalten eines DRAM-Bausteins

■ Signalparameter

- t_{Zugriff} : minimale Zeitdauer, die zwischen der fallenden Flanke von RAS bis zur Ausgabe der gewünschten Daten vergeht
 - $t_{\text{Zugriff}} = \text{z.B. } 60 \text{ ns}$ (bei einem 4 MB DRAM)
- t_{Zyklus} : Minimale Zeitdauer von Beginn eines Zeilenzugriff bis zum nächsten (**Zykluszeit**)
 - $t_{\text{Zyklus}} = \text{z.B. } 110 \text{ ns}$ bei einem 4Mbit DRAM mit t_{Zugriff} von 60 ns
- t_{CAC} : minimale Zeitdauer, die zwischen der fallenden Flanke von CAS bis zur Ausgabe der gewünschten Daten vergeht
 - $t_{\text{CAC}} = \text{z.B. } 15 \text{ ns}$ bei einem 4Mbit DRAM mit t_{Zugriff} von 60 ns

Speicherorganisation

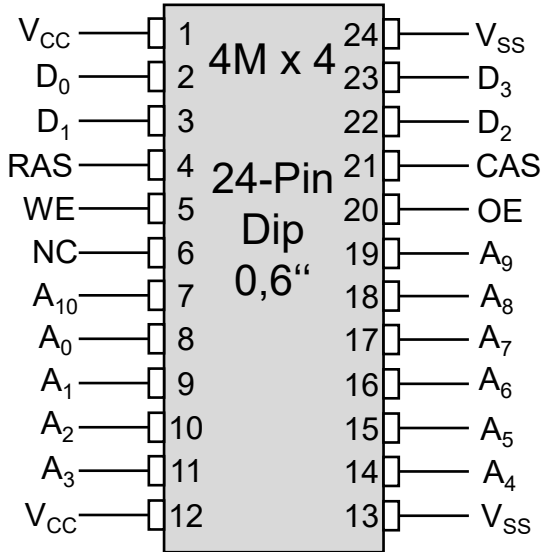
- **Zeitverhalten DRAM-Baustein vs. SRAM-Baustein**
 - 2-stufige Adressierung
 - interne Schaltungen
 - ...

- Die Zugriffszeit eines DRAM-Bausteins ist um etwa den Faktor 5-10 länger als die eines SRAM-Bausteins!

Speicherorganisation

■ DRAM-Baustein auf Chip

■ Beispiel: 16 Mbit Chip, organisiert als 4M x 4 DRAM



RAS: Row Access Strobe

CAS: Column Access Strobe

WE: Write enable

OE: Output enable

NC: No connet (gerade Anzahl von Pins)

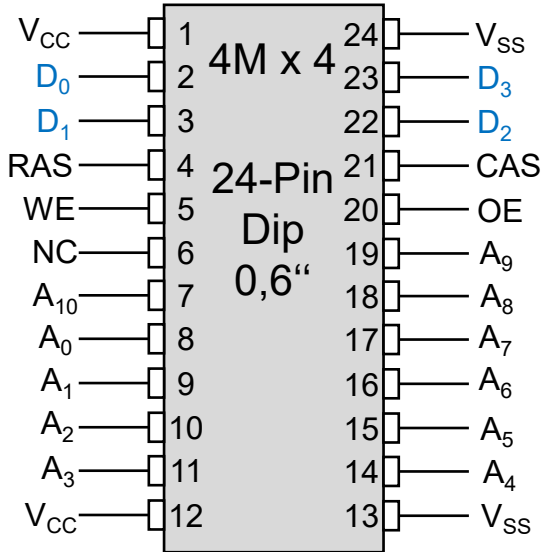
A₀ – A₁₀: 11 Adresspins sind notwendig, um 4M Zeilen- und Spaltenkombinationen auszuwählen
($2^{11} \times 2^{11} = 2^{22} = 4M$)

Dip: Dual inline package

Speicherorganisation

■ DRAM-Baustein auf Chip

■ Beispiel: 16 Mbit Chip, organisiert als 4M x 4 DRAM



RAS: Row Access Strobe

CAS: Column Access Strobe

WE: Write enable

OE: Output enable

NC: No connect (gerade Anzahl von Pins)

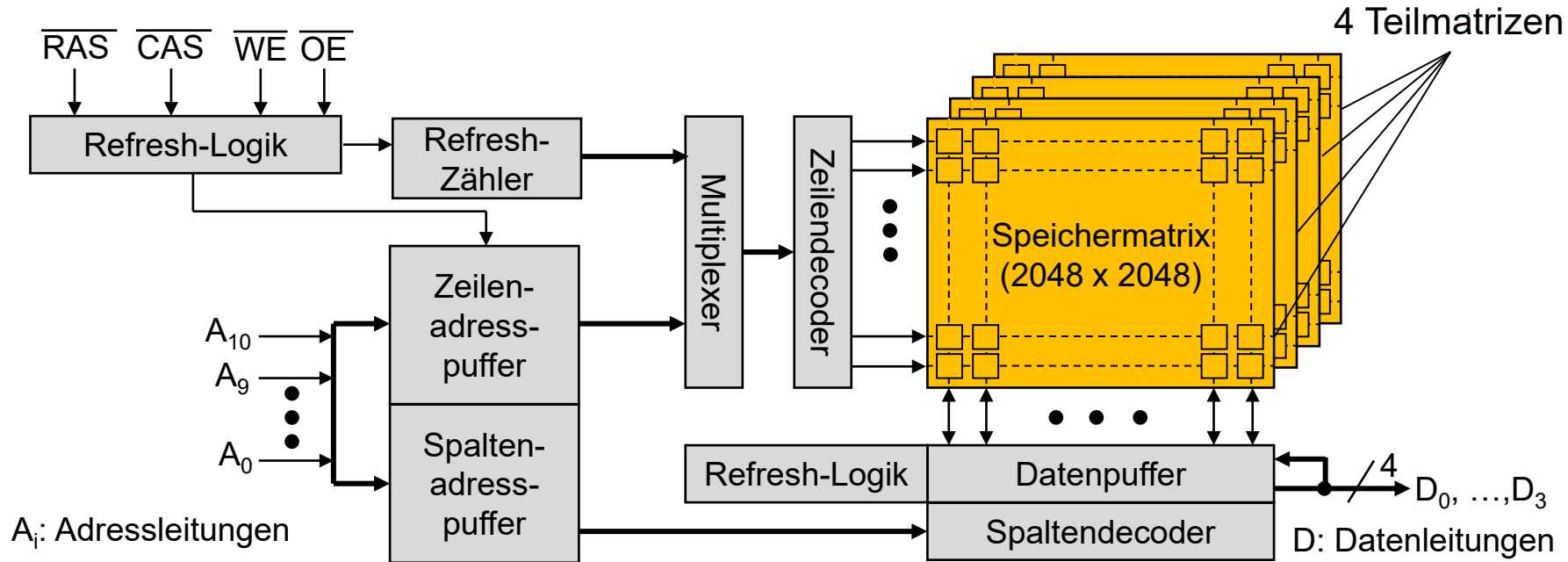
A₀ – A₁₀: 11 Adresspins sind notwendig, um 4M Zeilen- und Spaltenkombinationen auszuwählen
($2^{11} \times 2^{11} = 2^{22} = 4M$)

D₀ – D₃: 4 Datenpins zur Ein- und Ausgabe von Daten

Speicherorganisation

■ DRAM-Baustein auf Chip

■ Beispiel: 16 Mbit Chip, organisiert als 4M x 4 DRAM

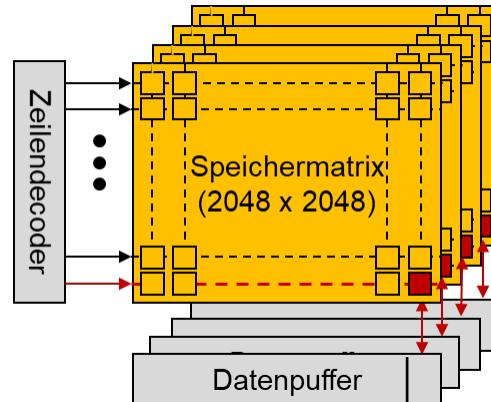


Speicherorganisation

■ DRAM-Baustein auf Chip

■ Beispiel: 16 Mbit Chip, organisiert als 4M x 4 DRAM

- Speichermatrix ist in 4 **Teilmatrizen** organisiert 11 Adressbits wählen die damit adressierten Zeilen in den Teilmatrizen aus
 - 4 x 2048 Bits werden in die Datenpuffer gelesen
- 11 Adressbits wählen die einer Spaltenadresse zugeordneten 4 Datenpuffer aus
 - 4 Bits werden über die Datenleitungen ein- oder ausgegeben



Logische Sicht!

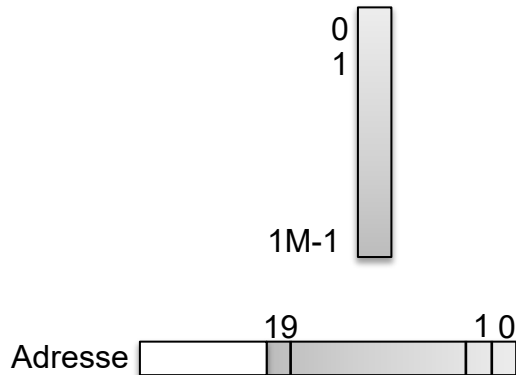
(physikalische Implementierung variieren)

Speicherorganisation

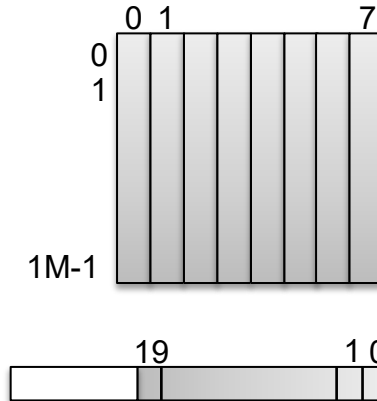
■ Speicherblock

- Zusammenschaltung von Speicherchips für den Zugriff auf Speicherwörter
 - Man benötigt k x1-DRAM-Chips bei einer Wortlänge von k Bits
 - Beispiel: Mit einem 1M x 1 DRAM Chip und einer Wortlänge von 8 Bits werden 8 Chips benötigt

1 1M x1 DRAM Chip



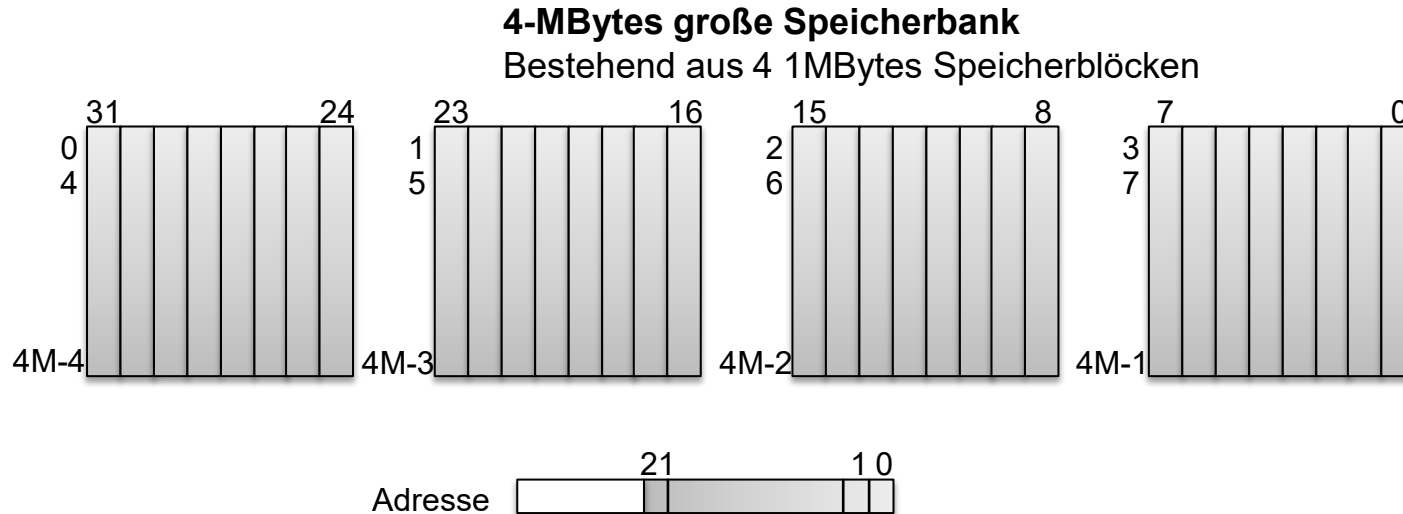
1 1MBytes großer Speicherblock
Bestehend aus 8 1M x1 DRAM chips



Speicherorganisation

■ Speicherbank

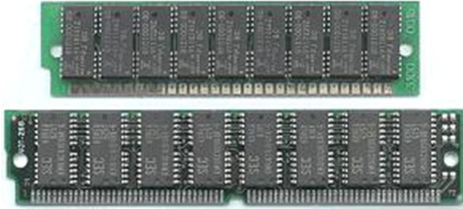
- Zusammenschaltung von Speicherchips für den Zugriff auf Speicherwörter



Speicherorganisation

■ Speichermodule

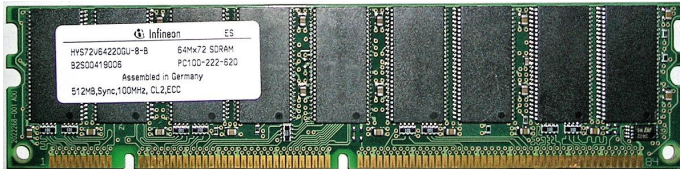
- Mehrere DRAM Bausteine auf einer Leiterplatte
- **Single Inline Memory Module (SIMM)**



eine Reihe von Anschlusskontakten

SIMM-Module in der 30- und 72-poligen Ausführung mit Datenbreiten von 8 und 32 Bit

■ Dual Inline Memory Module (DIMM)

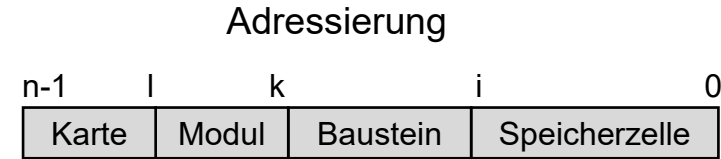
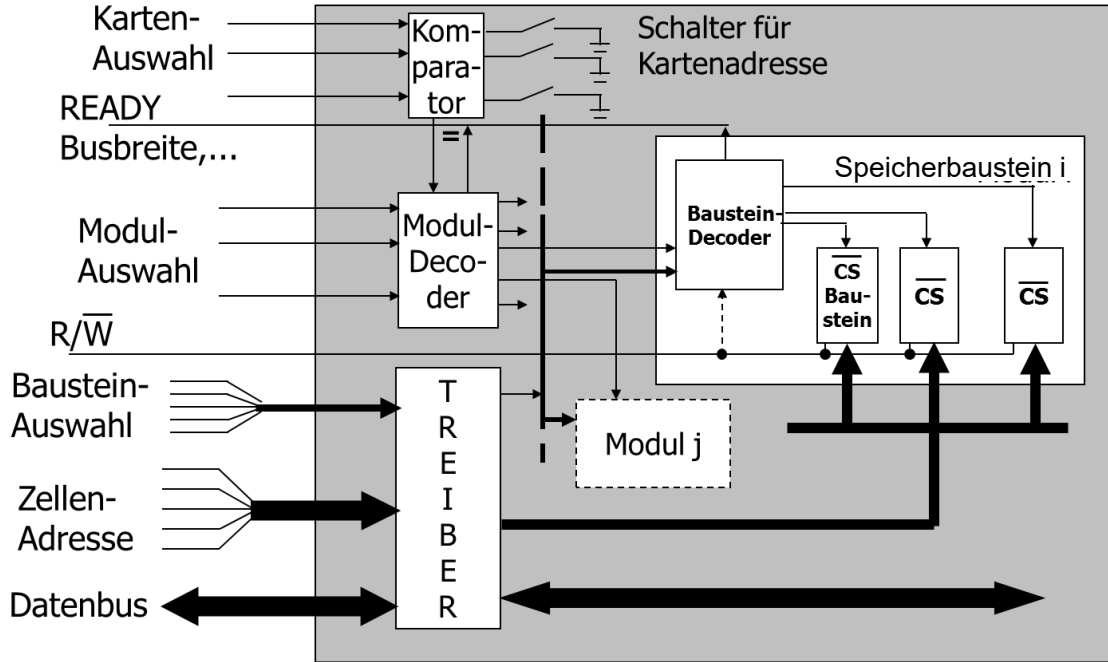


Anschlüsse auf der Vorderseite und auf der Rückseite führen unterschiedliche Signale.

Infineon C100-222-620 DIMM 512MB
SDRAM (64M x72)

Speicherorganisation

■ Aufbau eines Speichermoduls

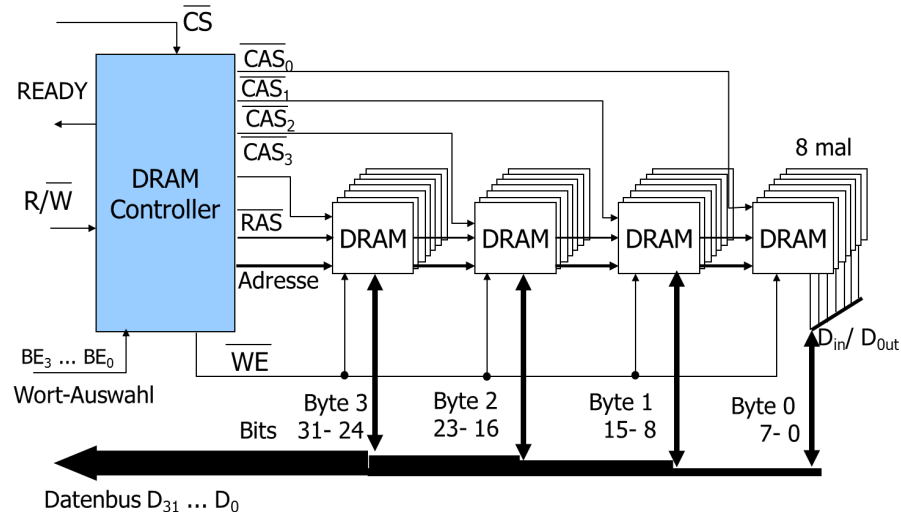


Speicherorganisation

■ Aufbau eines Speichermoduls

■ Beispiel: 32 Bit breites Speichermodul,

- Speicher in 4 Bänke zu je acht $n \times 1$ dynamischen Speicherbausteinen organisiert
- DRAM-Controller übernimmt Byte- und Bausteinauswahl, Read/Write-Steuerung, Refresh sowie ggf. Wartezyklen (READY-Signal).



Kapitel 7

Halbleiterspeicher

- Einführung
- Speichertechnologien
- Aufbau und Organisation
- **SDRAM, DDR DRAM**

SDRAM

■ Synchroner DRAM (synchronous DRAM, SDRAM)

■ Grundlegender Unterschied zu traditionellen asynchronem DRAM:

- SDRAM, Prozessor und Chipset tauschen Daten über Prozessor-/Speicherbus, synchronisiert über Taktsignal
 - Alle Ein- und Ausgangssignale sind synchron zum Systemtakt

■ Synchroner Zugriff: Steuerung ausgerichtet an Systemtakt

- Prozessor gibt Instruktion (Lese- oder Schreibzugriff) und Adresse-Information, die vom DRAM gepuffert werden
- Nach einer bestimmten Anzahl von Taktzyklen antwortet der DRAM
- Während der SDRAM die Anforderung (request) bearbeitet, muss der Prozessor nicht warten und kann in der Zwischenzeit andere Aufgaben erledigen.

SDRAM

■ Synchroner DRAM (synchronous DRAM, SDRAM)

■ Burst-Zugriff (Burst-Mode)

- Eine Folge von Datenlementen kann nach dem Zugriff auf das erste Datenelement mit jedem Taktzyklus ausgegeben werden
- Alle Datenelemente sind an aufeinanderfolgenden Adressen und in derselben Speicherzeile wie das erste zugegriffene Datenelement
- Mode-Register mit zugehöriger Steuerlogik
 - Anpassung des Bausteins an Systemanforderungen
 - Spezifiziert die Burst-Länge: Anzahl der auf den Bus auszugebenden Datenelemente

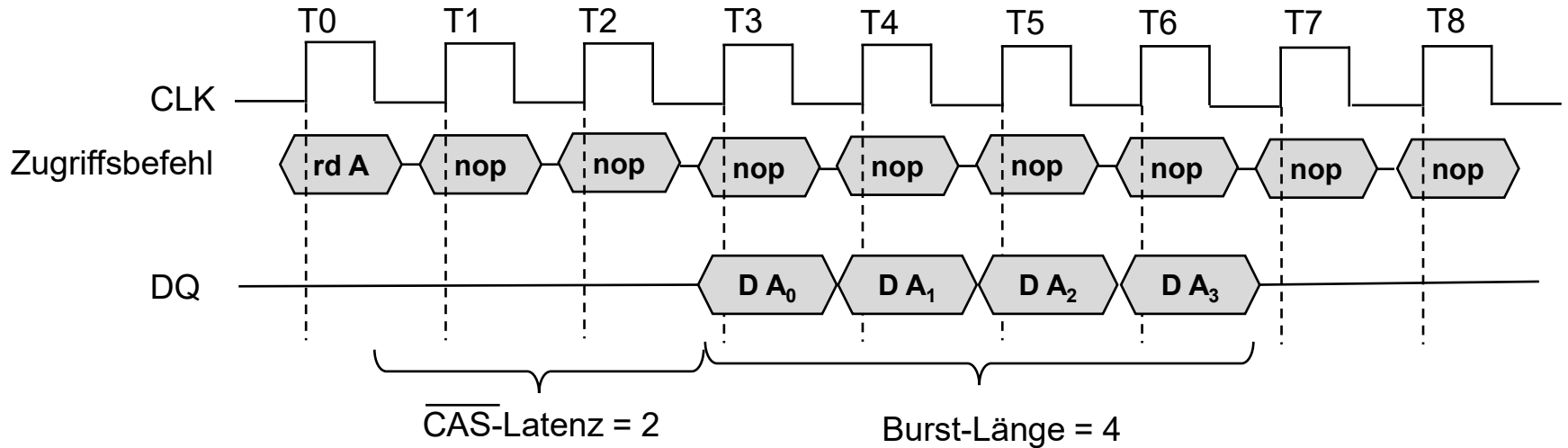
■ Mehrere Speicherbänke

- SDRAM-Baustein enthält mehrere Speicherbänke mit eigenen Adressregistern und Schreib-/Leseverstärkern
- Ermöglicht parallelen Zugriff

SDRAM

■ Synchroner DRAM (synchronous DRAM, SDRAM)

■ Burst-Zugriff: Darstellung der Arbeitsweise



DDR SDRAM

■ Double-data rate DRAM (DDR DRAM)

- Weiterentwicklung von SDRAM
- Spezifiziert durch JEDEC Solid State Technology Association
 - Zusammenschluss von Halbleiterherstellern zur Weiterentwicklung und Standardisierung

■ Höhere Datenrate gegenüber SDRAM

- Datenübertragung bei steigender und fallender Taktflanke
 - Doppelte Datenrate
- Höhere Taktrate auf dem Bus
- Puffer-Mechanismus

DDR SDRAM

■ Double-data rate DRAM (DDR DRAM)

- Puffer-Mechanismus: Verwendung von sogenannten Prefetch-Puffer (prefetch buffer)

■ Prefetch-Puffer

- Pro Adresseingabe werden Datenworte von mehreren Spaltenadressen gelesen und in die Prefetch-Puffer (Schieberegister) geladen
- Aus diesem Puffer werden die Daten mit der höheren Datenrate an der Schnittstelle ausgelesen
- Burst-Zugriff
- **Prefetch = 2: DDR holt zwei Worte im Voraus:**
 - Jedesmal, wenn eine Lese-oder Schreiboperation ausgeführt wird, wird diese auf zwei Datenworten ausgeführt
 - Burst-Zugriff der Länge 2: Ausgabe von 2 Datenbits pro Pin pro Takt bei steigender und fallender Taktrate

DDR SDRAM

- **Double-data rate DRAM (DDR DRAM)**
 - **Weiterentwicklungen**
 - **DDR1**: 2-Bit Prefetch
 - **DDR2**: 4-Bit Prefetch
 - **DDR3**: 8-Bit Prefetch
 - **DDR4**: 8-Bit Prefetch
 - Einführung des Konzepts der **bank-groups**