

Prof. Dr.-Ing. Dr. h. c. J. Becker

becker@kit.edu

Karlsruher Institut für Technologie (KIT)

Institut für Technik der Informationsverarbeitung (ITIV)

Digitaltechnik

Bausteine der Digitaltechnik - Schaltnetze (Teil 3) -

Vorgehensweise:

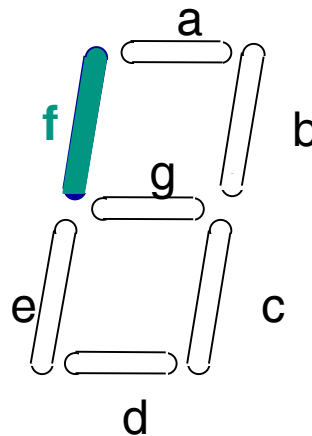
- 1. Schritt:** Umsetzung der verbalen **Aufgabenstellung** in eine **formale Form**,
z.B. in eine **Funktionstabelle**;
(dazu gehört die Festlegung der Wertezuordnung für die Binärvariablen)
- 2. Schritt:** **Bildung** einer **Normalform**; Bildung einer vollständigen Blocküberdeckung
- 3. Schritt:** **Bildung** einer **Minimalform** (bspw. nach S- Diagramm oder **Nelson/Petrick**)
- 4. Schritt:** **Umformung** in das gewählte **Basissystem**
- 5. Schritt:** **Umformen** in den **Strukturausdruck**
- 6. Schritt:** **Umsetzen** in das entsprechende **Schaltnetz**
(unter Umständen sind nicht alle Schritte zum Entwurf notwendig)

Schaltnetze: Beispielentwurf

Beispiel: Aufgabenstellung

Mit einer **Siebensegmentanzeige** sollen im **BCD-Code** gegebene **Ziffern** dargestellt werden. Am **Beispiel** des oben links liegenden **Segments f** soll ein **Schaltnetz** zur **Ansteuerung dieses Segments** entworfen werden

Zu Verfügung stehen nur **NAND-Gatter** mit **zwei Eingängen** und **Inverter**.



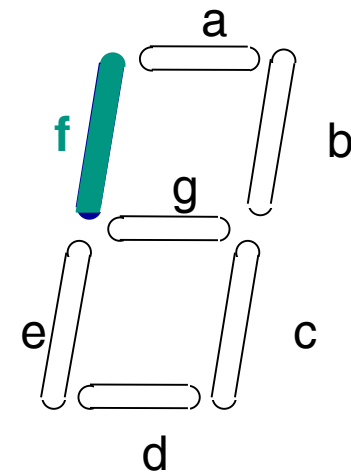
1. Schritt:

Zuordnung: Segment **hell**: $f = 1$, Segment **dunkel**: $f = 0$

Benennung der Eingänge: BCD mit (x_4, x_3, x_2, x_1)

Schaltfunktion für das Segment f:

Ziffer	j	x4	x3	x2	x1	f
0	0	0	0	0	0	1
1	1	0	0	0	1	0
2	2	0	0	1	0	0
3	3	0	0	1	1	0
4	4	0	1	0	0	1
5	5	0	1	0	1	1
6	6	0	1	1	0	1
7	7	0	1	1	1	0
8	10	1	0	0	0	1
9	11	1	0	0	1	1
-	12	1	0	1	0	-
-	13	1	0	1	1	-
-	14	1	1	0	0	-
-	15	1	1	0	1	-
-	16	1	1	1	0	-
-	17	1	1	1	1	-



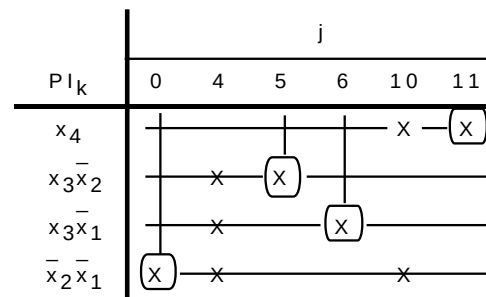
Schaltnetze: Beispielenwurf

2. Schritt: siehe 3. Schritt

3. Schritt: **Minimierung** z.B. nach dem **Nelson-Verfahren**

$$\begin{aligned}
 f^E &= (x_4 \vee x_3 \vee x_2 \vee \bar{x}_1) \& (x_4 \vee x_3 \vee \bar{x}_2) \& (x_4 \vee \bar{x}_3 \vee \bar{x}_2 \vee \bar{x}_1) \\
 &= (x_4 \vee x_3 \vee \bar{x}_2 \bar{x}_1) \& (x_4 \vee \bar{x}_3 \vee \bar{x}_2 \vee \bar{x}_1) \\
 &= x_4 \vee \bar{x}_3 \bar{x}_2 \vee \bar{x}_3 \bar{x}_1 \vee \bar{x}_2 \bar{x}_1
 \end{aligned}$$

Primimplikanten sind nun bekannt, bleibt noch das **Überdeckungsproblem**:



Die **Funktion** besteht **nur** aus **Kernimplikanten**, somit liegt eine **Minimalform (DMF)** vor:

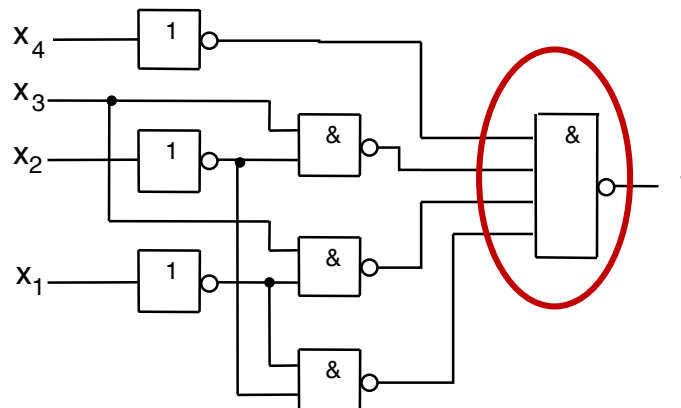
$$f = x_4 \vee \bar{x}_3 \bar{x}_2 \vee \bar{x}_3 \bar{x}_1 \vee \bar{x}_2 \bar{x}_1$$

4. Schritt: Umwandlung in **NAND-Basissystem**

$$\begin{aligned} f &= x_4 \vee x_3 \overline{x_2} \vee x_3 \overline{x_1} \vee \overline{x_2} \overline{x_1} \\ &= x_4 \vee x_3 \overline{x_2} \vee x_3 \overline{x_1} \vee \overline{x_2} \overline{x_1} \\ &= \overline{\overline{x_4} \& \overline{x_3 x_2} \& \overline{x_3 x_1} \& \overline{x_2 x_1}} \end{aligned}$$

doppelte Negation

de **Morgan'sche Regeln**



NAND-Gatter der
2. Stufe benötigt
mehr als 2 Eingänge
-> **Umformung**
der 2. Stufe

5. Schritt: Strukturausdruck für Gatter mit zwei Eingängen und Inverter Umformung des NAND-Gatters in der 2. Stufe

$$\begin{aligned} f &= \overline{\overline{x_4} \& \overline{x_3 x_2} \& \overline{x_3 x_1} \& \overline{x_2 x_1}} \\ &= (\overline{x_4} \& \overline{x_3 x_2}) \& (\overline{x_3 x_1} \& \overline{x_2 x_1}) \end{aligned}$$

6. Schritt: Konstruktion des NAND2-Schaltnetzes aus dem Strukturausdruck

$$f = (\overline{x_4} \& \overline{x_3 x_2}) \& (\overline{x_3 x_1} \& \overline{x_2 x_1})$$

