

Aufgabe 18

Eine TTL-Schaltung nach Bild 18.1 a) hat eine Übertragungskennlinie nach Bild 18.1 b).

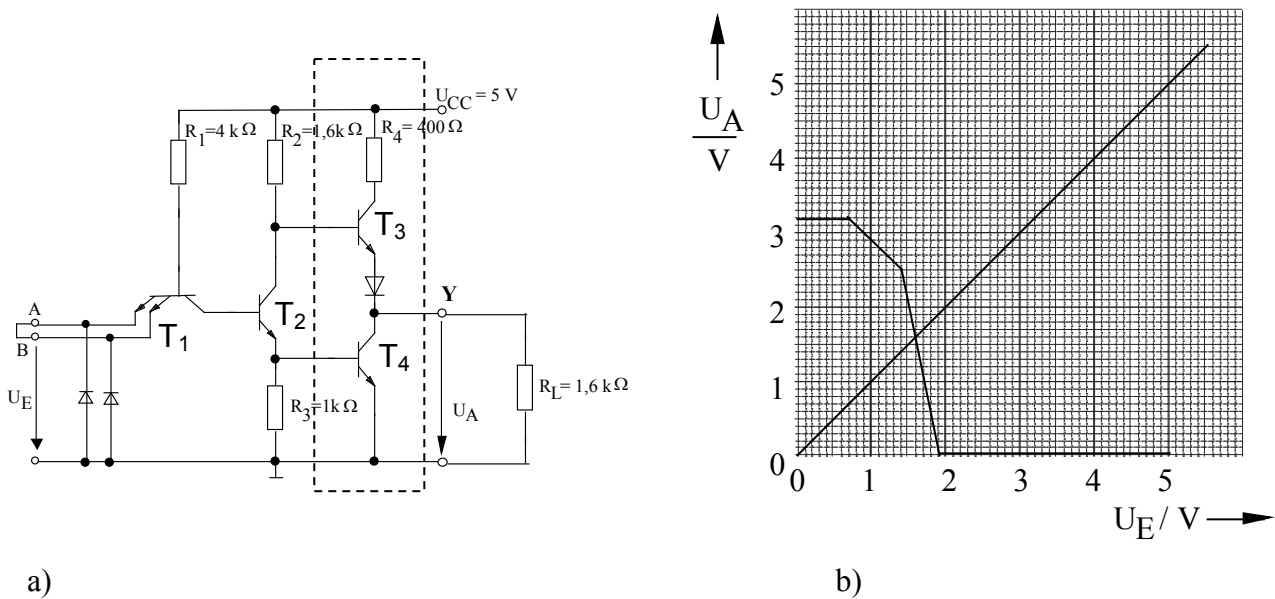


Bild 18.1

18.1 Ermitteln Sie aus Bild 18.1 b) folgende Daten:

U_L , U_H , ΔU , ΔU_H , ΔU_L und die relativen Einzelstörabstände Z_H und Z_L !

18.2 Berechnen Sie die statische Verlustleistung in der gestrichelt umrandeten Ausgangsstufe der Schaltung nach Bild 18.1 a), wenn am Ausgang der H-Pegel anliegt, und die Kollektor-Emitter-Restspannung des eingeschalteten Transistors T_3 0,3 V beträgt !

18.3 Der Widerstand R_L wird entfernt.

An den Ausgang der Schaltung sollen möglichst viele Eingänge von weiteren TTL-Schaltungen angeschlossen werden.

Für einen einzelnen TTL-Eingang gelten folgende Eingangsströme:

$U_E = H$: $I_E = 40\text{ }\mu\text{A}$ und $U_E = L$: $I_E = 1,6\text{ mA}$.

Wie viele TTL-Eingänge können an den Ausgang des Gatters maximal angeschlossen werden, wenn folgende Randbedingungen für die Ausgangsspannung eingehalten werden sollen:

High-Pegel: $U_{A,\min} = 3,5\text{ V}$, Low-Pegel: $U_{A,\max} = 0,2\text{ V}$, wenn der Kollektor-Emitter-Widerstand des eingeschalteten Transistors T_4 $R_{CE} = 12,5\text{ }\Omega$ und die Kollektor-Emitter-Restspannung des eingeschalteten Transistors T_3 0,3 V beträgt?

Aufgabe 19

Ein Inverter nach Bild 19 besteht aus einem n-Kanal FET und einem Lastwiderstand $R = 1\text{ k}\Omega$. Am Ausgang ist eine Lastkapazität $C_L = 2\text{ pF}$ angeschlossen. Im eingeschalteten Zustand beträgt der Drain-Source Widerstand des FET $r_{DSon} = 50\text{ }\Omega$. Die Betriebsspannung der Schaltung ist $U_{DD} = 5\text{ V}$. Die Pegel der Eingangsspannung betragen 0 V und 5 V .

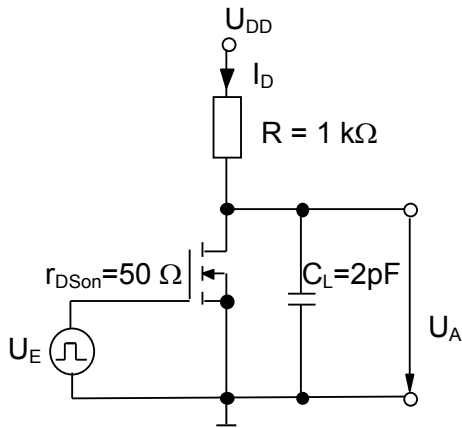


Bild 19

- 19.1 Bestimmen Sie die Spannungswerte der logischen Pegel H und L !
- 19.2 Bestimmen Sie die statische Verlustleistung der Schaltung nach Bild 19!
- 19.3 Bestimmen Sie die dynamische Verlustleistung der Schaltung nach Bild 19 wenn die Taktfrequenz des Eingangssignals 10 MHz beträgt!
- 19.4 Bestimmen Sie die gesamte Verlustleistung der Schaltung bei der Frequenz nach 19.3, wenn das Tastverhältnis des Eingangssignals $r = 0,5$ ist!

Aufgabe 21:

Bild 21 zeigt zwei logische Grundsaltungen in CMOS-Technik.

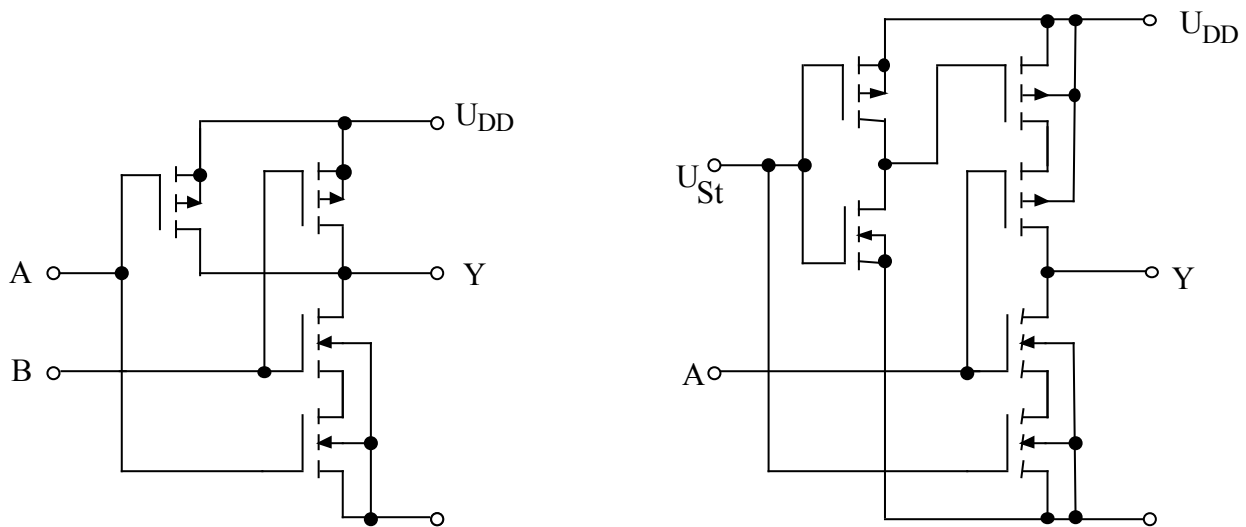


Bild 21

21.1 Skizzieren Sie die zugehörigen logischen Schaltzeichen!

22.2 Geben Sie die Wahrheitstabellen der Schaltungen an. Verwenden Sie dabei folgende Bezeichnungen: Low-Pegel: 0, High-Pegel: 1 und hochohmiger Zustand am Ausgang: HiZ

Aufgabe 22:

Bild 22.1 zeigt ein RS-Flipflop aus NOR-Gattern.

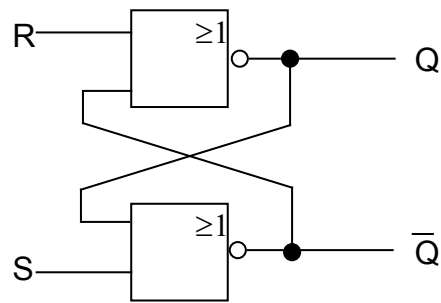


Bild 22.1

- 22.1 Geben Sie die Wahrheitstabelle für dieses Flipflop an!
- 22.2 Skizzieren Sie die Schaltung des Flipflops mit n-Kanal Transistoren und mit FET's vom Verarmungstyp als Last!
- 22.3 An die Eingänge R und S werden Signale nach Bild 22.2 angelegt. Skizzieren Sie das daraus resultierenden Ausgangssignale Q und $\bar{Q}$!

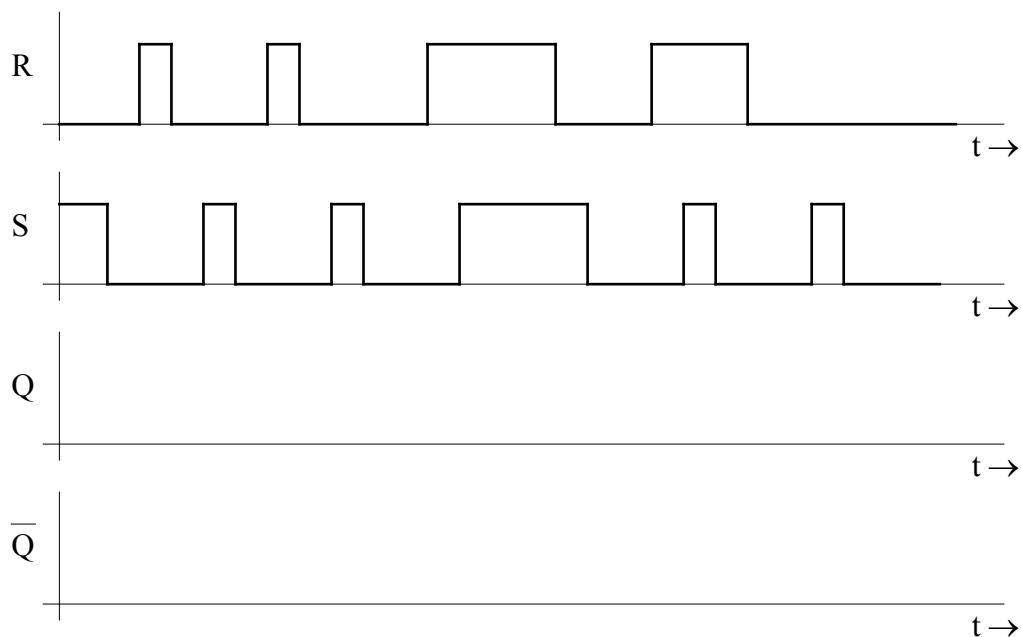


Bild 22.2

Aufgabe 23:

Bild 23.1 zeigt drei Normschaltzeichen von JK-Flip-Flops.

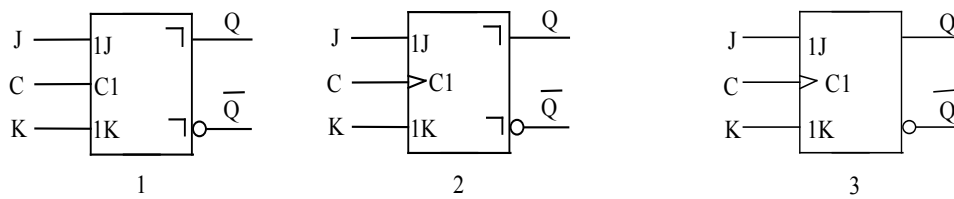


Bild 23.1

An die Eingänge C, J und K werden jeweils die in Bild 23.2 gezeichneten Signale angelegt.

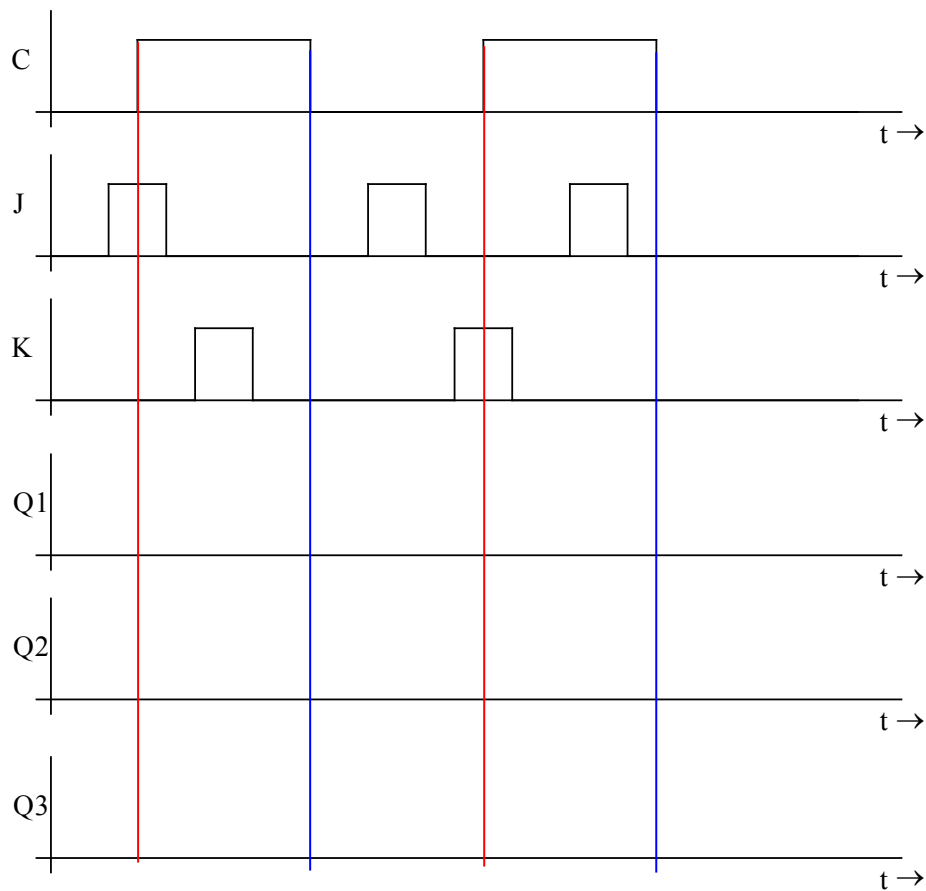


Bild 23.2

Skizzieren Sie für alle 4 in Bild 23.1 dargestellten Flipflops das Signal am Ausgang Q !
(Zum Zeitpunkt t_0 sei Q jeweils auf LOW-Pegel)

Prüfen Sie zuerst, welcher Typ von JK-Flip-Flop durch das logische Symbol dargestellt wird !
(Zustandsgesteuert , Ein- oder Zweiflankengesteuert)