

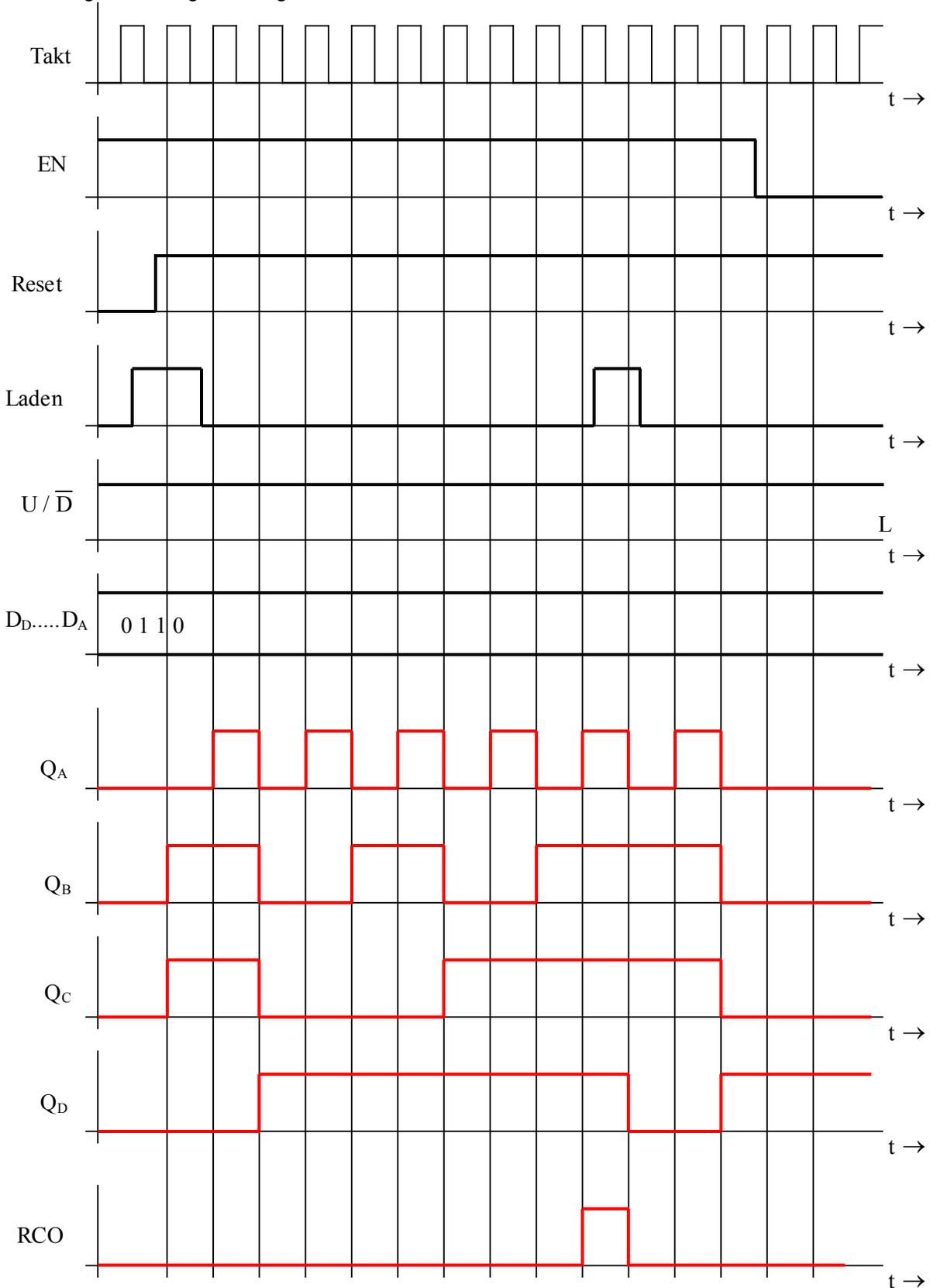
Lösung Aufgabe 25:

Synchroner binärer Vorwärts/Rückwärtszähler mit setzbaren Eingängen

Aus Signalverlauf ist zu entnehmen:

Wenn **EN**(able)=1, Zähler ist "freigegeben". **Reset** = 0: alle Ausgänge = 0. **Laden** = 1: mit der nächsten ansteigenden Taktflanke werden die an den D-Eingängen der Zählerstufen anliegenden Werte übernommen. U/\bar{D} gibt an, ob vorwärts (1) oder rückwärts (0) gezählt wird.

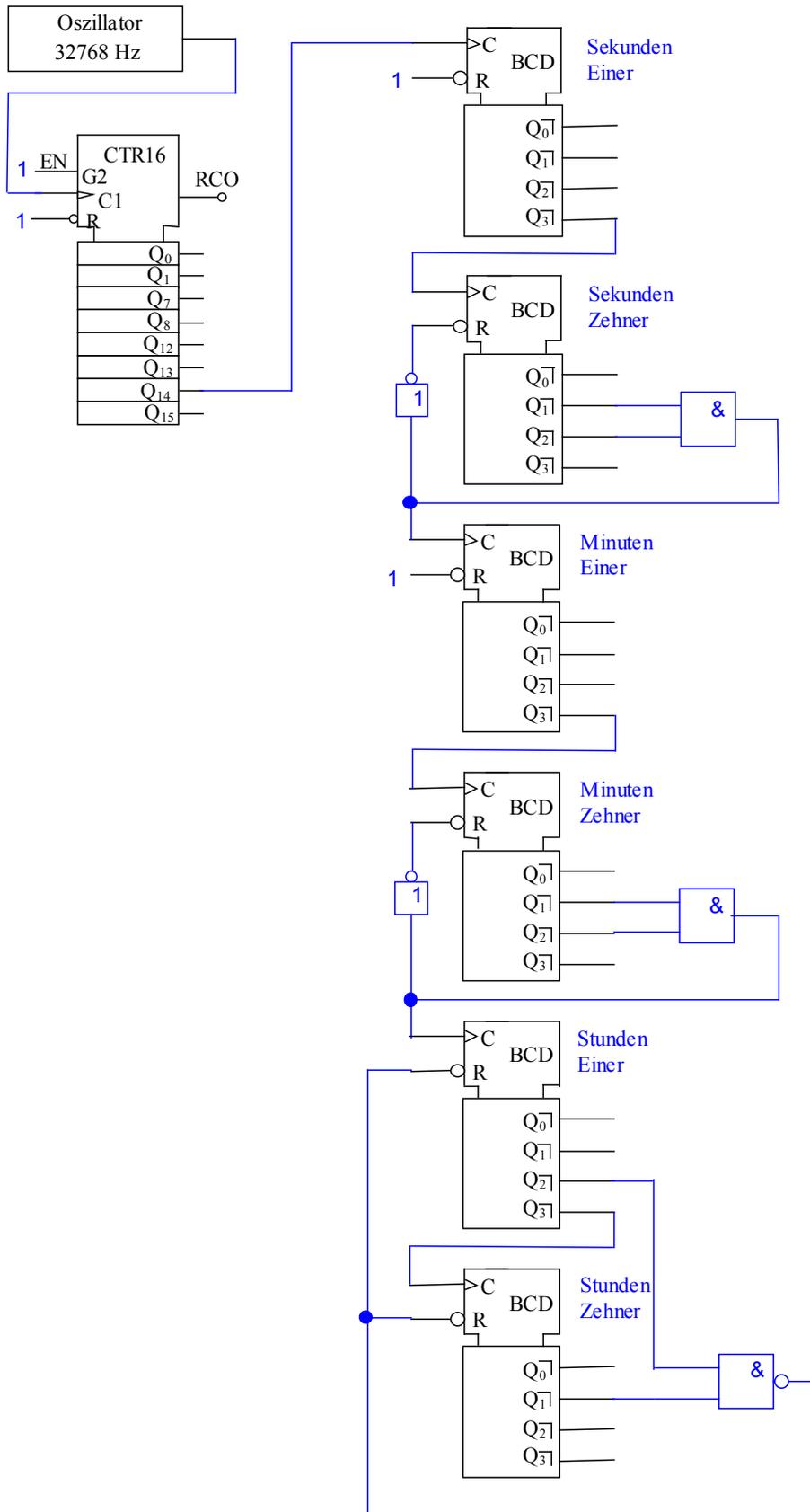
Damit ergibt sich folgender Signalverlauf:



Lösung Aufgabe 26:

! $2^{14} = 16384$, aber wenn $f = 32768$ Hz ist, dann ist $f(Q_0) = 16384$ Hz, $f(Q_1) = 8192$ Hz, $f(Q_2) = 4096$ Hz, ..., $f(Q_{13}) = 2$ Hz und $f(Q_{14}) = 1$ Hz !

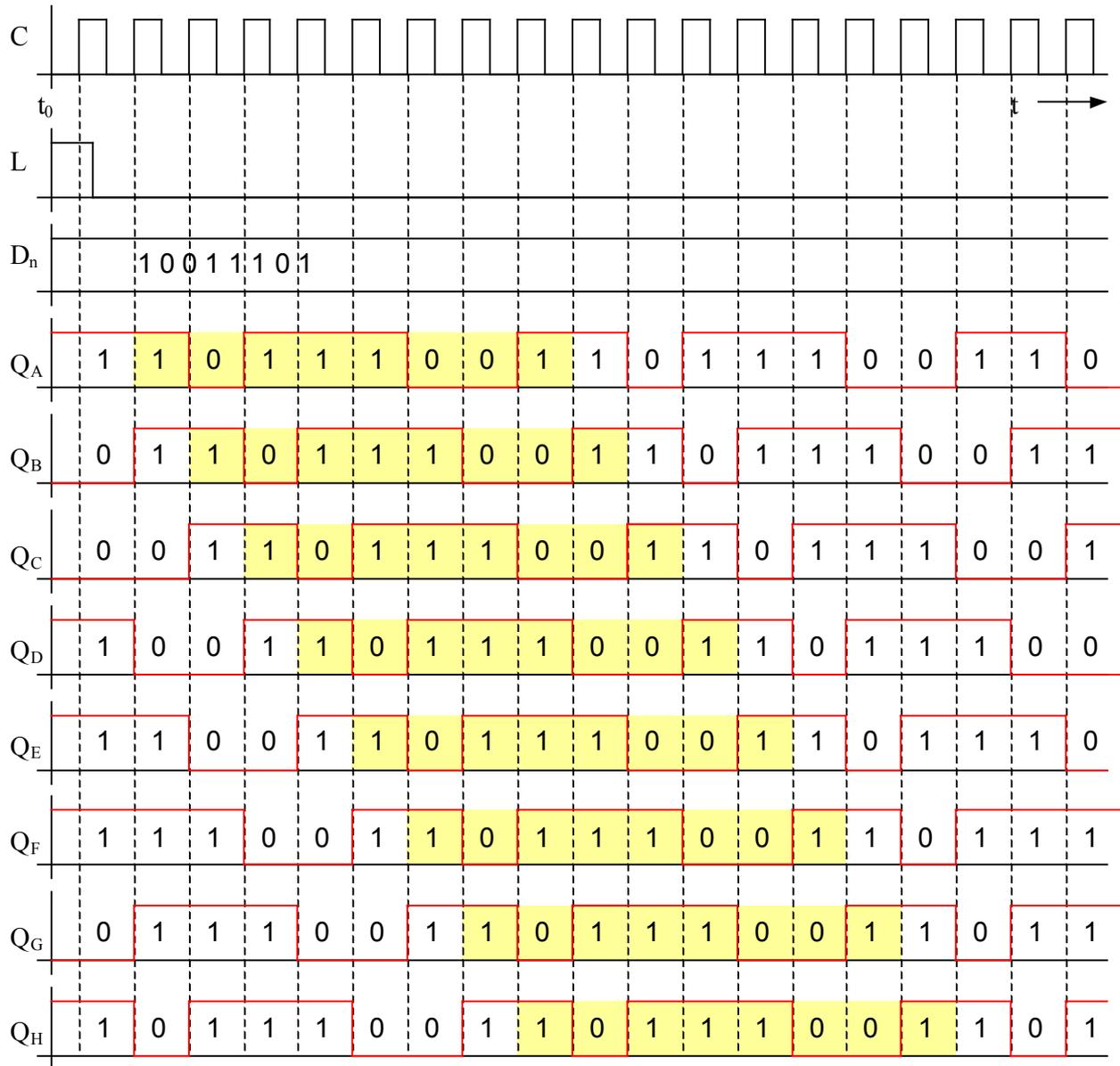
Die BCD-Zähler sind nach Skript S 193, Bild 9.23 mit einem zusätzlichen Reset-Eingang aufgebaut ebenso ist dort das entsprechende Impulsdiagramm gezeigt. Daraus ergibt sich die folgende Lösung:



Lösung Aufgabe 27:

27.1 Ringschieberegister

27.2 Mit $L=1$ werden die an $D_0 \dots D_7$ anliegenden Daten in das Ringregister übernommen. Solange $L=1$ bleibt, kann noch nicht geschoben werden, da S und R die Funktion der FFs bestimmen. Erst wenn $L=0$ ist, kann mit der nächsten ansteigenden Taktflanke der Schiebeporgang eingeleitet werden.

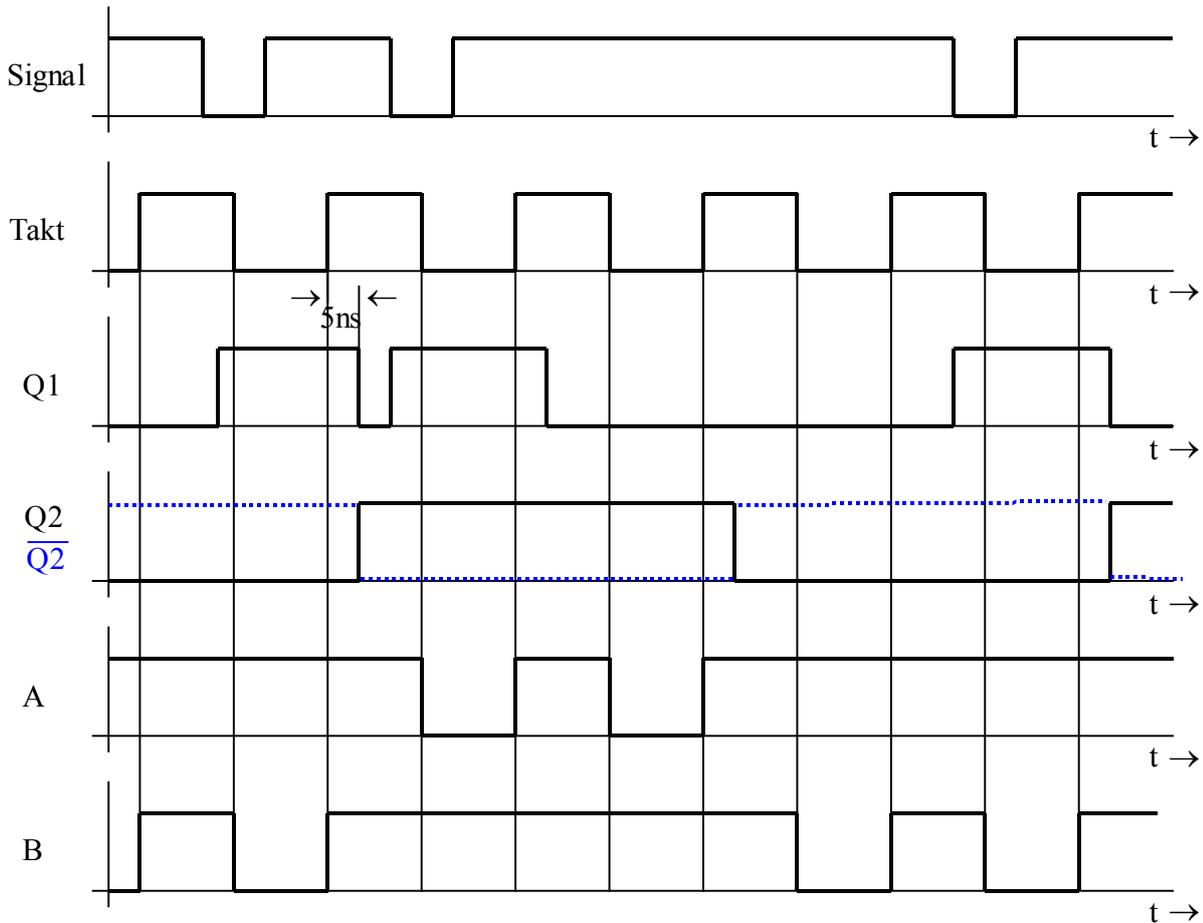


Lösung Aufgabe 28:

Die Schaltung nutzt die verschiedenen Eigenschaften eines einflankengesteuerten D-FF mit einem zusätzlichen **nicht durch den Takt gesteuerten** $\overline{R} \overline{S}$ Flipflop aus.

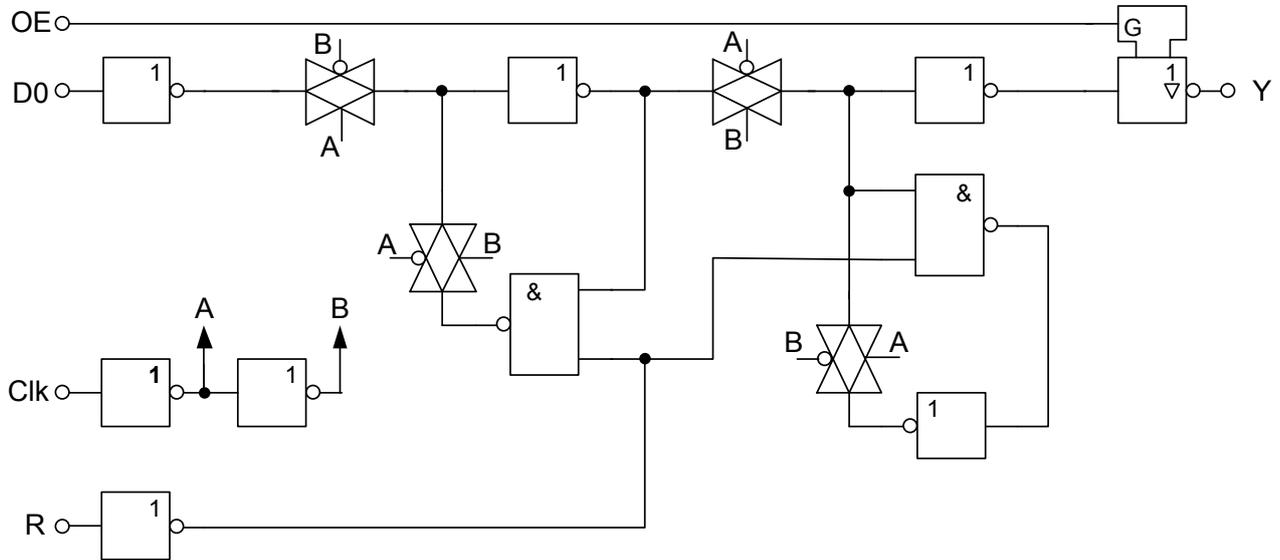
Wird das Eingangssignal kurzzeitig "0", wird das erste FF (sofort nach der angegebenen Gatterlaufzeit von 5 ns) am Ausgang Q1 = "1". Mit der nächsten Taktflanke wird diese "1" in das zweite D-FF übernommen, aber gleichzeitig der Ausgang des 1. FF wieder zu "0", da der D-Eingang auf "0" liegt. Auch beim 2. FF wird das Ausgangssignal erst 5 ns nach der Taktflanke auftreten.

Durch die Verknüpfung der Ausgänge des 2. FF mit dem invertierten Takt sind die Signale A und B wie im folgenden Signalverlauf dargestellt.



Lösung Aufgabe 30:

30.1 Die Schaltung besteht aus Invertern, NAND-Gattern, Transferelementen und einem Tri-State Inverter. Damit erhält man das folgende Schaltbild:



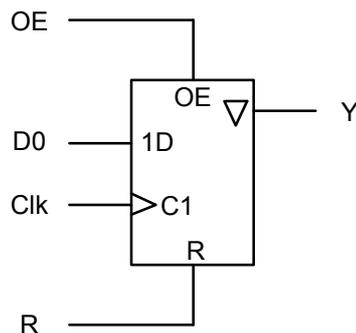
30.2 Wahrheitstabelle! (Bezeichnungen: 1, 0, HiZ, X)

OE	R	Clk	D0	Y
0	X	X	X	HiZ
1	1	X	X	0
1	0	0,1	X	D ₋₁
1	0	↑	0	0
1	0	↑	1	1

30.3 Funktion der Schaltung

Einflankengesteuertes D-Flipflop mit Reset-Eingang und Tristate Ausgang

30.4 Logisches Symbol



Lösung Aufgabe 31:

31.1

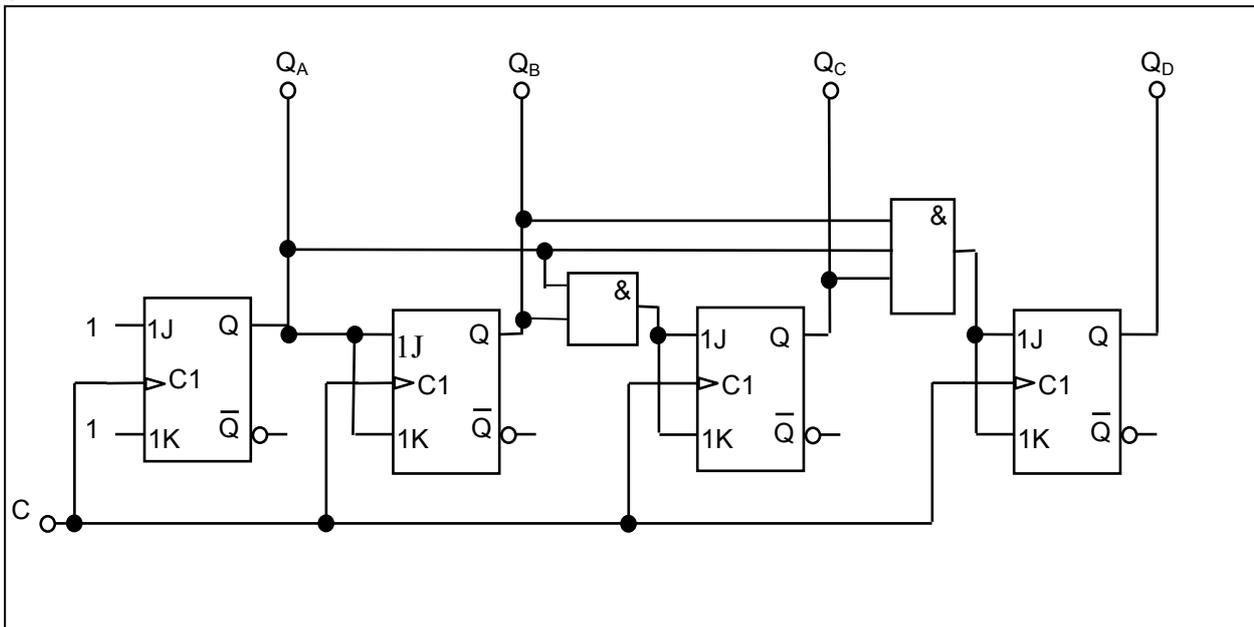


Bild 31.1

31.2

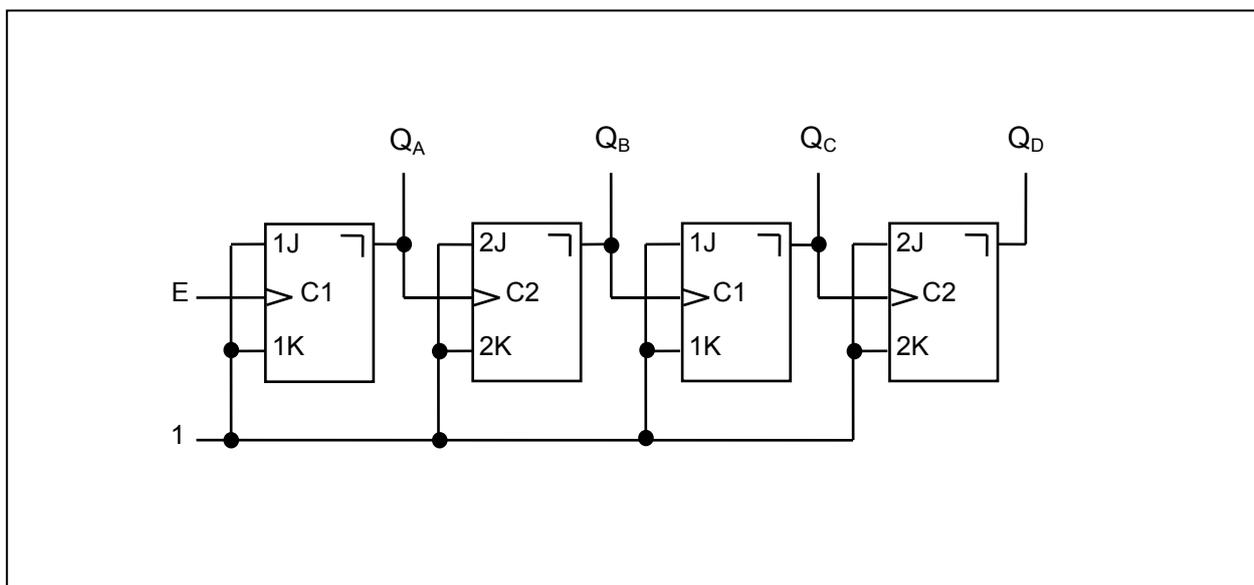
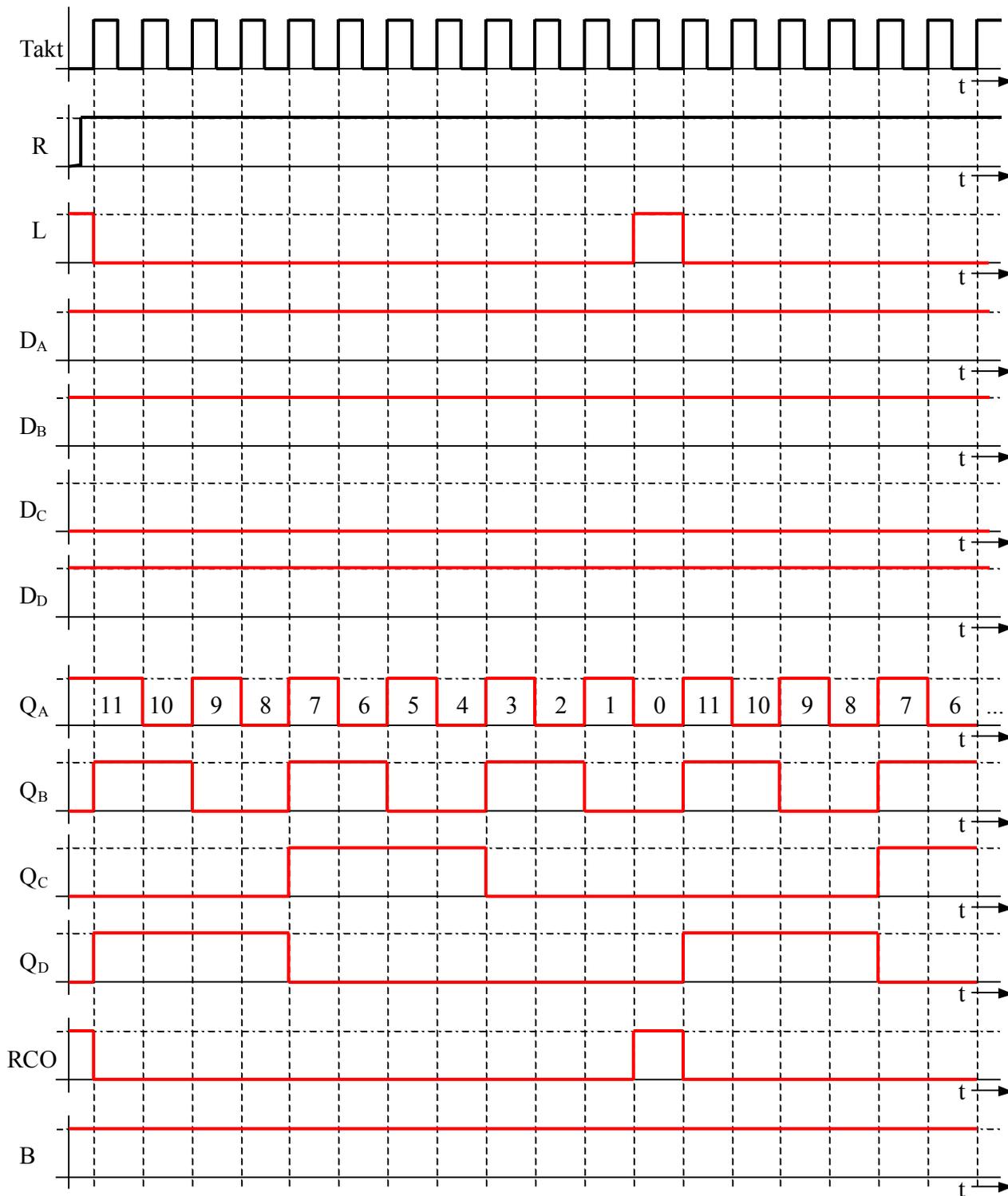


Bild 31.2

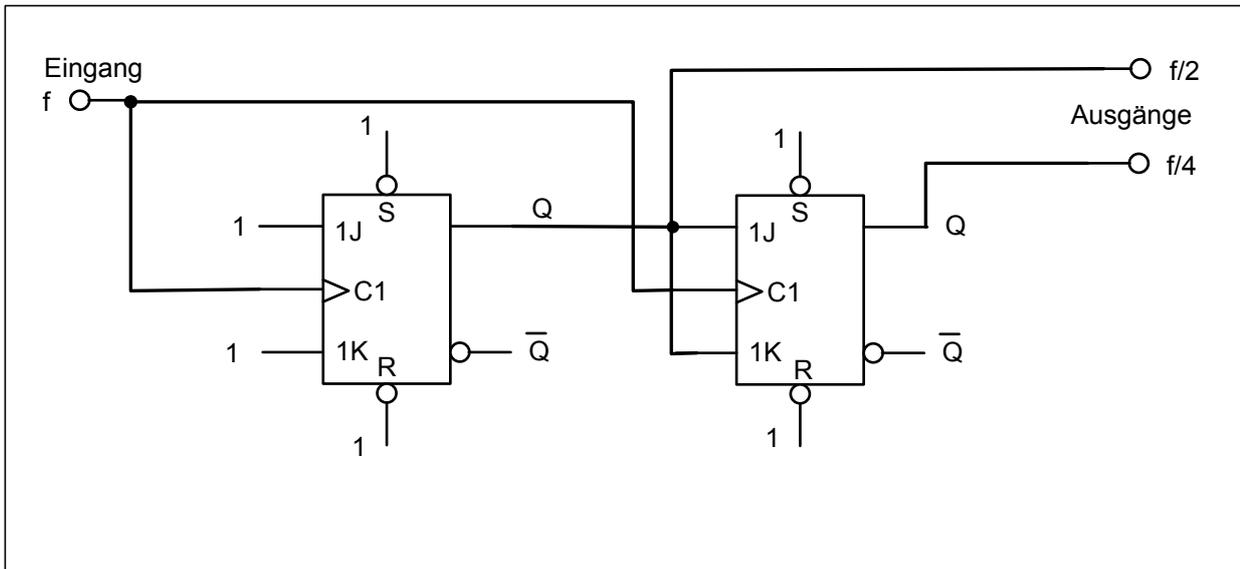
Lösung 32.3



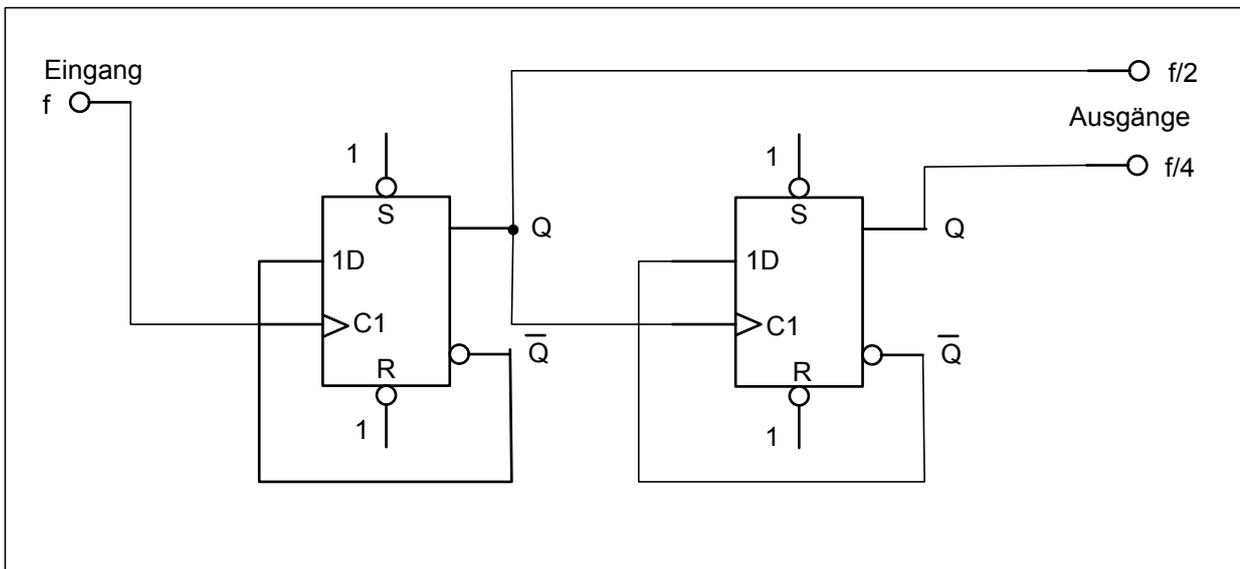
Als Ausgang kann sowohl RCO, Q_D und in diesem Fall auch Q_C verwendet werden.

Lösung Aufgabe 33:

33.1



33.2



Lösung Aufgabe 34:**D/A-Wandlung:**

34.1 Beschreiben Sie das Wägeverfahren !

Das Wesentliche des Wägeverfahrens ist es, mit binär gewichteten Strömen zu arbeiten. Durch ein entsprechend aufgebautes Widerstandsnetzwerk ($R - 2R - 4R - 8R - \dots$) werden die Ströme so eingestellt, dass jedem Bit ein entsprechender Teil des Gesamtstroms "zugewiesen" wird. Am Ausgang werden dann alle Teilströme aufsummiert.

34.2 Welche Vorteile bietet das R-2R Leiternetzwerk?

Das R-2R Leiternetzwerk bietet den Vorteil, dass eine binäre Gewichtung der Teilströme erreicht wird und dabei nur Widerstände mit den Werten R und $2R (= 2 \times 1R)$ hergestellt werden müssen. (Wichtig für die Produktion in großen Stückzahlen)

34.3 Wodurch entstehen die sogenannten "Glitches" bei D/A-Wandlern ?

Die "Schalter" in D/A-Wandlern sind Transfer-Gatter aus Transistoren. Die Eigenschaft von allen Transistoren ist, dass der Einschaltvorgang im allgemeinen etwas schneller abläuft als der Ausschaltvorgang.
 → beim Übergang des binären Eingangssignals von z.B. 001111 auf 010000 entsteht kurzzeitig der Wert 011111, was zu einem kurzen Stromimpuls am Ausgang (Summierpunkt) der Schaltung führt. Diese Impulse nennt man Glitches.

A/D-Wandlung:

34.4 Parallelverfahren:

Vorteile: Sehr schnell, keine Abtast-Halte-Schaltung notwendig, beliebiger binärer Ausgangscode möglich

Nachteile: Nur wenige Bits (derzeit max. 8) Auflösung möglich, da sonst der Herstellungsaufwand zu groß wird. (es werden $2^n - 1$ analoge Komparatoren und ebenso viele Präzisionswiderstände benötigt)

Prioritätsdekoder: Ein Prioritätsdekoder ist aus einfachen Gattern und einer TG-Matrix aufgebaut. Er hat die Aufgabe, aus einer vorgegebenen Anzahl von Eingängen den Höchstwertigen in eine bei der Herstellung frei wählbare binäre Codierung umzusetzen. Alle niederwertigeren Eingänge werden gesperrt.

34.5 Das Verfahren der sukzessiven Approximation arbeitet mit binär gewichteten Schritten, beginnend bei der Hälfte der Referenzspannung, die mit der am Eingang anliegenden Spannung verglichen wird.

Das Ergebnis des Vergleichs ($U_E >$ oder $< U_{ref} / 2$) bewirkt, dass nun entweder $\frac{1}{4}U_{ref}$ zu $U_{ref} / 2$ addiert oder davon subtrahiert wird und ein neuer Vergleich durchgeführt wird. Mit dessen Ergebnis wird genauso verfahren wie im Schritt zuvor, jedoch mit einem $\Delta U = U_{ref} / 8$ usw. Damit liegt das Endergebnis immer nach n Schritten vor (wobei n die Auflösung des Wandlers ist) unabhängig von der Größe der Eingangsspannung.

34.6 Über zwei analoge Komparatoren und einfache logische Verknüpfungen wird die Eingangsspannung mit einer Sägezahnspannung verglichen und dabei ein "Zeitfenster" geöffnet, währenddessen ein Taktsignal einen binären Zähler ansteuert. Abhängig von der Dauer der Fensteröffnung und der Taktfrequenz erhält man einen, der Eingangsspannung proportionalen digitalen Ausgangswert.

Nach jeder Messung muss der Zähler wieder auf der Wert Null zurückgesetzt werden. Wenn positive und negative Eingangsspannungen verarbeitet werden sollen, muss zusätzlich noch ein Vorzeichen ausgegeben werden.

Lösung Aufgabe 35:

35.1

R1	R2	R3	R4	R5	R6	R7	R8	R9	R10	R11	R12	R13	R14	R15	R16
2R	R	2R	R	2R	R	2R	2R								

35.2 $U_A = U_{ref} \frac{n}{2^n}, n_{max} = 2^n - 1, \Rightarrow U_{ref} = U_{Qmax} \frac{2^n}{2^n - 1} = 5,12V$

Lösung Aufgabe 36:

- A/D-Wandler 8 bit, Parallelverfahren $\Rightarrow Z_{max} = 2^8 - 1 = 255$
 Änderung von 0 nach 1 immer, wenn $U_E > n U_{LSB} + 0,5 U_{LSB}$ ist!
 $Z = Z_{max} \cdot U_E / U_{ref} = U_E / U_{LSB}$ mit $U_{LSB} = U_{ref} / Z_{max}$ ($U_{LSB} = 40,0 \text{ mV}$)

	U_E	U_E / U_{LSB}	Z	binäre Darstellung
a)	9,890 V	247,25	247	1111 0111
b)	7,510 V	187,75	188	1011 1100
c)	4,125 V	103,125	103	0110 0111
d)	2,500 V	62,5	62	0011 1110
e)	0,0125 V	0,3125	0	0000 0000

Lösung Aufgabe 37:

37.1 Ein-Rampen-Verfahren

37.2

