

Lösung Aufgabe 18

18.1 Aus der Übergangskennlinie kann abgelesen werden:

$$U_L = 0 V$$

$$U_H = 3,2 V$$

$$U_S = 1,6 V$$

damit wird :

$$\Delta U = U_H - U_L = 3,2 V$$

$$\Delta U_H = U_H - U_S = 1,6 V$$

$$\Delta U_L = U_S - U_L = 1,6 V$$

$$Z_H = \frac{\Delta U_H}{\Delta U} = \frac{1,6 V}{3,2 V} = 0,5 (= 50\%)$$

$$Z_L = \frac{\Delta U_L}{\Delta U} = \frac{1,6 V}{3,2 V} = 0,5 (= 50\%)$$

18.2 Am Ausgang liegt der HIGH-Pegel. Damit ergibt sich folgende Maschengleichung:

$$U_{CC} - R_4 \cdot I - \underbrace{0,3 V}_{(U_{CE})} - \underbrace{0,7 V}_{(U_D)} - R_L \cdot I = 0$$

$$I = \frac{U_{CC} - 0,3 V - 0,7 V}{R_4 + R_L} = \frac{4 V}{2000 \Omega} = 2 mA$$

$$P_V = (U_{CC} - U_H) \cdot I = 1,8 V \cdot 2 mA = 3,6 mW$$

18.3 Fan Out

1. High-Pegel am Ausgang

$$U_{H \min} = 3,5 V = U_{CC} - R_4 \cdot I - 0,3 V - 0,7 V, I_{\max} \text{ berechnen:}$$

$$I_{\max} = \frac{U_{CC} - U_{H \min} - 0,3 V - 0,7 V}{R_4} = \frac{5 V - 3,5 V - 0,3 V - 0,7 V}{400 \Omega} = \frac{0,5 V}{400 \Omega} = 1,25 mA$$

Fan-Out H-Pegel am Ausgang:

$$Fan - Out = \frac{1,25 mA}{40 \mu A} = 31,25 \Rightarrow$$

Es könnten 31 TTL-Eingänge angesteuert werden.

2. Low-Pegel am Ausgang:

$$U_{L \max} = 0,2 V = I_{\max} \cdot R_{CE, \text{ein}} \Rightarrow I_{\max} = \frac{0,2 V}{12,5 \Omega} = 16 mA$$

Fan-Out L-Pegel am Ausgang:

$$Fan - Out = \frac{16 mA}{1,6 mA} = 10 \Rightarrow$$

Fan-Out L < Fan-Out H -> Es können maximal 10 TTL-Eingänge an des Ausgang des Gatters angeschlossen werden.

Lösung Aufgabe 1919.1 U_H, U_L :Wenn der FET sperrt, wird C_L über den Widerstand R aufgeladen. $\Rightarrow U_H = U_{DD} = 5 \text{ V}$ Wenn der FET leitet stellt er einen ohmschen Widerstand von $r_{DS} = 50 \Omega$ dar. \Rightarrow Kondensator liegt an Spannungsteiler R, r_{DS} .

$$U_L = U_{DD} \frac{50 \Omega}{1000 \Omega + 50 \Omega} = 0,24 \text{ V}$$

19.2 Statische Verlustleistung:

$$P|_{U_A=L} = U_{DD} \cdot I = U_{DD} \frac{U_{DD}}{R + r_{DS}} = \frac{25 \text{ V}^2}{1050 \Omega} = 24 \text{ mW}$$

$$P|_{U_A=H} = 0$$

19.3 Dynamische Verlustleistung:

$$P_{dyn} = C_L \cdot (U_H - U_L)^2 \cdot f = 2 \text{ pF} \cdot (4,76 \text{ V})^2 \cdot 10^7 \text{ Hz} = 453 \text{ } \mu\text{W}$$

19.4 Gesamtverlustleistung:

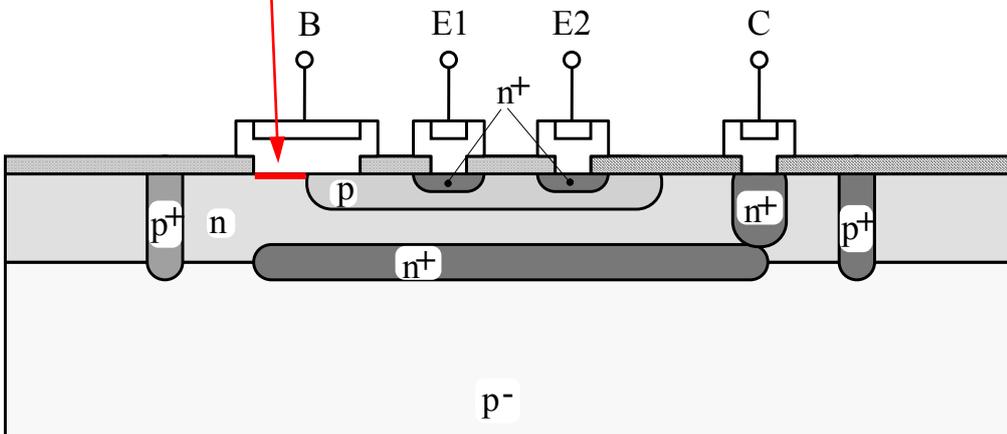
$$P_{ges} = P_{dyn} + r \cdot P_{stat} = 453 \text{ } \mu\text{W} + 0,5 \cdot 24 \text{ mW} = 12,453 \text{ mW}$$

Lösung Aufgabe 20

20.1

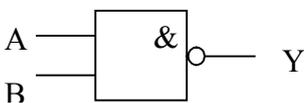
1. Wesentlich kürzere Schaltzeiten durch Vermeidung der Sättigung, wenn der Transistor voll eingeschaltet ist.
2. Kleinere Verlustleistung während der Umschaltvorgänge durch kleinere Spannungshübe und damit auch kleinere Umschaltenergien.
3. Höhere Stromverstärkung der Transistoren, da keine zusätzlichen technologischen Maßnahmen vorgenommen werden müssen, um die Sättigungszeit des Bipolartransistors zu reduzieren. Dies hatte den Einbau zusätzlicher Rekombinationszentren in der Basis und damit eine deutliche Reduzierung der Stromverstärkung zur Folge.
4. Der Schaltungsentwurf wird für den Designer flexibler, da ihm nun neben pn-Dioden und npn-Transistoren auch noch Schottky-Dioden für das Schaltungsdesign zur Verfügung stehen.

20.2 Eine Schottky-Diode entsteht in einer integrierten Schaltung, wenn niedrig dotiertes n-Silizium direkt mit Metall in Kontakt kommt. Dies ist im gezeigten Querschnitt nur in einem kleinen Bereich, an dem der Basisanschluss direkt mit dem Kollektorbereich kontaktiert ist, der Fall.



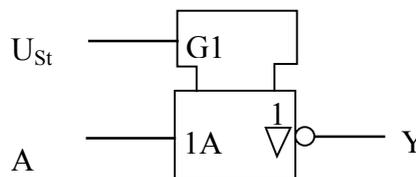
Lösung Aufgabe 21:

links: NAND



A	B	Y
0	0	1
0	1	1
1	0	1
1	1	0

rechts: Tri-State-Inverter



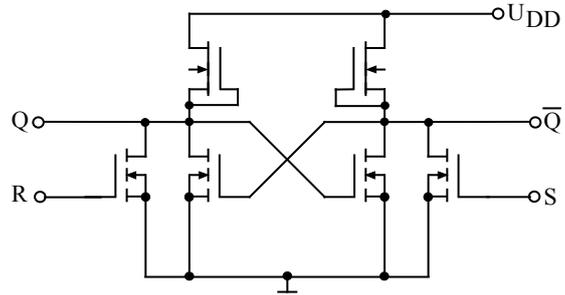
A	U _{St}	Y
x	0	HiZ
1	1	0
0	1	1

Lösung Aufgabe 22:

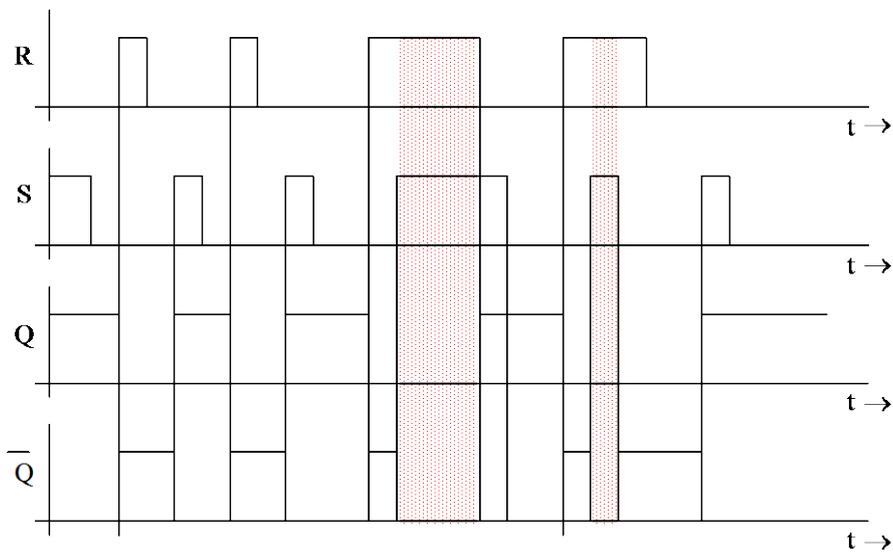
22.1 Wahrheitstabelle

S	R	Q	\bar{Q}
0	0	Q_{-1}	\bar{Q}_{-1}
0	1	0	1
1	0	1	0

22.2 Schaltung mit Transistoren



22.3 Signalverlauf



Farblich unterlegt sind die Bereiche, in denen die Eingangszustände $R=S=1$ zu den logisch unsinnigen Ausgangszuständen "0" "0" führen.

Lösung Aufgabe 23:

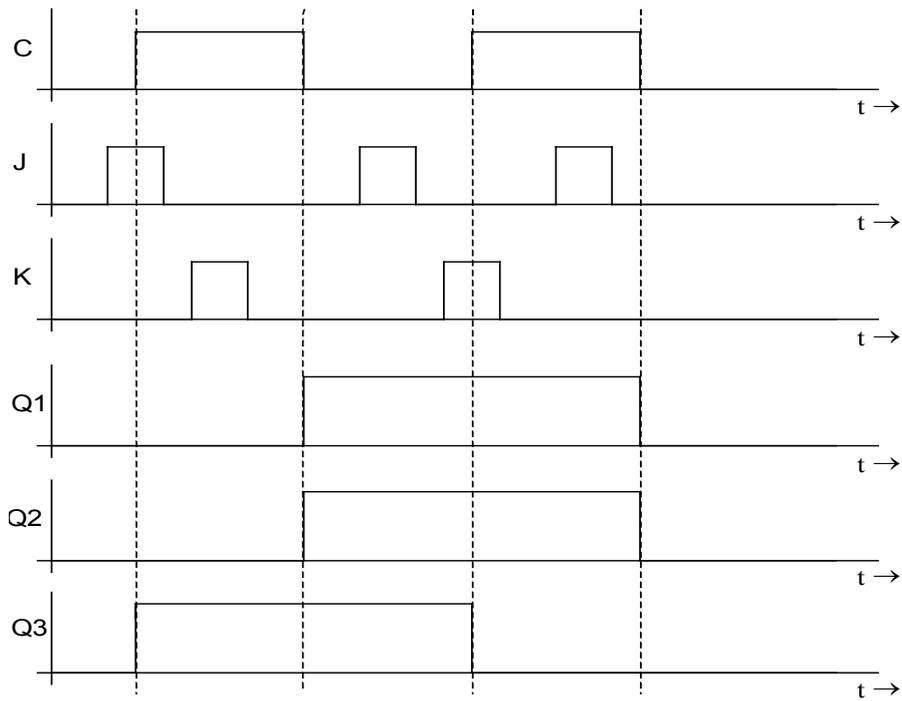
3 Arten von JK-Flipflops:

FF1: Taktzustandsgesteuert

FF2: Zweiflankengesteuert

FF3: Einflankengesteuert (ansteigende Taktflanke)

Signalverläufe:



Lösung Aufgabe 24:

	Zählrichtung	Synchron/ asynchron	Zählcode
a)	vorwärts	asynchron	binär
b)	rückwärts	asynchron	binär
c)	rückwärts	asynchron	binär
d)	vorwärts	asynchron	binär
e)	vorwärts	synchron	BCD
f)	vorwärts	asynchron	BCD
g)	vorwärts	synchron	binär
h)	rückwärts	synchron	binär

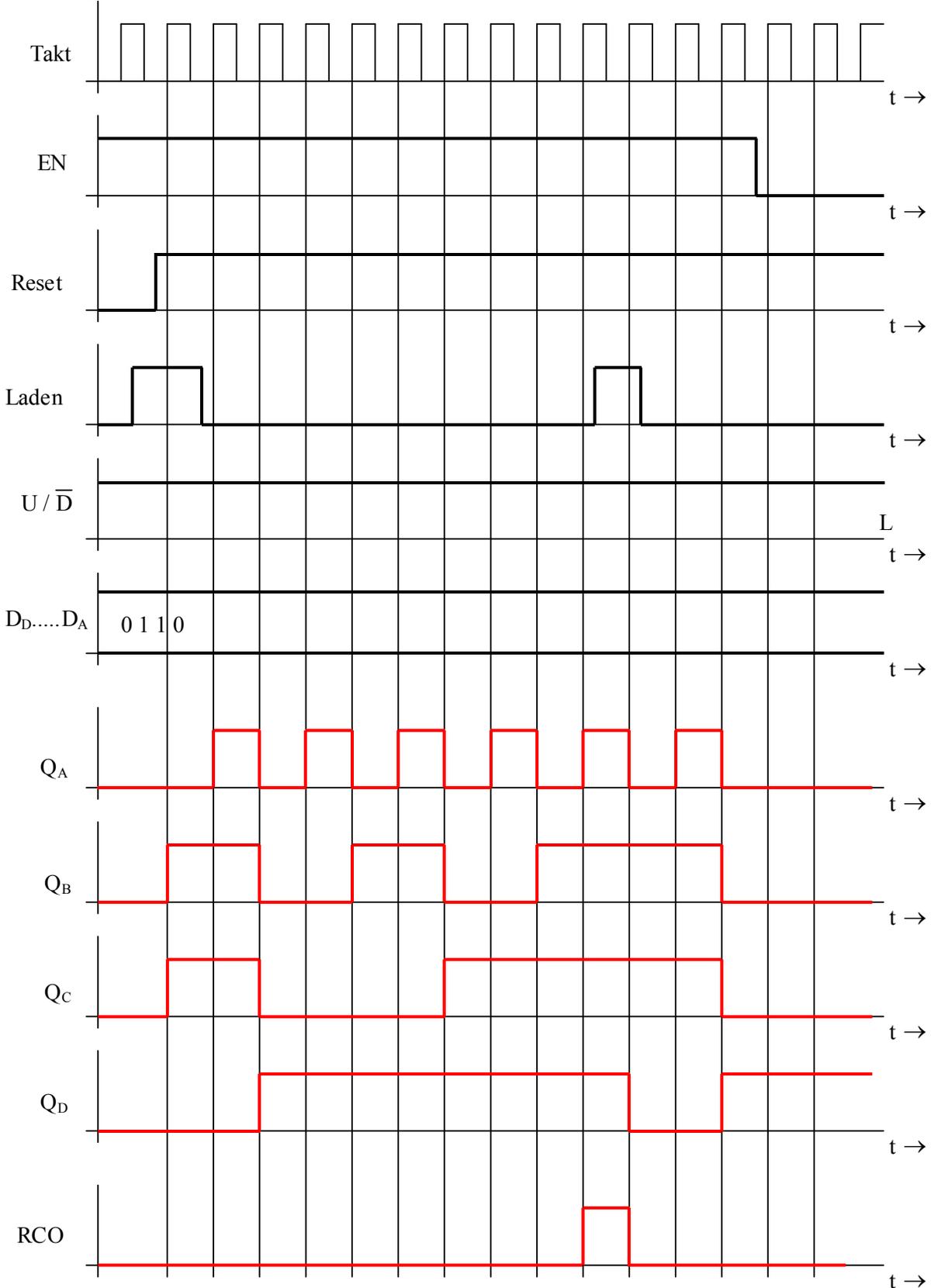
Lösung Aufgabe 25:

Synchroner binärer Vorwärts/Rückwärtszähler mit setzbaren Eingängen

Aus Signalverlauf ist zu entnehmen:

Wenn **EN**(able)=1, Zähler ist "freigegeben". **Reset** = 0: alle Ausgänge = 0. **Laden** = 1: mit der nächsten ansteigenden Taktflanke werden die an den D-Eingängen der Zählerstufen anliegenden Werte übernommen. U/\bar{D} gibt an, ob vorwärts (1) oder rückwärts (0) gezählt wird.

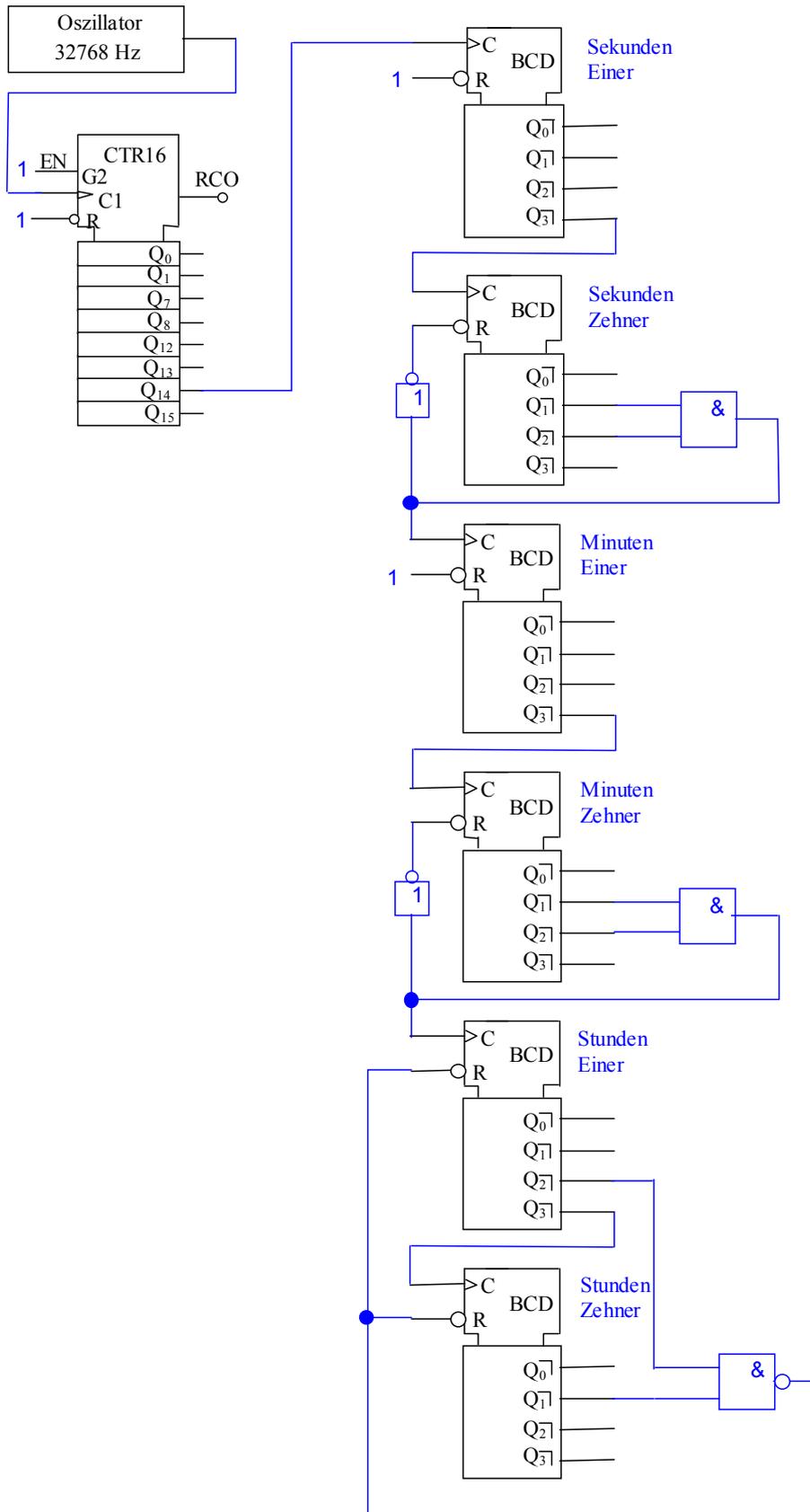
Damit ergibt sich folgender Signalverlauf:



Lösung Aufgabe 26:

! $2^{14} = 16384$, aber wenn $f = 32768 \text{ Hz}$ ist, dann ist $f(Q_0) = 16384 \text{ Hz}$, $f(Q_1) = 8192 \text{ Hz}$, $f(Q_2) = 4096 \text{ Hz}$, , $f(Q_{13}) = 2 \text{ Hz}$ und $f(Q_{14}) = 1 \text{ Hz}$!

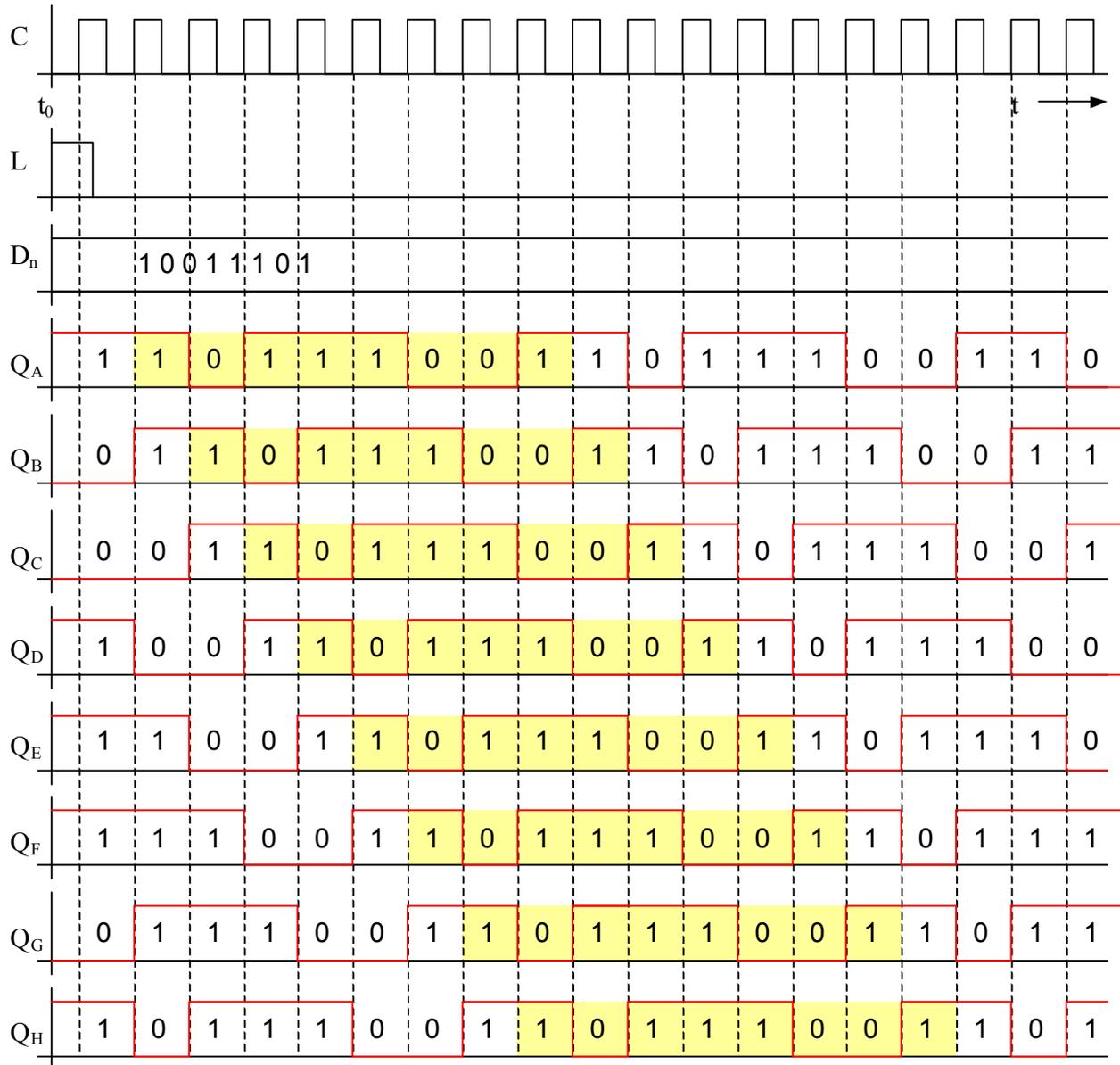
Die BCD-Zähler sind nach Skript S 193, Bild 9.23 mit einem zusätzlichen Reset-Eingang aufgebaut ebenso ist dort das entsprechende Impulsdiagramm gezeigt. Daraus ergibt sich die folgende Lösung:



Lösung Aufgabe 27:

27.1 Ringschieberegister

27.2 Mit L=1 werden die an D0 .D7 anliegenden Daten in das Ringregister übernommen. Solange L=1 bleibt, kann noch nicht geschoben werden, da S und R die Funktion der FFs bestimmen. Erst wenn L=0 ist, kann mit der nächsten ansteigenden Taktflanke der Schiebepvorgang eingeleitet werden.

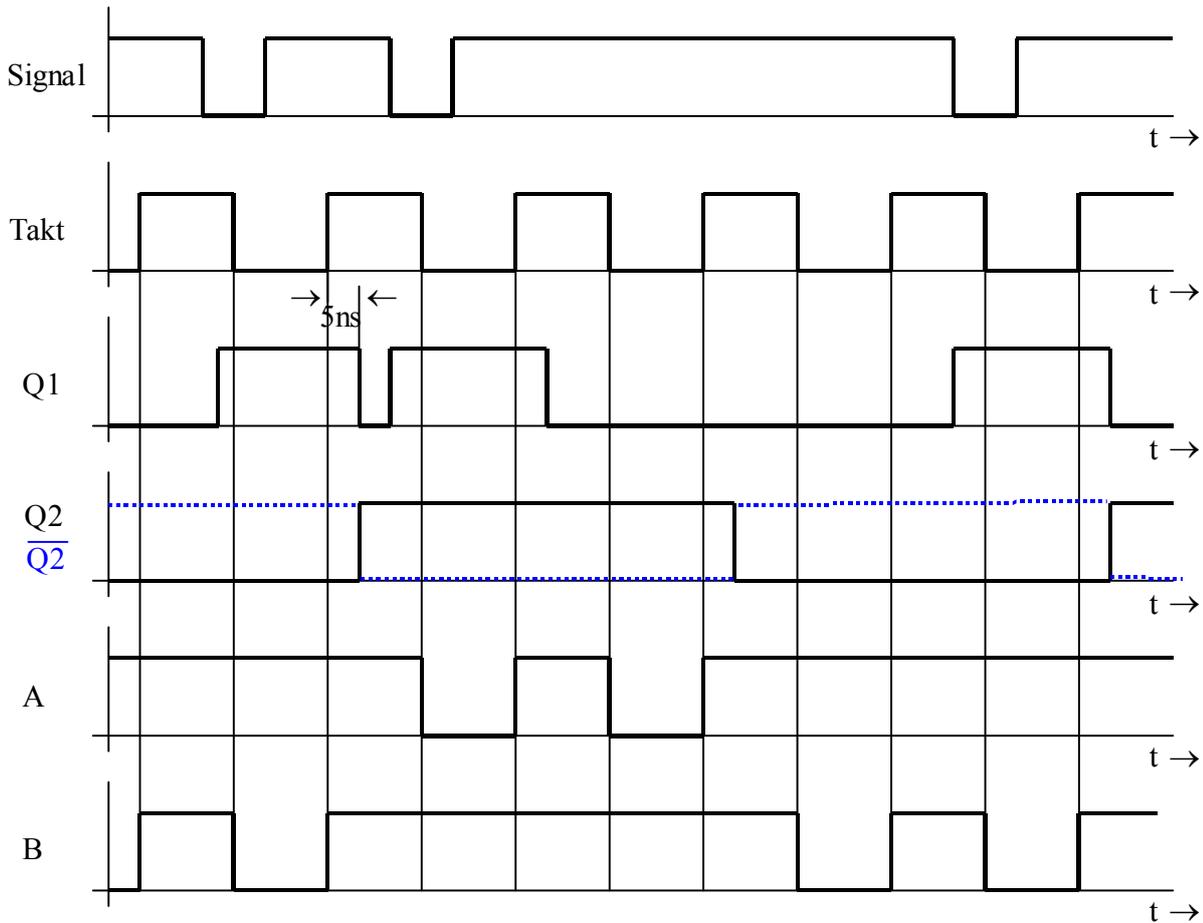


Lösung Aufgabe 28:

Die Schaltung nutzt die verschiedenen Eigenschaften eines einflankengesteuerten D-FF mit einem zusätzlichen **nicht durch den Takt gesteuerten** $\overline{R} \overline{S}$ Flipflop aus.

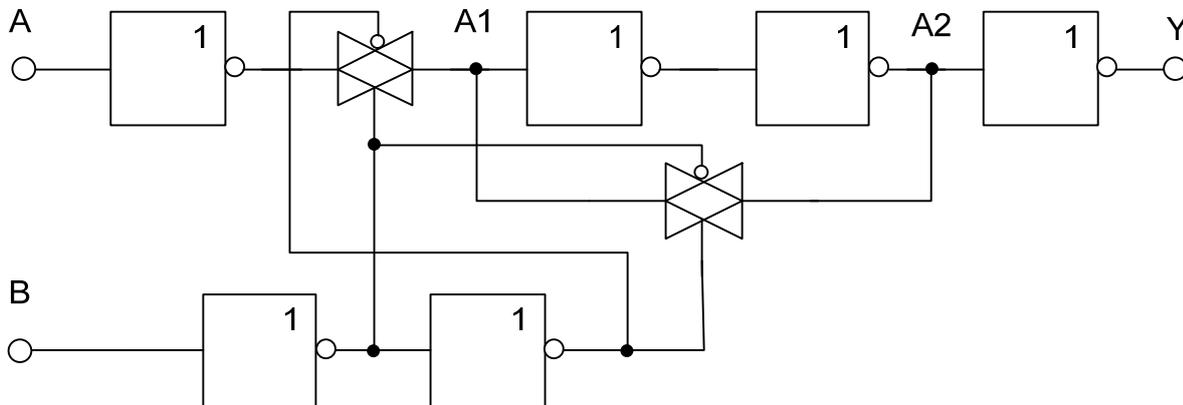
Wird das Eingangssignal kurzzeitig "0", wird das erste FF (sofort nach der angegebenen Gatterlaufzeit von 5 ns) am Ausgang Q1 = "1". Mit der nächsten Taktflanke wird diese "1" in das zweite D-FF übernommen, aber gleichzeitig der Ausgang des 1. FF wieder zu "0", da der D-Eingang auf "0" liegt. Auch beim 2. FF wird das Ausgangssignal erst 5 ns nach der Taktflanke auftreten.

Durch die Verknüpfung der Ausgänge des 2. FF mit dem invertierten Takt sind die Signale A und B wie im folgenden Signalverlauf dargestellt.



Lösung Aufgabe 29:

29.1 Ersatzschaltbild der Schaltung aus logischen Elementen mit den genormten Symbolen nach DIN 40900 !

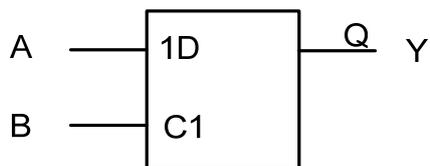


29.2 Wahrheitstabelle für die Schaltung nach Bild 29.1!

B	A	A1	A2	Y
0	0	1	1	0
0	1	0	0	1
1	0	A2 ₋₁	A2 ₋₁	Y ₋₁
1	1	A2 ₋₁	A2 ₋₁	Y ₋₁

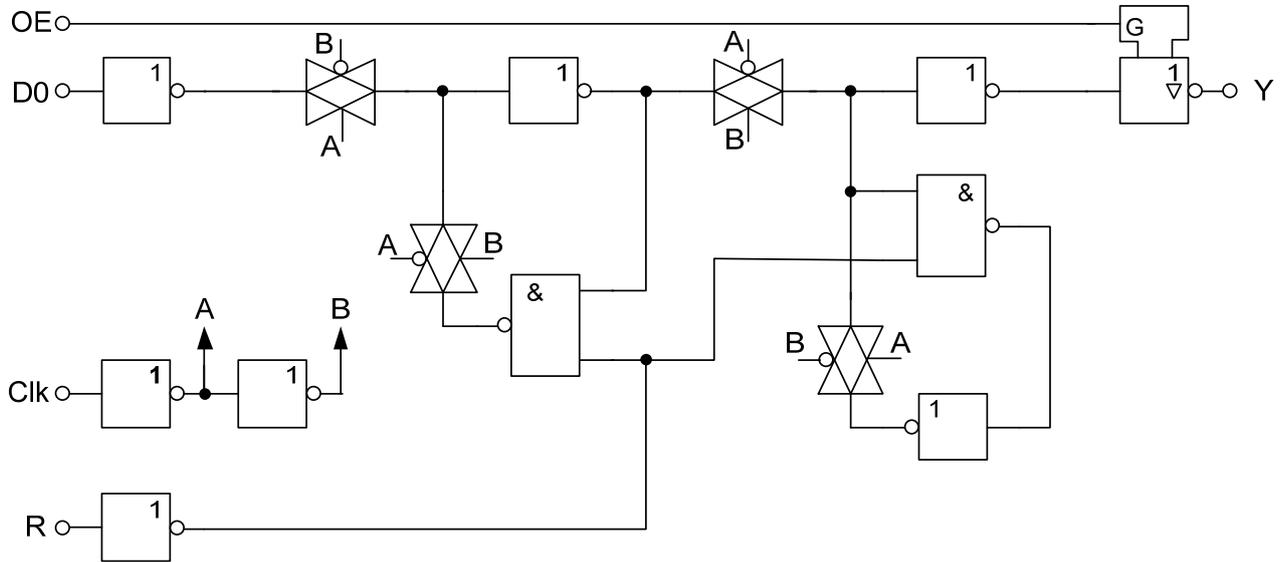
29.3 Taktzustandsgesteuertes D-Flipflop (Transparentes Latch)

29.4



Lösung Aufgabe 30:

30.1 Die Schaltung besteht aus Invertern, NAND-Gattern, Transferelementen und einem Tri-State Inverter. Damit erhält man das folgende Schaltbild:



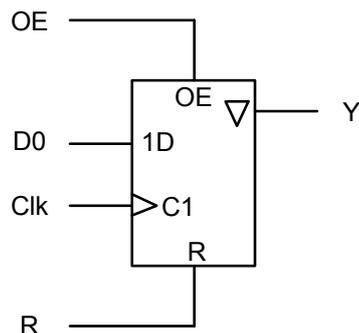
30.2 Wahrheitstabelle! (Bezeichnungen: 1, 0, HiZ, X)

OE	R	Clk	D0	Y
0	X	X	X	HiZ
1	1	X	X	0
1	0	0,1	X	D ₋₁
1	0	↑	0	0
1	0	↑	1	1

30.3 Funktion der Schaltung

Einflankengesteuertes D-Flipflop mit Reset-Eingang und Tristate Ausgang

30.4 Logisches Symbol



Lösung Aufgabe 31:

31.1

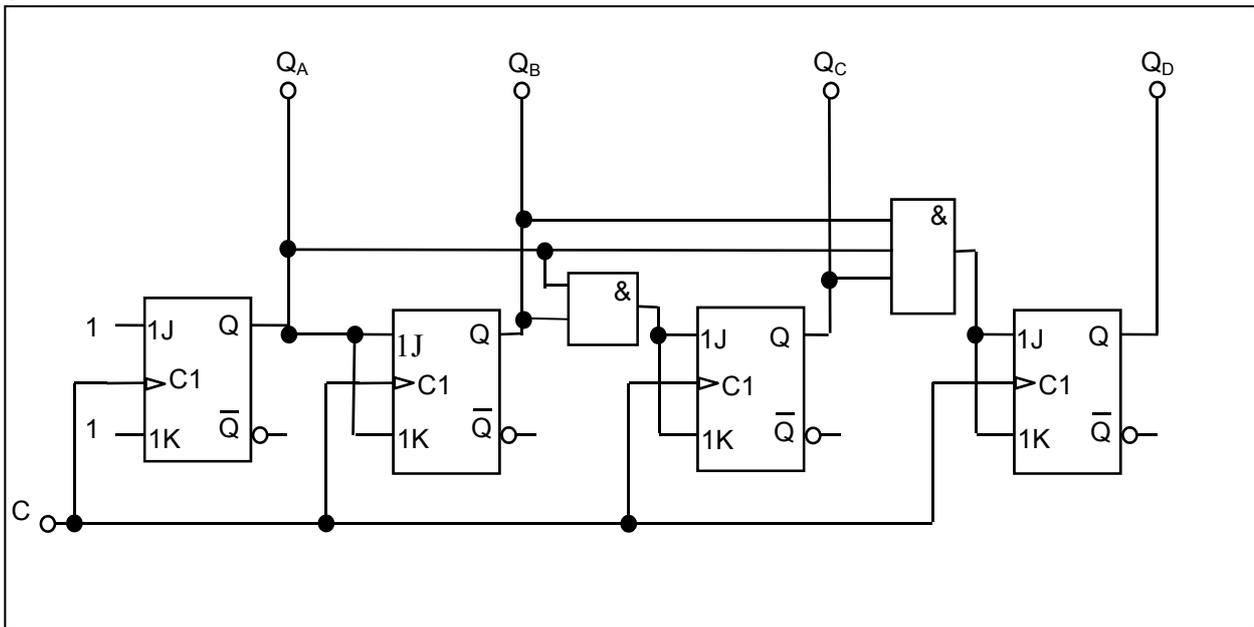


Bild 31.1

31.2

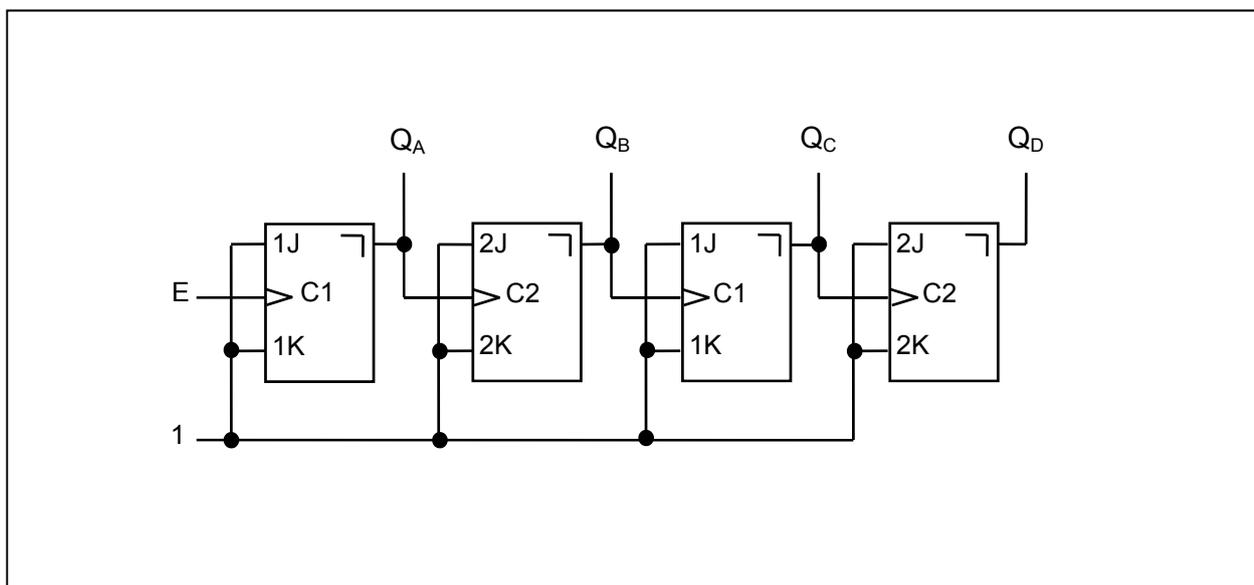


Bild 31.2

Lösung Aufgabe 32:

Gegeben ist eine Schaltung nach Bild 32.1.

Die Schaltung ist ein programmierbarer synchroner Vorwärts- Rückwärtszähler mit Übertrag und einem taktunabhängigem Reset-Eingang. Wenn man an die D-Eingänge den Wert 11 (elf) anlegt, den Zähler auf Rückwärtszählen setzt und den RCO-Ausgang mit dem L-Eingang verbindet hat man die Grundfunktion erreicht.

Die beiden RS-Flip-Flops dienen zum einwandfreien starten des Vorgangs. Das rechte FF hat eine RC-Reihenschaltung an einem Eingang der als Power-On-Reset arbeitet. Das linke FF entprellt den Taster S. Nach dem Einschalten der Versorgungsspannung ist A=1 und B = 0. Durch Betätigen des Tasters wird A kurzzeitig zu 0. Dies kann als Reset für alle FF verwendet werden. Damit wird RCO = 1. Ist RCO mit L verbunden, wird der Wert an den D-Eingängen in die FF übernommen und RCO wird 0. Wenn der Zähler auf 0 zurückgezählt hat, wird RCO = L = 1 und der Vorgang beginnt von neuem. Als Ausgang kann RCO, Q_C oder Q_D verwendet werden.

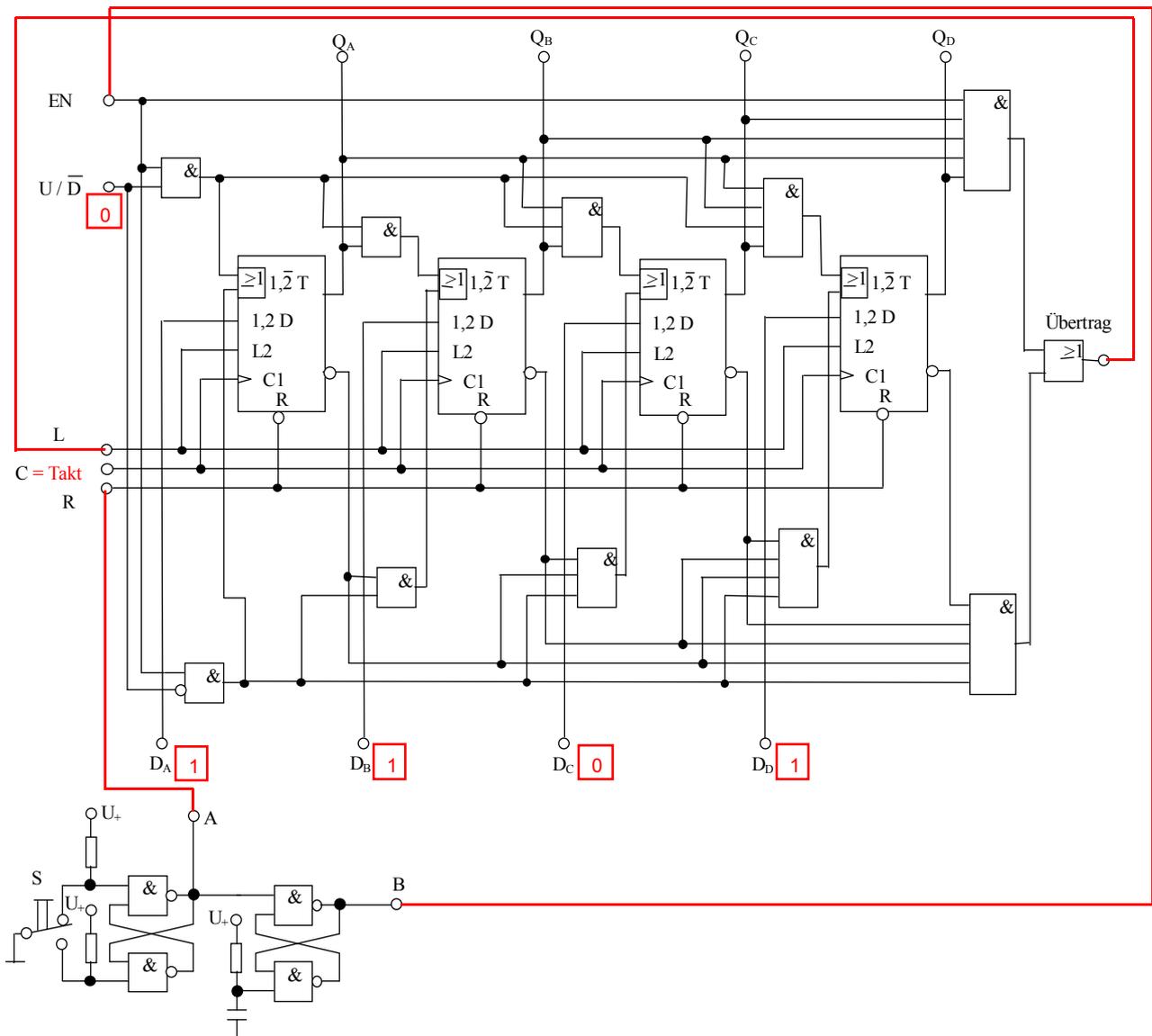
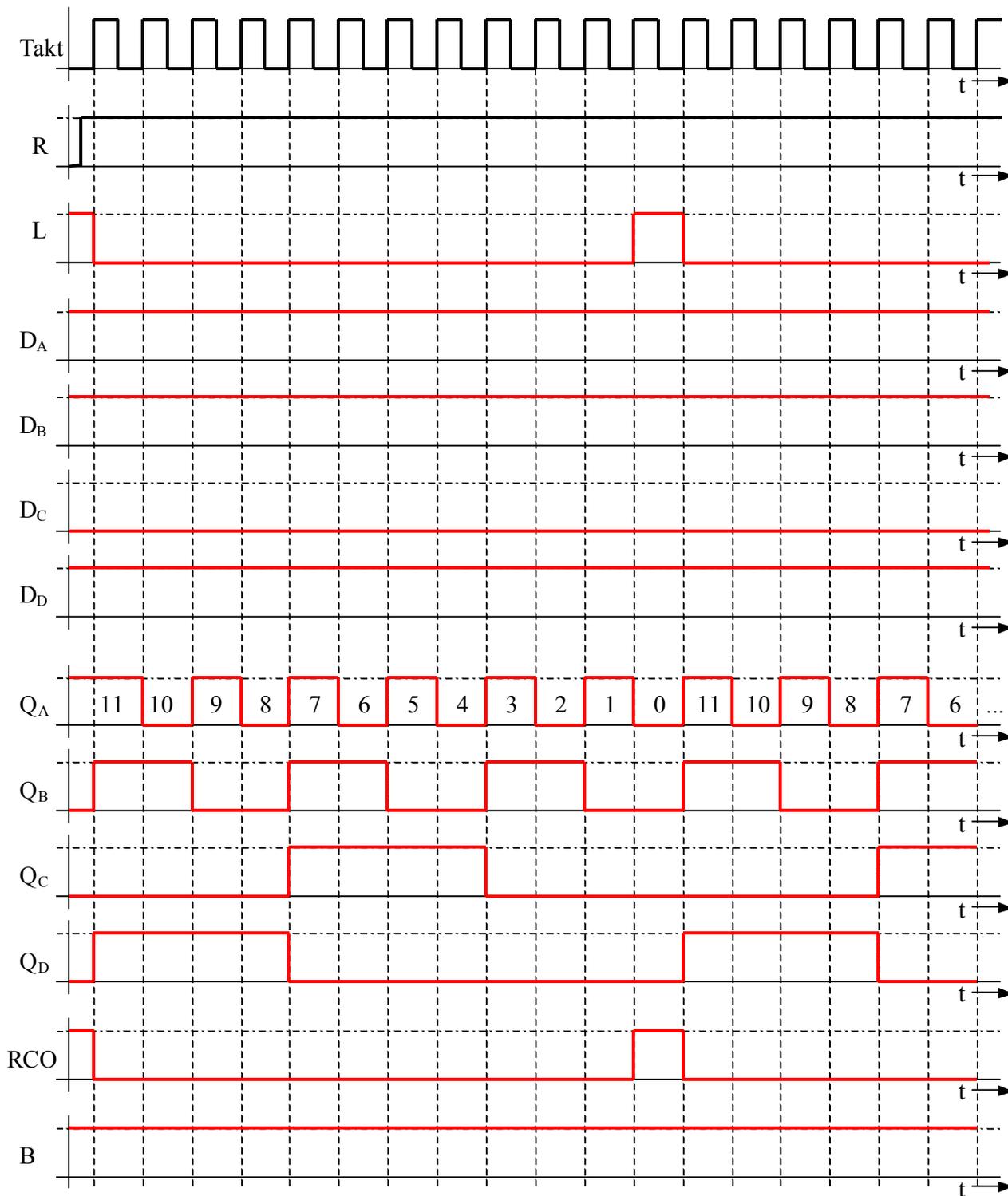


Bild 32.1

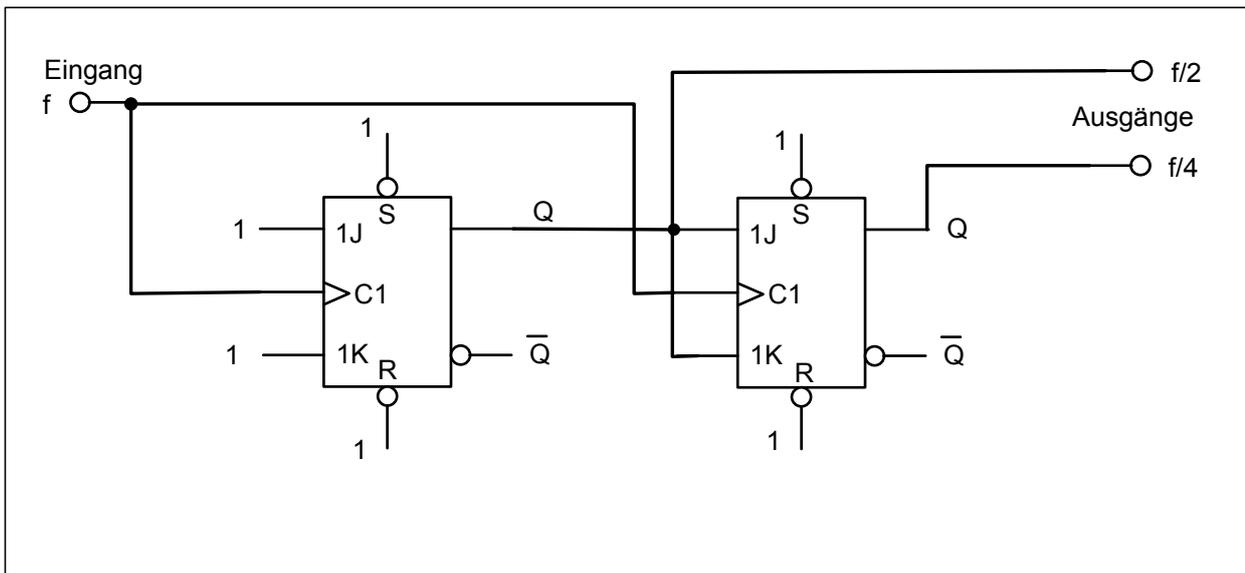
Lösung 32.3



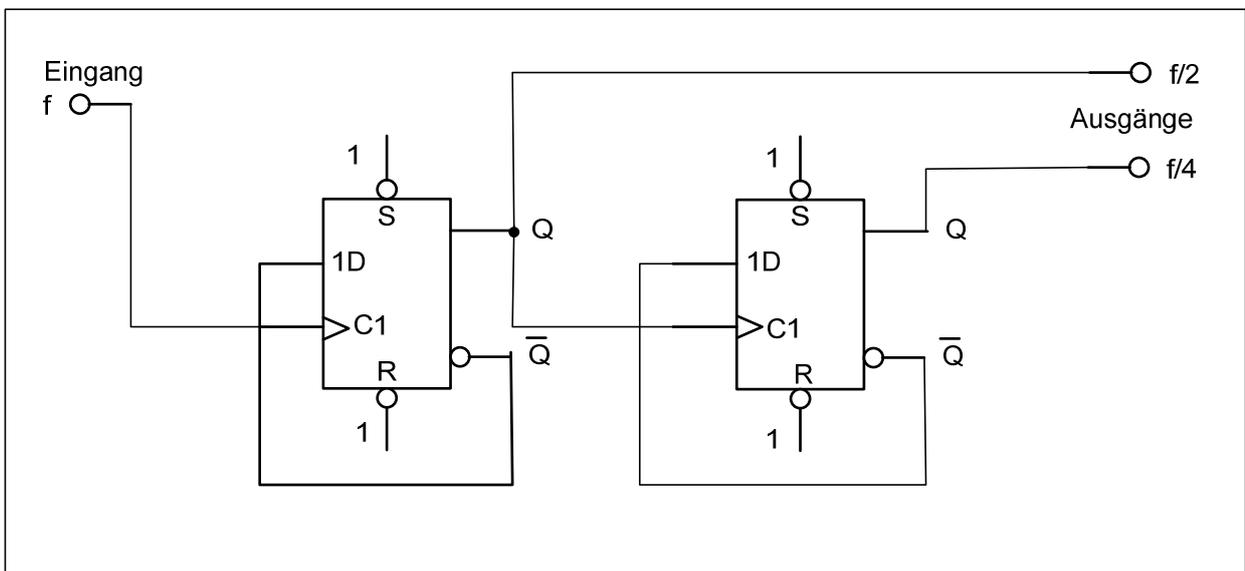
Als Ausgang kann sowohl RCO, Q_D und in diesem Fall auch Q_C verwendet werden.

Lösung Aufgabe 33:

33.1



33.2



Lösung Aufgabe 34:**D/A-Wandlung:**

34.1 Beschreiben Sie das Wägeverfahren !

Das Wesentliche des Wägeverfahrens ist es, mit binär gewichteten Strömen zu arbeiten. Durch ein entsprechend aufgebautes Widerstandsnetzwerk ($R - 2R - 4R - 8R - \dots$) werden die Ströme so eingestellt, dass jedem Bit ein entsprechender Teil des Gesamtstroms "zugewiesen" wird. Am Ausgang werden dann alle Teilströme aufsummiert.

34.2 Welche Vorteile bietet das R-2R Leiternetzwerk?

Das R-2R Leiternetzwerk bietet den Vorteil, dass eine binäre Gewichtung der Teilströme erreicht wird und dabei nur Widerstände mit den Werten R und $2R (= 2 \times 1R)$ hergestellt werden müssen. (Wichtig für die Produktion in großen Stückzahlen)

34.3 Wodurch entstehen die sogenannten "Glitches" bei D/A-Wandlern ?

Die "Schalter" in D/A-Wandlern sind Transfer-Gatter aus Transistoren. Die Eigenschaft von allen Transistoren ist, dass der Einschaltvorgang im allgemeinen etwas schneller abläuft als der Ausschaltvorgang.
→ beim Übergang des binären Eingangssignals von z.B. 001111 auf 010000 entsteht kurzzeitig der Wert 011111, was zu einem kurzen Stromimpuls am Ausgang (Summierpunkt) der Schaltung führt. Diese Impulse nennt man Glitches.

A/D-Wandlung:

34.4 Parallelverfahren:

Vorteile: Sehr schnell, keine Abtast-Halte-Schaltung notwendig, beliebiger binärer Ausgangscode möglich

Nachteile: Nur wenige Bits (derzeit max. 8) Auflösung möglich, da sonst der Herstellungsaufwand zu groß wird. (es werden $2^n - 1$ analoge Komparatoren und ebenso viele Präzisionswiderstände benötigt)

Prioritätsdekoder: Ein Prioritätsdekoder ist aus einfachen Gattern und einer TG-Matrix aufgebaut. Er hat die Aufgabe, aus einer vorgegebenen Anzahl von Eingängen den Höchstwertigen in eine bei der Herstellung frei wählbare binäre Codierung umzusetzen. Alle niederwertigeren Eingänge werden gesperrt.

34.5 Das Verfahren der sukzessiven Approximation arbeitet mit binär gewichteten Schritten, beginnend bei der Hälfte der Referenzspannung, die mit der am Eingang anliegenden Spannung verglichen wird.

Das Ergebnis des Vergleichs ($U_E >$ oder $< U_{ref} / 2$) bewirkt, dass nun entweder $\frac{1}{4}U_{ref}$ zu $U_{ref} / 2$ addiert oder davon subtrahiert wird und ein neuer Vergleich durchgeführt wird. Mit dessen Ergebnis wird genauso verfahren wie im Schritt zuvor, jedoch mit einem $\Delta U = U_{ref} / 8$ usw. Damit liegt das Endergebnis immer nach n Schritten vor (wobei n die Auflösung des Wandlers ist) unabhängig von der Größe der Eingangsspannung.

34.6 Über zwei analoge Komparatoren und einfache logische Verknüpfungen wird die Eingangsspannung mit einer Sägezahnspannung verglichen und dabei ein "Zeitfenster" geöffnet, währenddessen ein Taktsignal einen binären Zähler ansteuert. Abhängig von der Dauer der Fensteröffnung und der Taktfrequenz erhält man einen, der Eingangsspannung proportionalen digitalen Ausgangswert.

Nach jeder Messung muss der Zähler wieder auf der Wert Null zurückgesetzt werden. Wenn positive und negative Eingangsspannungen verarbeitet werden sollen, muss zusätzlich noch ein Vorzeichen ausgegeben werden.

Lösung Aufgabe 35:

35.1

R1	R2	R3	R4	R5	R6	R7	R8	R9	R10	R11	R12	R13	R14	R15	R16
2R	R	2R	R	2R	R	2R	2R								

35.2 $U_A = U_{ref} \frac{n}{2^n}, n_{max} = 2^n - 1, \Rightarrow U_{ref} = U_{Qmax} \frac{2^n}{2^n - 1} = 5,12V$

Lösung Aufgabe 36:

- A/D-Wandler 8 bit, Parallelverfahren $\Rightarrow Z_{max} = 2^8 - 1 = 255$
 Änderung von 0 nach 1 immer, wenn $U_E > n U_{LSB} + 0,5 U_{LSB}$ ist!
 $Z = Z_{max} \cdot U_E / U_{ref} = U_E / U_{LSB}$ mit $U_{LSB} = U_{ref} / Z_{max}$ ($U_{LSB} = 40,0 \text{ mV}$)

	U_E	U_E / U_{LSB}	Z	binäre Darstellung
a)	9,890 V	247,25	247	1111 0111
b)	7,510 V	187,75	188	1011 1100
c)	4,125 V	103,125	103	0110 0111
d)	2,500 V	62,5	62	0011 1110
e)	0,0125 V	0,3125	0	0000 0000

Lösung Aufgabe 37:

37.1 Ein-Rampen-Verfahren

37.2

