

In den restlichen Übungen werde ich abhängig vom Stoff, der in den Vorlesungen behandelt wird, die grundlegenden zugehörigen Aufgaben durchführen.

Die restlichen Aufgaben habe ich auf Wunsch, nach mehr Übungsaufgaben, noch hinzugefügt.

Aufgabe 18

Eine TTL-Schaltung nach Bild 18.1 a) hat eine Übertragungskennlinie nach Bild 18.1 b).

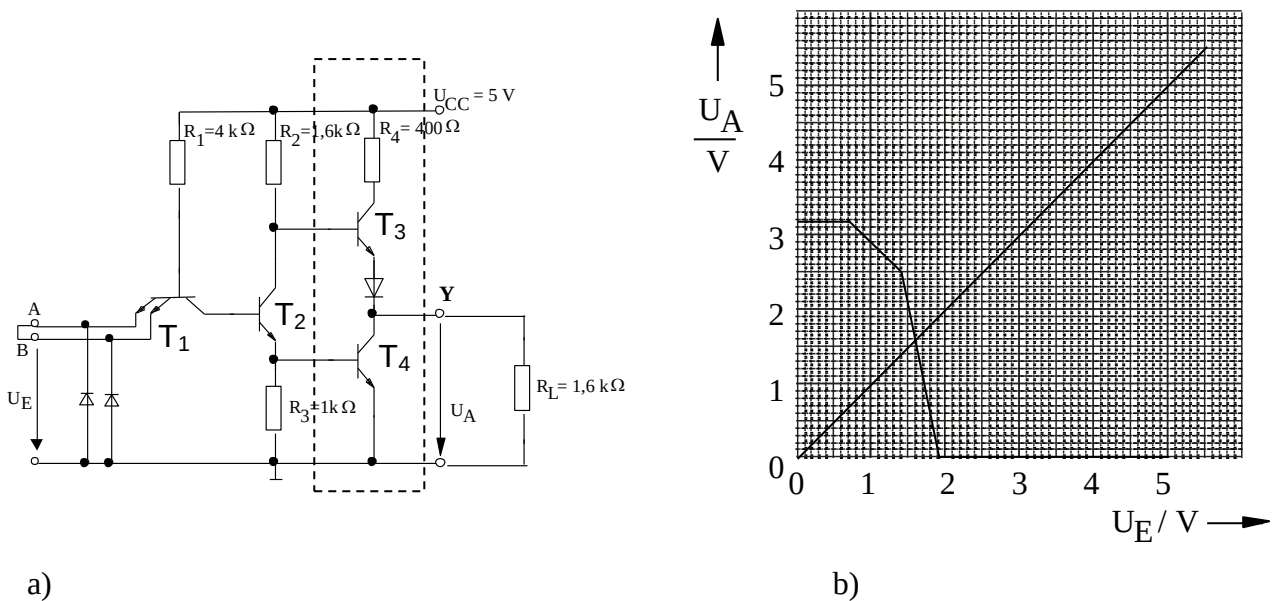


Bild 18.1

18.1 Ermitteln Sie aus Bild 18.1 b) folgende Daten:

U_L , U_H , ΔU , ΔU_H , ΔU_L und die relativen Einzelstörabstände Z_H und Z_L !

18.2 Berechnen Sie die statische Verlustleistung in der gestrichelt umrandeten Ausgangsstufe der Schaltung nach Bild 18.1 a), wenn am Ausgang der H-Pegel anliegt, und die Kollektor-Emitter-Restspannung des eingeschalteten Transistors T_3 0,3 V beträgt !

18.3 Der Widerstand R_L wird entfernt.

An den Ausgang der Schaltung sollen möglichst viele Eingänge von weiteren TTL-Schaltungen angeschlossen werden.

Für einen einzelnen TTL-Eingang gelten folgende Eingangsströme:

$U_E = H$: $I_E = 40 \mu\text{A}$ und $U_E = L$: $I_E = 1,6 \text{ mA}$.

Wie viele TTL-Eingänge können an den Ausgang des Gatters maximal angeschlossen werden, wenn folgende Randbedingungen für die Ausgangsspannung eingehalten werden sollen:

High-Pegel: $U_{A,\min} = 3,5 \text{ V}$, Low-Pegel: $U_{A,\max} = 0,2 \text{ V}$, wenn der Kollektor-Emitter-Widerstand des eingeschalteten Transistors T_4 $R_{CE} = 12,5 \Omega$ und die Kollektor-Emitter-Restspannung des eingeschalteten Transistors T_3 0,3 V beträgt?

Aufgabe 19

Ein Inverter nach Bild 19 besteht aus einem n-Kanal FET und einem Lastwiderstand $R = 1 \text{ k}\Omega$. Am Ausgang ist eine Lastkapazität $C_L = 2 \text{ pF}$ angeschlossen. Im eingeschalteten Zustand beträgt der Drain-Source Widerstand des FET $r_{DSon} = 50 \text{ }\Omega$. Die Betriebsspannung der Schaltung ist $U_{DD} = 5 \text{ V}$. Die Pegel der Eingangsspannung betragen 0 V und 5 V .

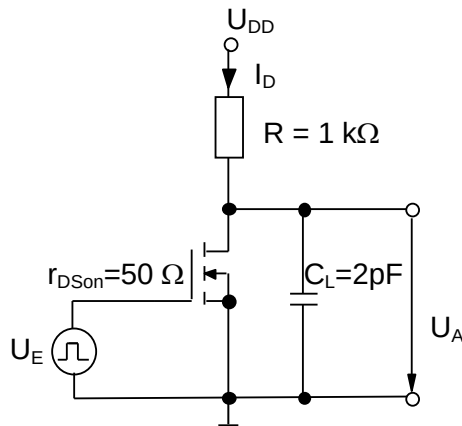


Bild 19

- 19.1 Bestimmen Sie die Spannungswerte der logischen Pegel H und L !
- 19.2 Bestimmen Sie die statische Verlustleistung der Schaltung nach Bild 19!
- 19.3 Bestimmen Sie die dynamische Verlustleistung der Schaltung nach Bild 19 wenn die Taktfrequenz des Eingangssignals 10 MHz beträgt!
- 19.4 Bestimmen Sie die gesamte Verlustleistung der Schaltung bei der Frequenz nach 19.3, wenn das Tastverhältnis des Eingangssignals $r = 0,5$ ist!

Aufgabe 21:

Bild 21 zeigt zwei logische Grundsaltungen in CMOS-Technik.

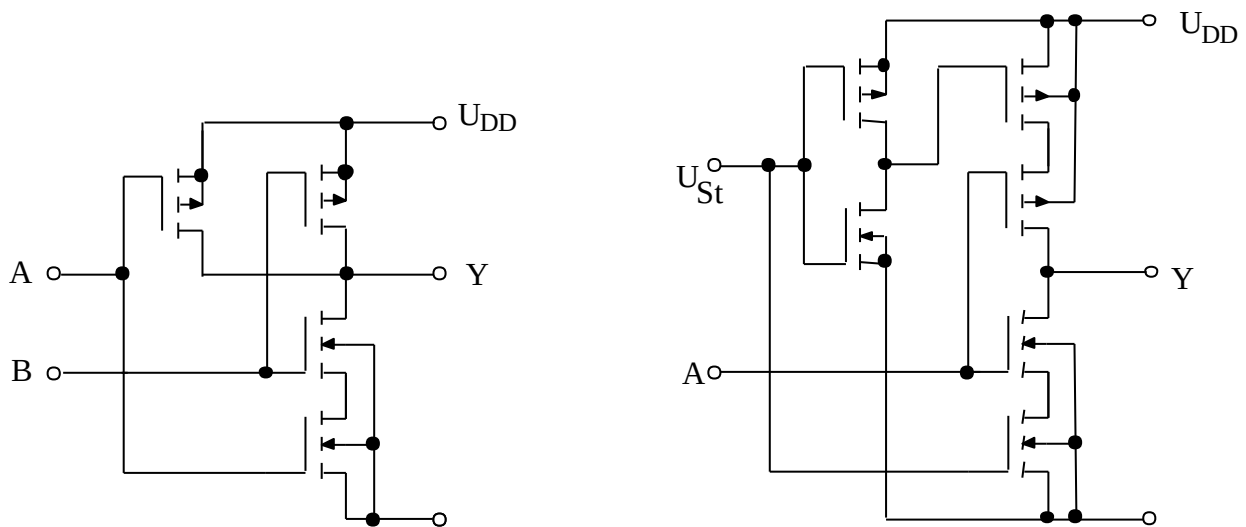


Bild 21

21.1 Skizzieren Sie die zugehörigen logischen Schaltzeichen!

21.2 Geben Sie die Wahrheitstabellen der Schaltungen an. Verwenden Sie dabei folgende Bezeichnungen: Low-Pegel: 0, High-Pegel: 1 und hochohmiger Zustand am Ausgang: HiZ

Aufgabe 22:

Bild 22.1 zeigt ein RS-Flipflop aus NOR-Gattern.

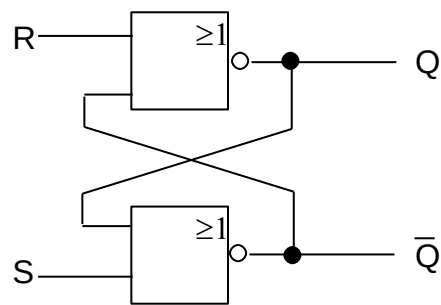


Bild 22.1

- 22.1 Geben Sie die Wahrheitstabelle für dieses Flipflop an!
- 22.2 Skizzieren Sie die Schaltung des Flipflops mit n-Kanal Transistoren und mit FET's vom Verarmungstyp als Last!
- 22.3 An die Eingänge R und S werden Signale nach Bild 22.2 angelegt. Skizzieren Sie das daraus resultierenden Ausgangssignale Q und $\bar{Q}$!

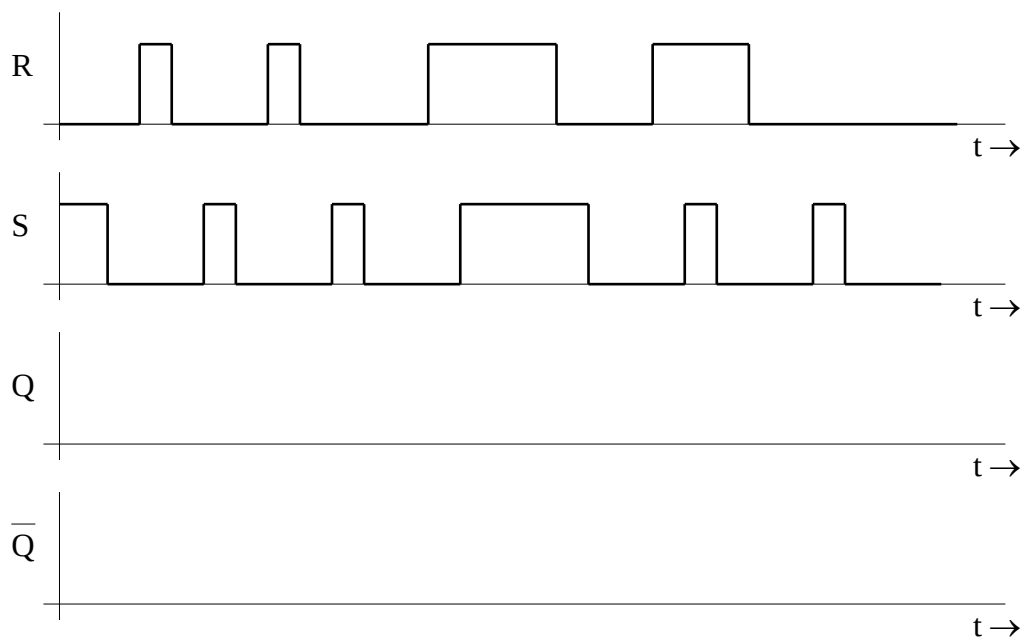


Bild 22.2

Aufgabe 23:

Bild 23.1 zeigt drei Normschaltzeichen von JK-Flip-Flops.

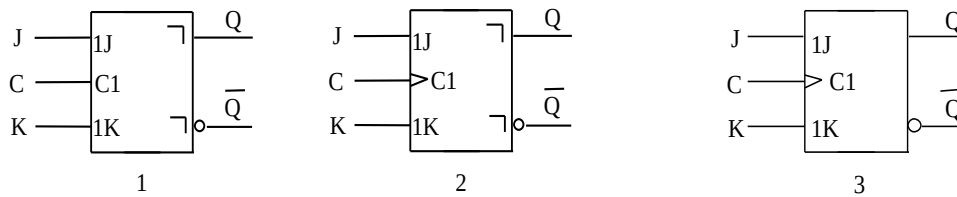


Bild 23.1

An die Eingänge C, J und K werden jeweils die in Bild 23.2 gezeichneten Signale angelegt.

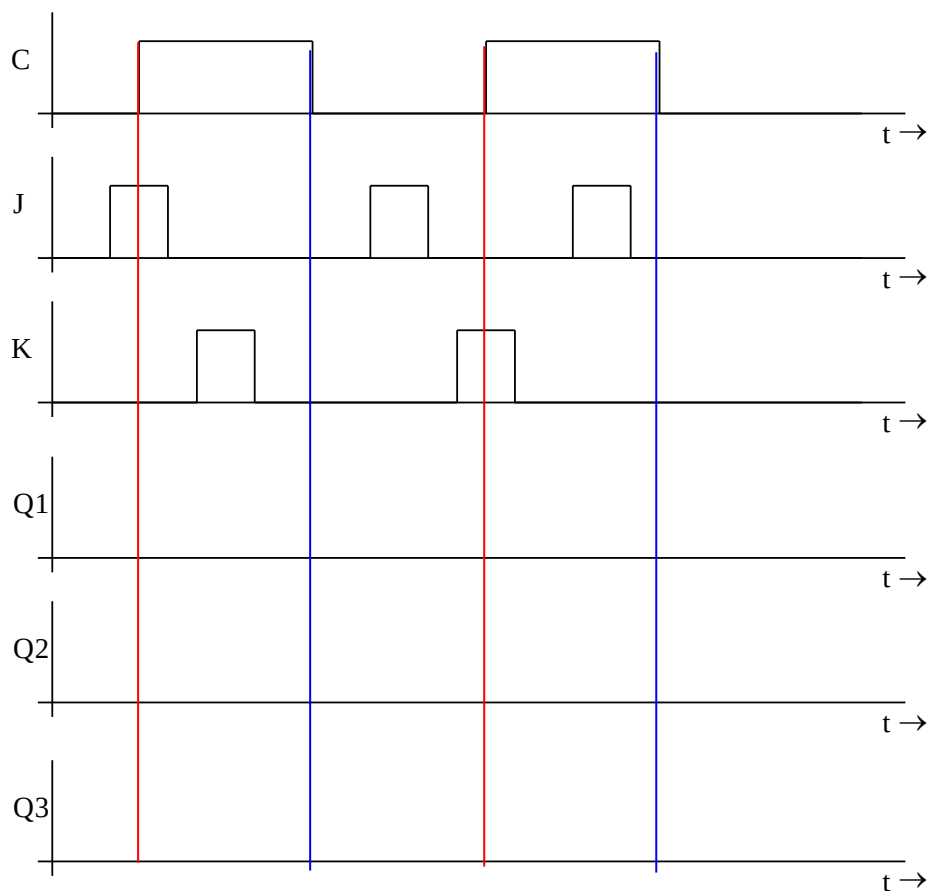


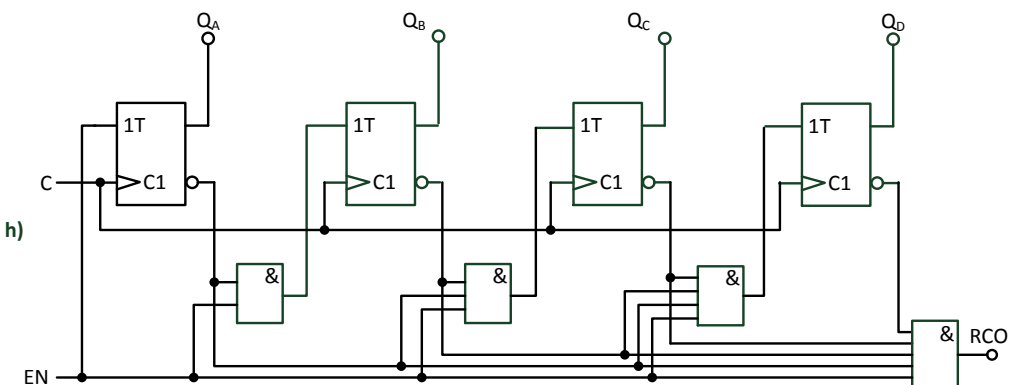
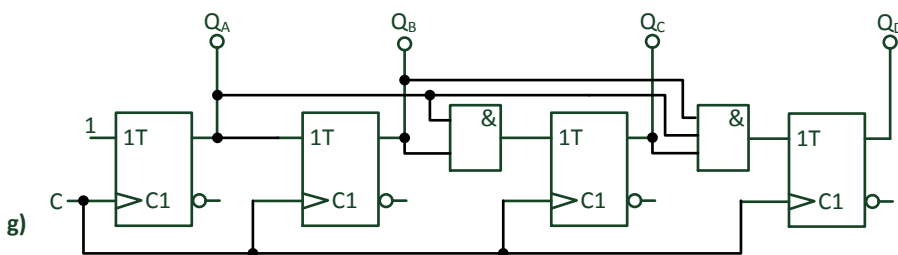
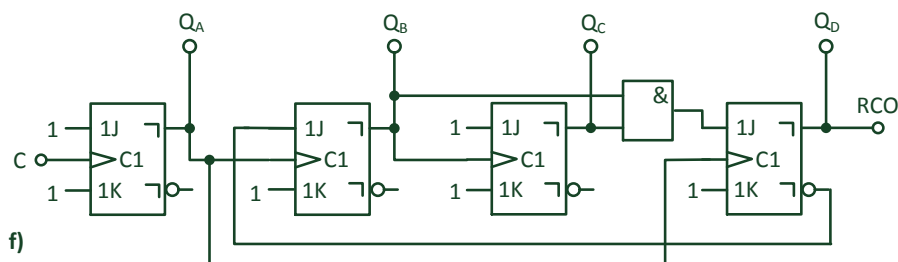
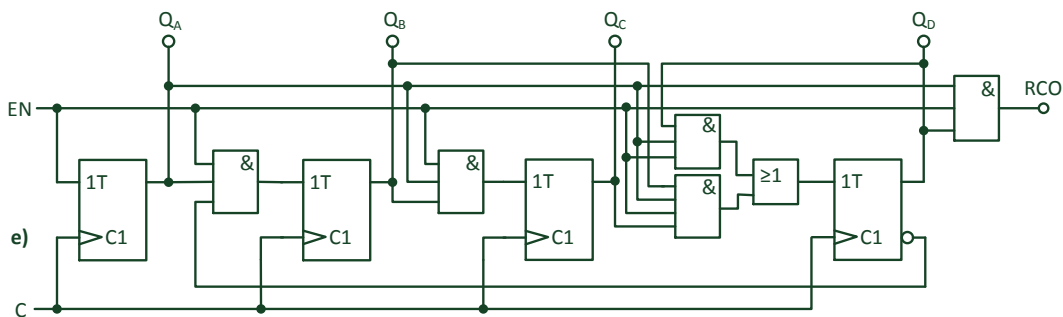
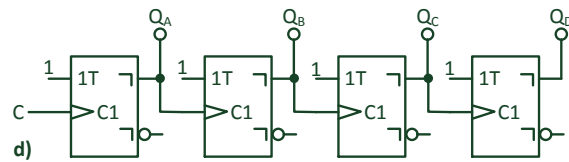
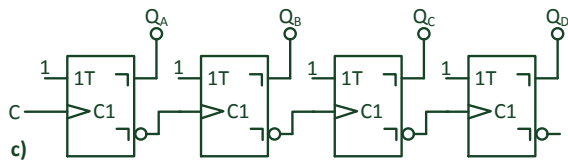
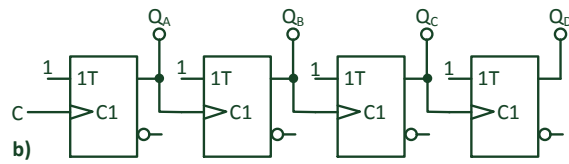
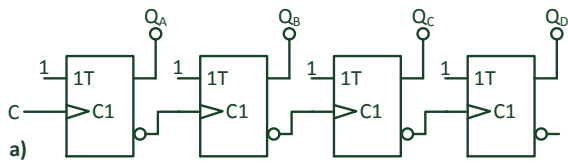
Bild 23.2

Skizzieren Sie für alle in Bild 23.1 dargestellten Flipflops das Signal am Ausgang Q !
(Zum Zeitpunkt t_0 sei Q jeweils auf LOW-Pegel)

Prüfen Sie zuerst, welcher Typ von JK-Flip-Flop durch das logische Symbol dargestellt wird !
(Zustandsgesteuert , Ein- oder Zweiflankengesteuert)

Aufgabe 24:

Welche Zählerschaltungen sind unter a - h dargestellt? Analysieren Sie die Schaltungen nach den Kriterien: Zählrichtung: vorwärts- rückwärts; Typ: synchron – asynchron; Zählcode: binär, BCD, ...



Aufgabe 25:

An einen synchronen Zähler nach Bild 25.1 werden Signale nach Bild 25.2 angelegt.

$$U/\bar{D} = H$$

Tragen Sie in Bild 25.2 die Ausgangssignale Q_A bis Q_D und RCO (Übertrag) ein !

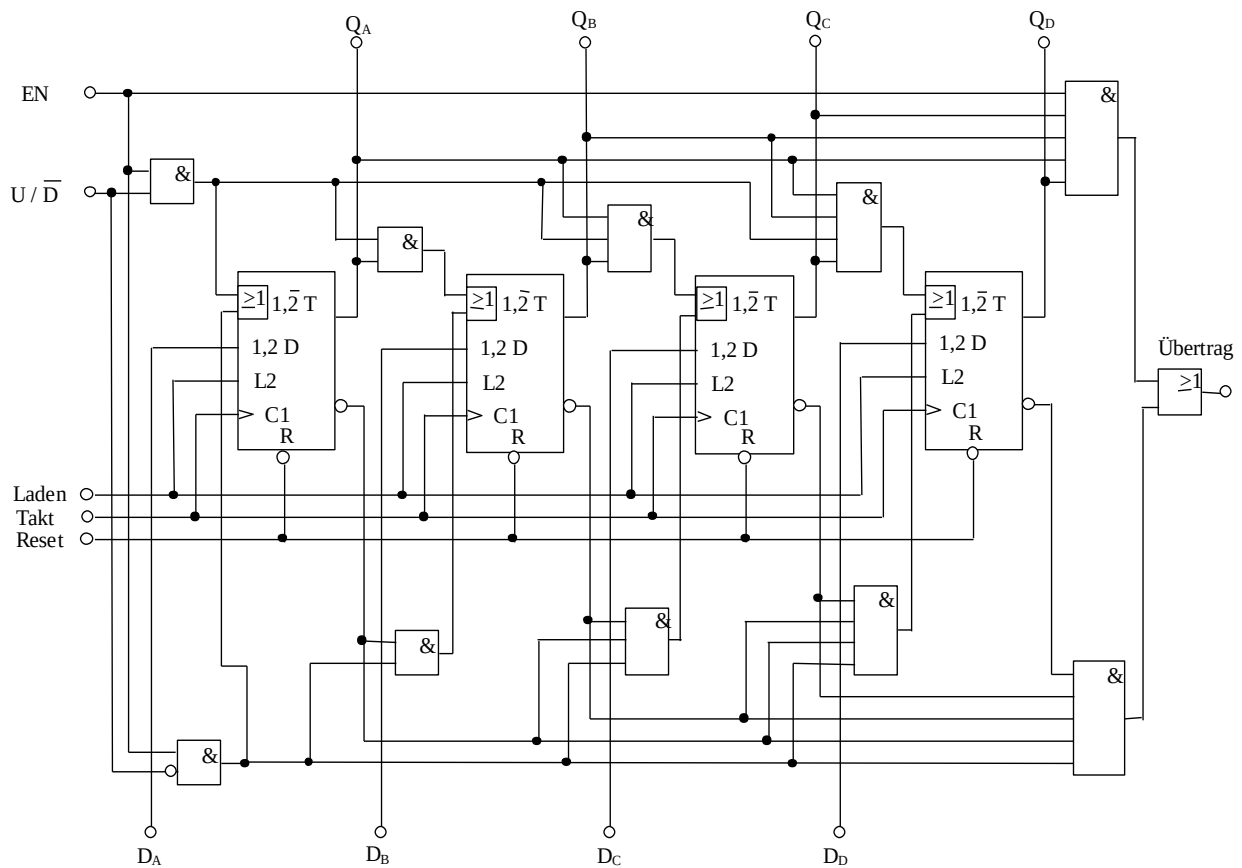


Bild 25.1

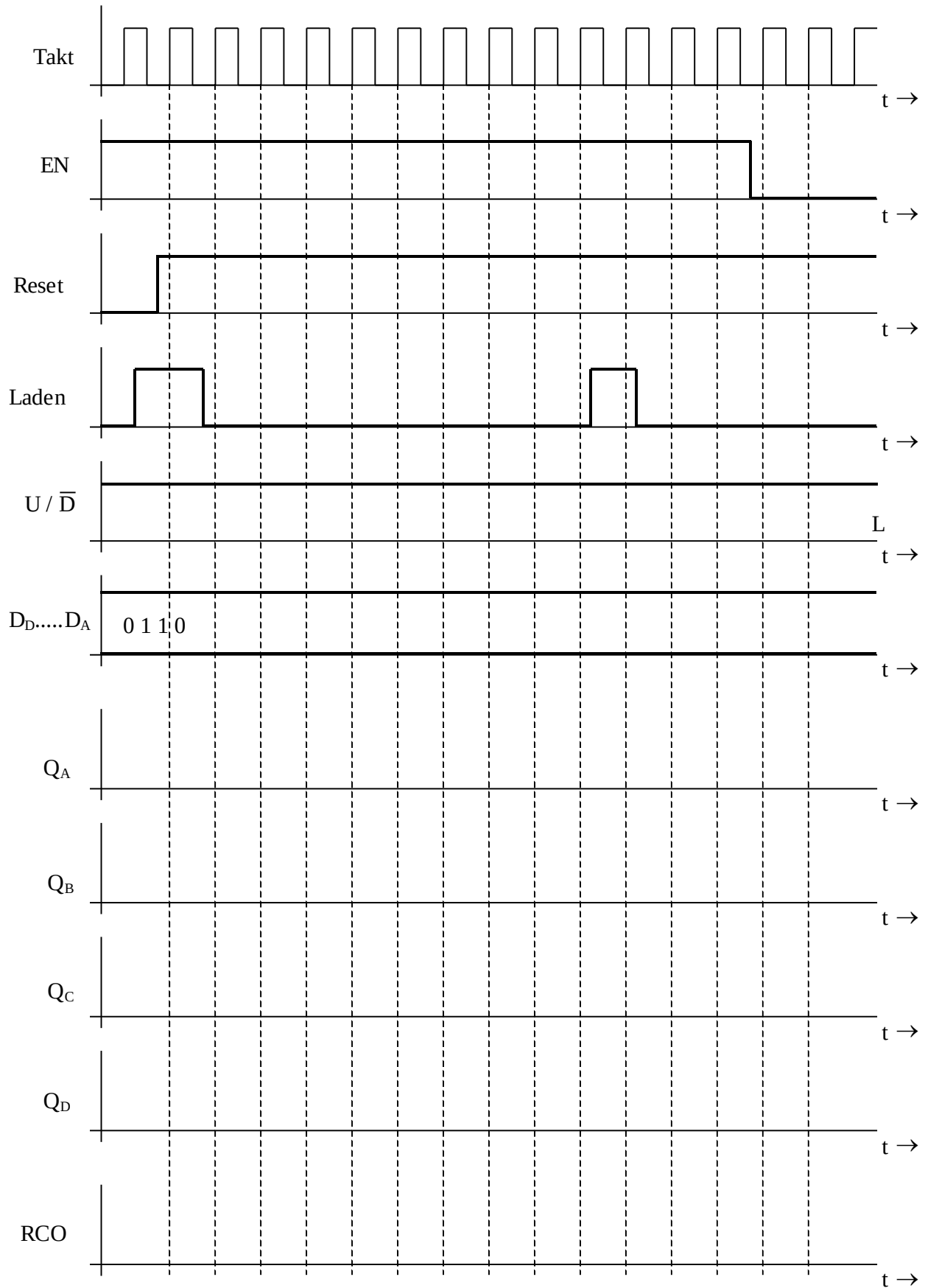


Bild 25.2

Aufgabe 26:

Gegeben sind sechs asynchrone BCD - Zähler, ein 32,768 KHz Oszillator und ein synchroner 16 bit Vorwärts- / Rückwärtszähler mit acht Ausgängen nach Bild 26.

Erstellen Sie mit diesen Bauelementen und möglichst wenigen zusätzlichen Gattern eine digitale Uhr !

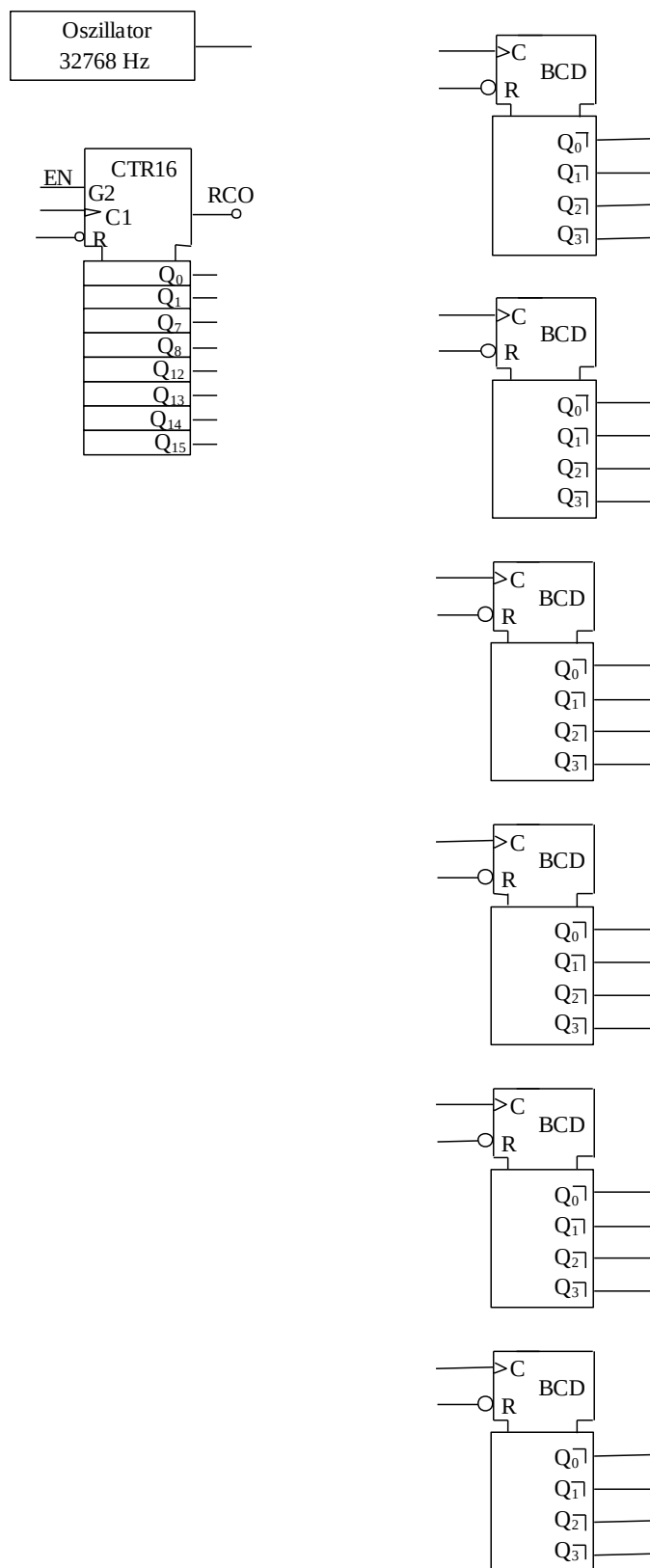


Bild 26

Aufgabe 27:

Gegeben ist die Schaltung nach Bild 27.1.

An den Eingängen $D_0 \dots D_7$ liegt folgende Bitkombination: 1 0 0 1 1 1 0 1. Zum Zeitpunkt t_0 wird kurzzeitig der Schalter S betätigt.

27.1 Welche Funktion hat die Schaltung in Bild 27.1?

27.2 Tragen Sie in das Zeitdiagramm (Bild 27.2) die Signalverläufe an den Ausgängen Q_A bis Q_H ein !

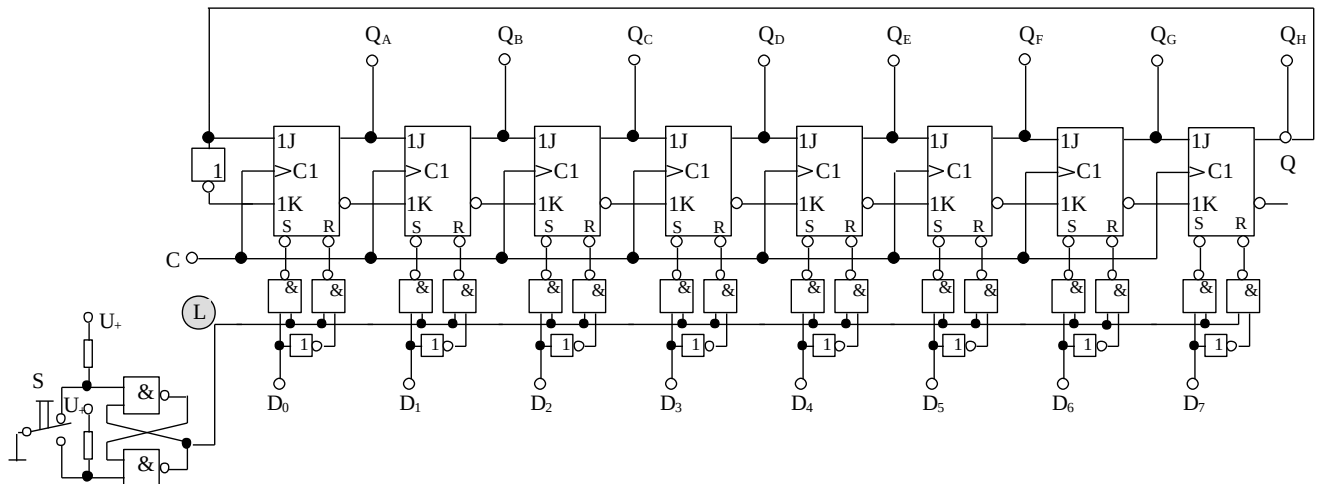


Bild 27.1

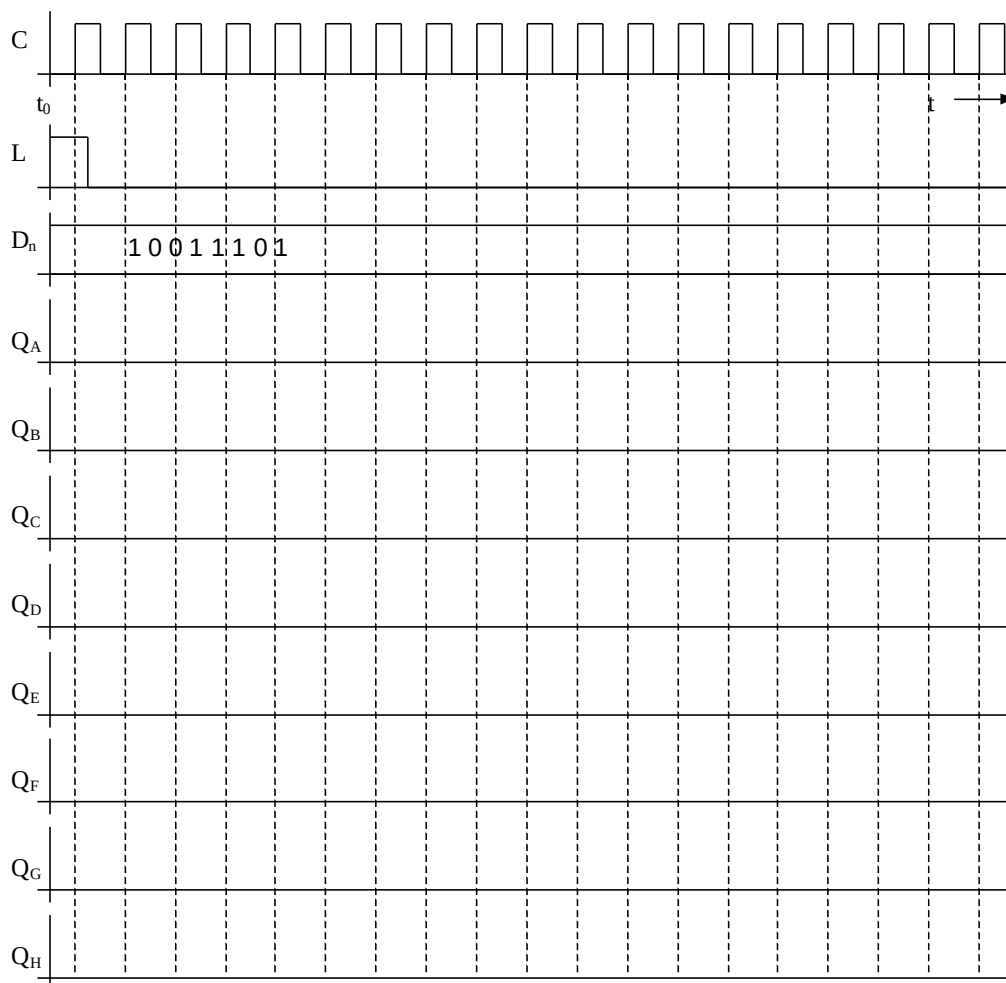


Bild 27.2

Aufgabe 28:

Zur Speicherung und Synchronisation von Impulsen wird eine Schaltung nach Bild 28.1 aufgebaut.

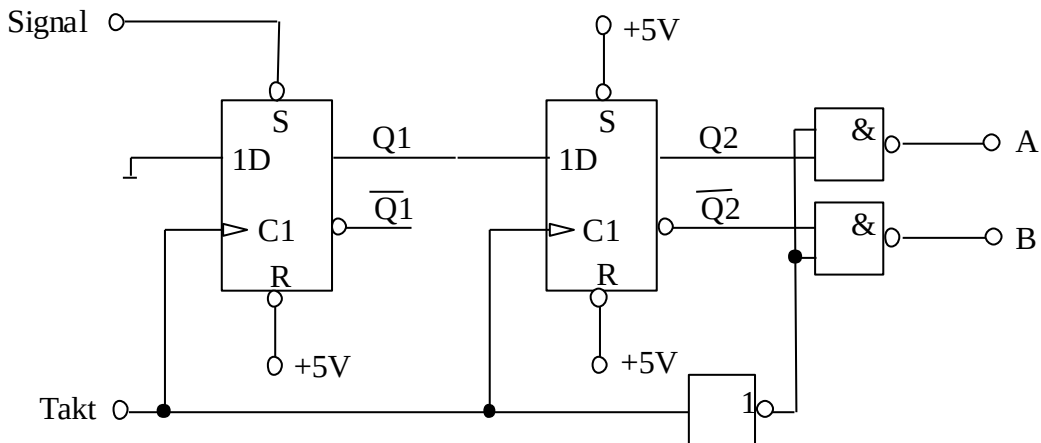


Bild 28.1

An den Eingängen und am Ausgang Q1 liegen die in Bild 28.2 eingezeichneten Signale an. Die Gatterlaufzeit der verwendeten Flipflops beträgt zwischen Takteingang und den Ausgängen 5 ns. Alle anderen Gatterlaufzeiten sollen vernachlässigt werden.

Ermitteln Sie die Signale an den Punkten Q2, A und B und tragen Sie diese im Bild 28.2 ein! ($Q2(t=t_0) = \text{LOW}$)

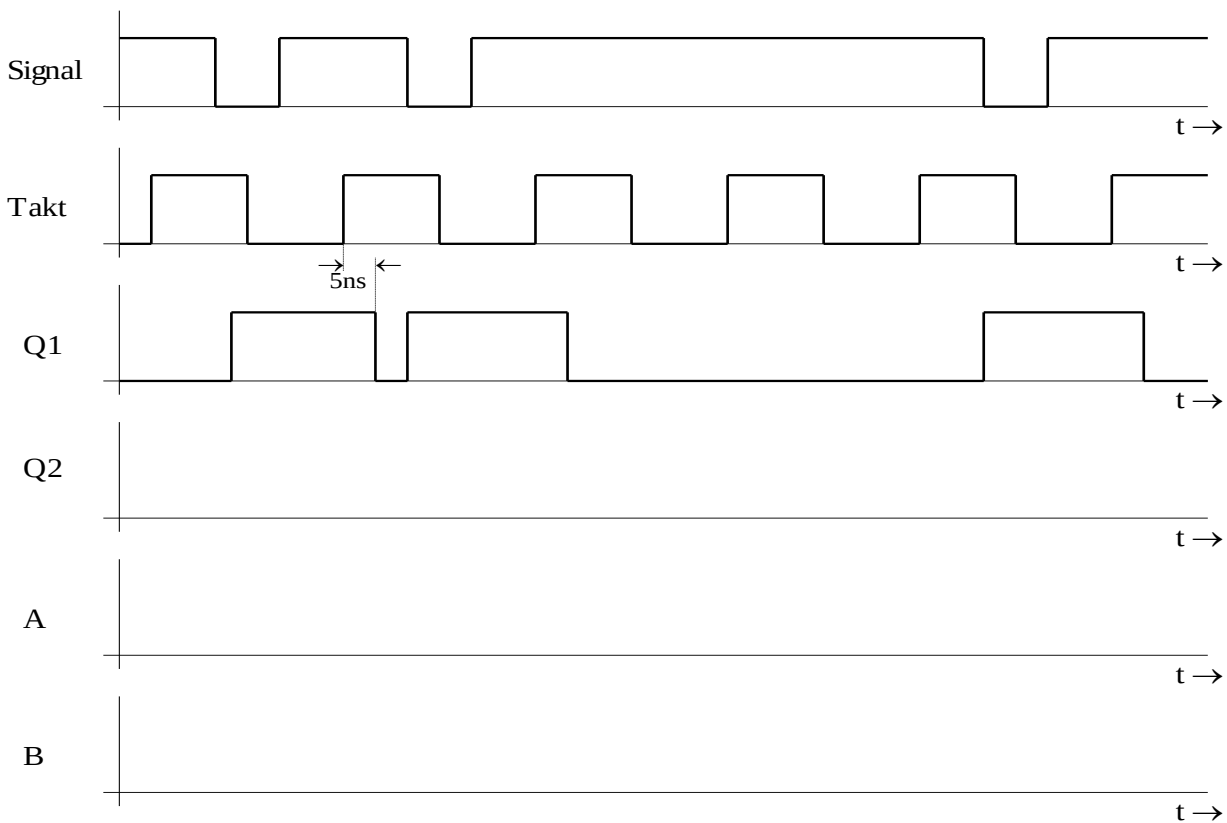


Bild 28.2

Aufgabe 29:

Die schaltungstechnische Auslegung einer logischen Schaltung ist in Bild 29.1 dargestellt.

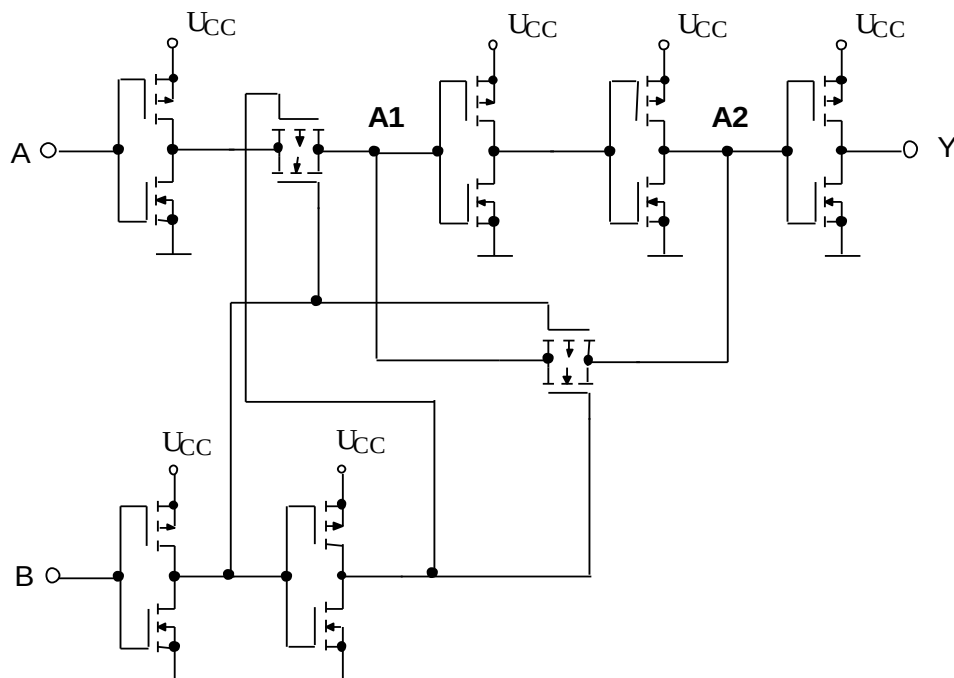


Bild 29.1

29.1 Zeichnen Sie das Ersatzschaltbild der Schaltung aus logischen Elementen mit den genormten Symbolen nach DIN 40900 !

29.2 Ergänzen Sie die folgende Wahrheitstabelle für die Schaltung nach Bild 29.1!

B	A	A1	A2	Y
0	0			
0	1			
1	0			
1	1			

29.3 Um welche logische Funktion handelt es sich hierbei?

29.4 Skizzieren Sie das logische Symbol für die Gesamtschaltung in Bild 29.1!

Aufgabe 30:

Gegeben ist die schaltungstechnische Auslegung einer logischen Schaltung in CMOS-Technologie nach Bild 30.

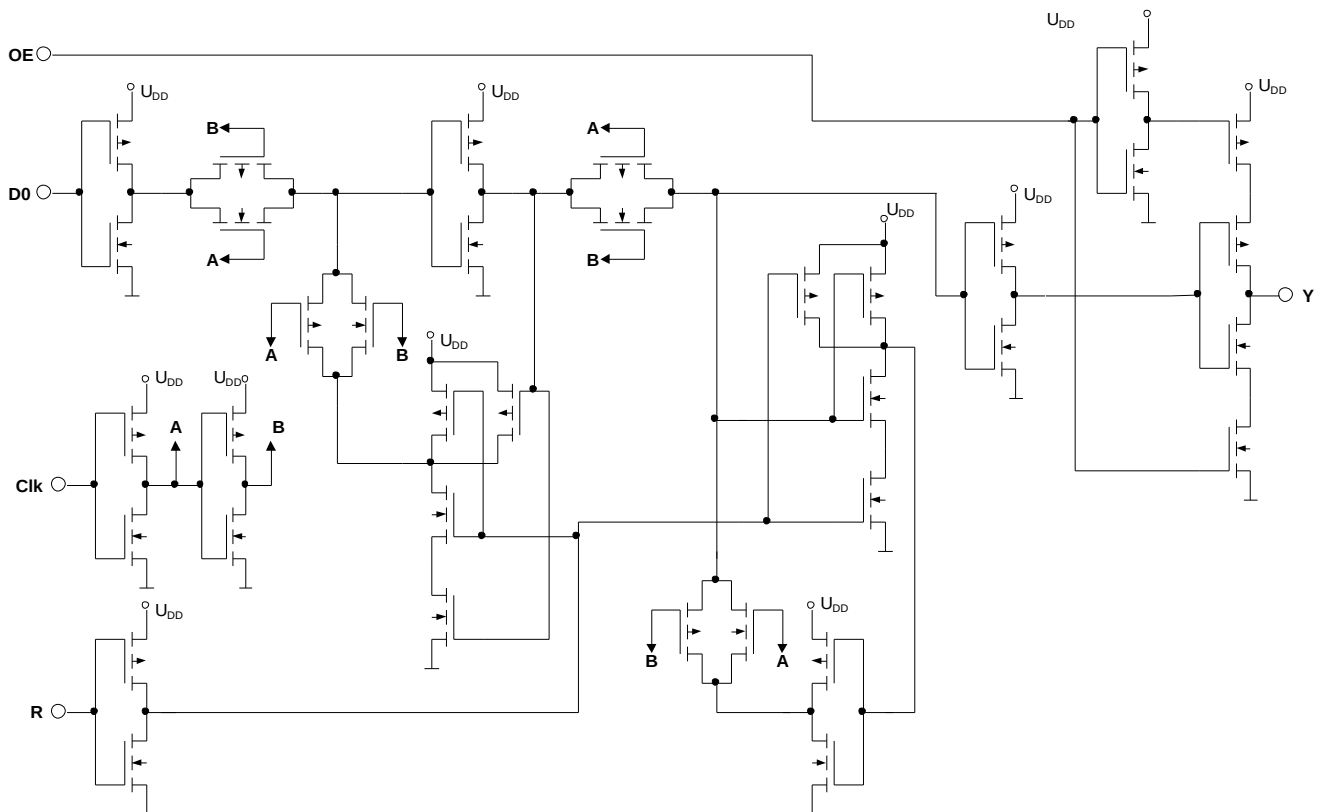


Bild 30

- 30.1 Zeichnen Sie die Schaltung aus logischen Elementen (Inverter, NAND, NOR,) mit den genormten Symbolen nach DIN 40900 !
- 30.2 Erstellen Sie die vollständige Wahrheitstabelle für die Schaltung in Bild 29! (Verwenden Sie dazu die Bezeichnungen bzw. Symbole: 1 , 0 , HiZ, X, $\uparrow$, $\downarrow$)

OE	R	Clk	D0	Y

- 30.3 Welche Funktion ist in der Schaltung nach Bild 29 realisiert?
- 30.4 Skizzieren Sie das logische Symbol für die Gesamtschaltung in Bild 29!

Aufgabe 31:

- 31.1 Ergänzen Sie die in Bild 31.1 dargestellte Schaltung zu einem synchronen binären Vorwärtszähler. Verwenden Sie gegebenenfalls zusätzliche logische Grundgatter (Inverter, UND- bzw. ODER-Gatter) !

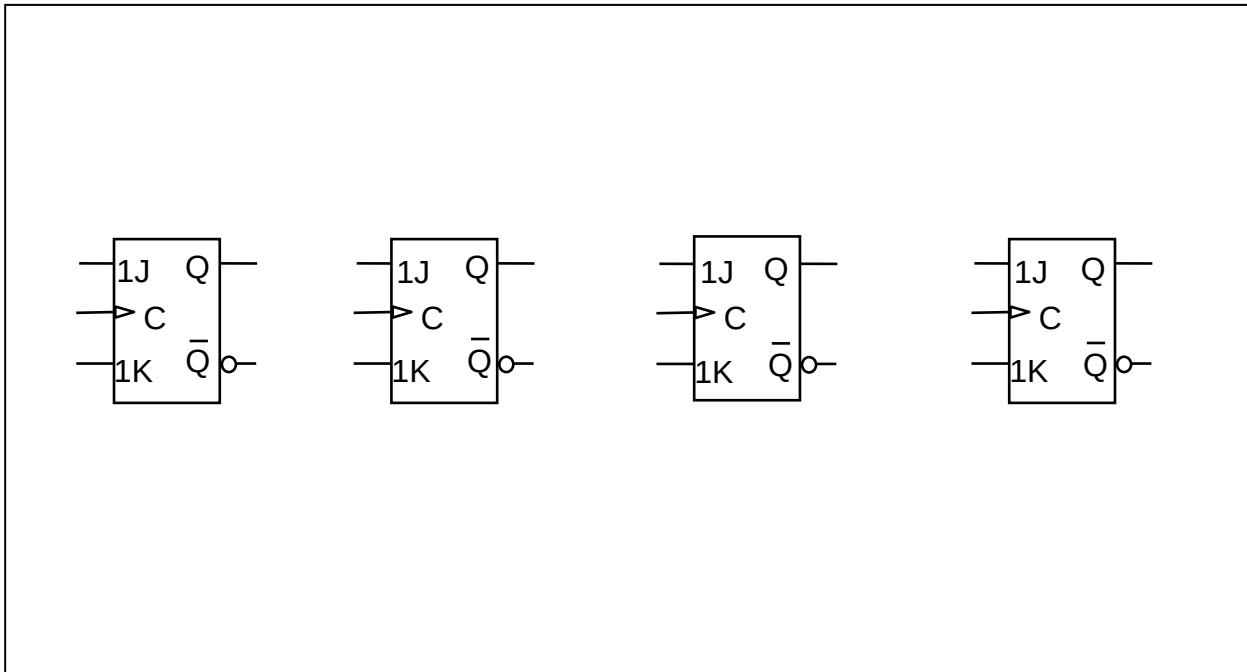


Bild 31.1

- 31.2 Ergänzen Sie die in Bild 31.2 dargestellte Schaltung zu einem asynchronen binären Vorwärtszähler. Verwenden Sie gegebenenfalls zusätzliche logische Grundgatter (Inverter, UND- bzw. ODER-Gatter) !

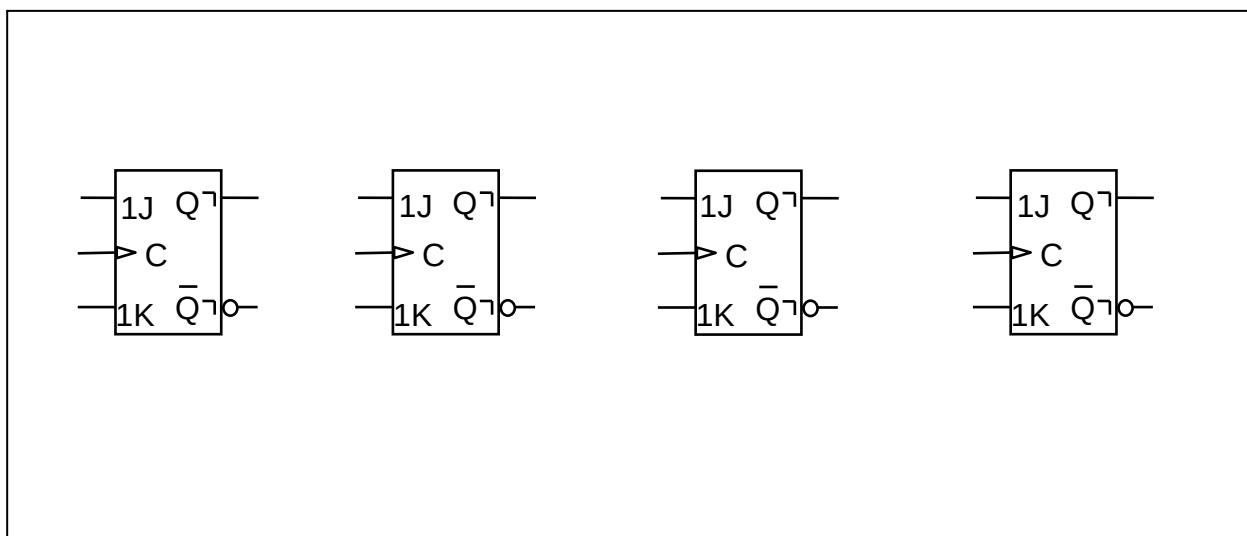


Bild 31.2

Aufgabe 32:

Gegeben ist eine Schaltung nach Bild 32.1. Mit dieser Schaltung soll ein Frequenzteiler aufgebaut werden, dessen Ausgangsfrequenz $1/12$ der Taktfrequenz beträgt. Das Tastverhältnis des Ausgangssignals muss nicht symmetrisch sein. Die Dauer des Ausgangssignals soll aber mindestens eine Periodendauer T des Eingangstaktes betragen. Der Start der Frequenzteilung soll durch einmaliges Betätigen des Tasters S erfolgen. Danach soll die Frequenzteilung kontinuierlich weitergeführt werden. (Nach dem Einschalten der Versorgungsspannung sind die Zustände der Ausgänge Q_A bis Q_D unbekannt aber ungleich 0 0 0 0.)

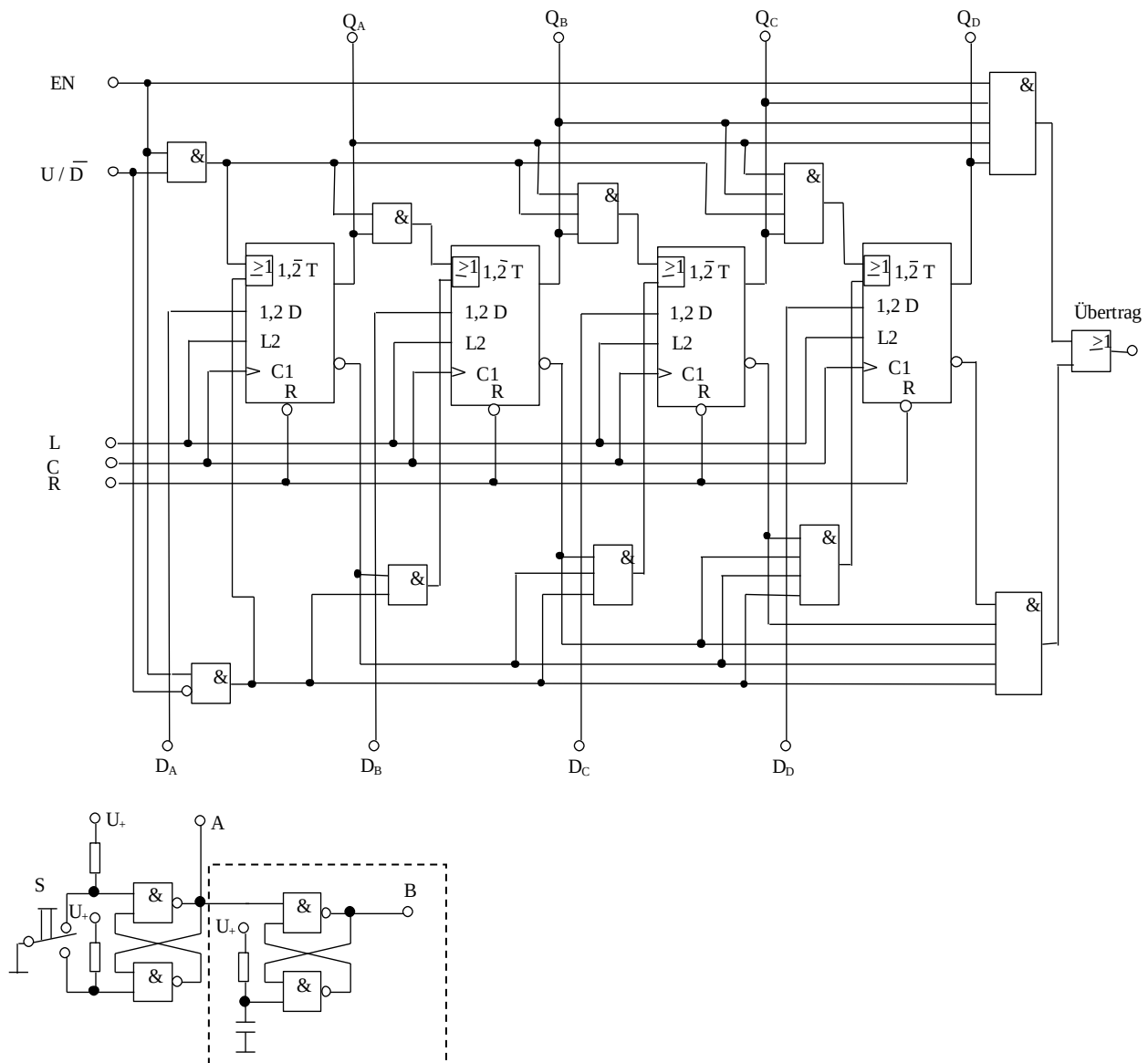
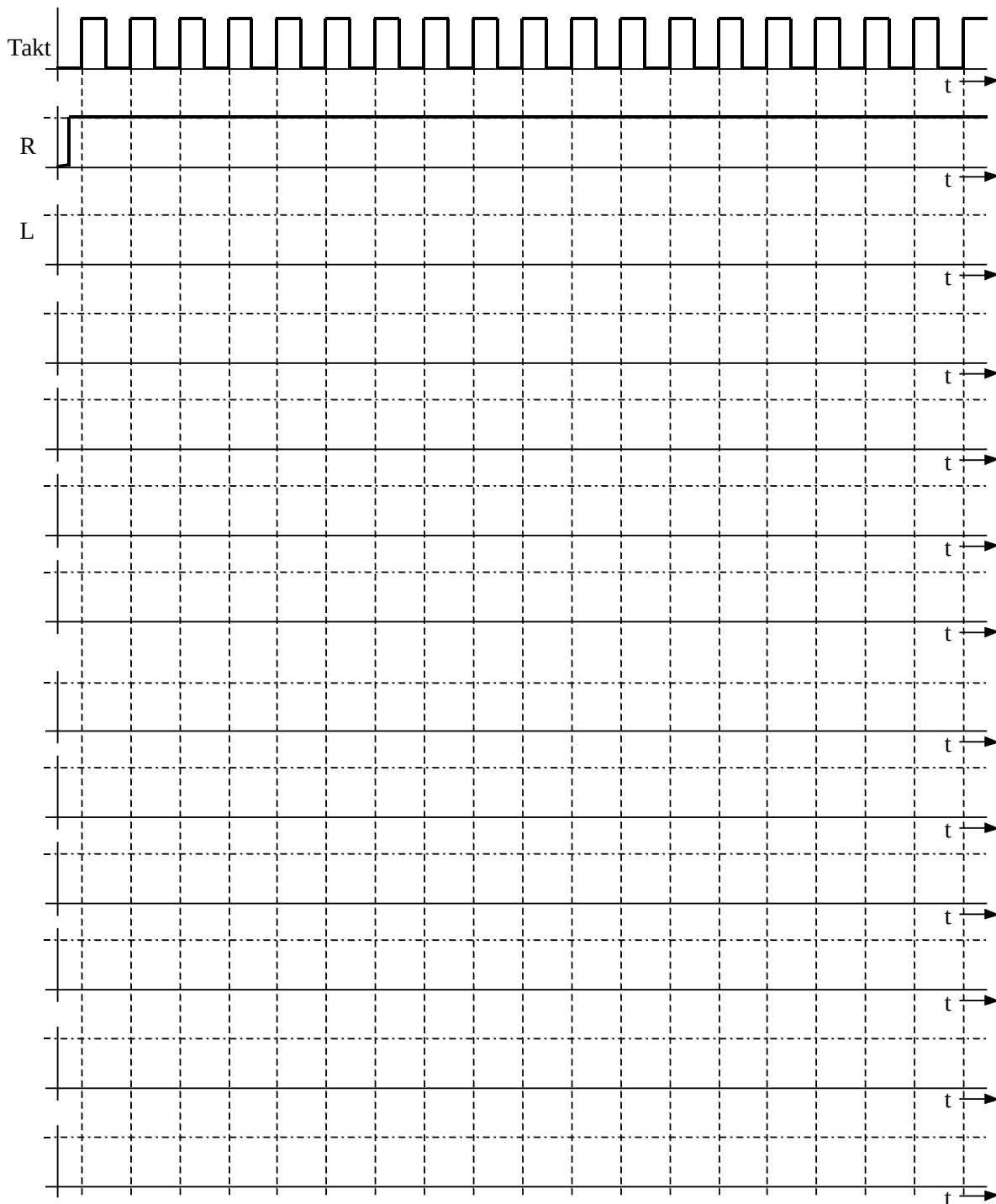


Bild 32.1

- 32.1 Ergänzen Sie die Schaltung durch eventuell notwendige Gatter und Verbindungen und definieren Sie die logischen Pegel an den freien Eingängen, damit die geforderten Bedingungen erfüllt werden! (Zusatzfrage: Welche Funktion erfüllt das gestrichelt umrandete Flipflop?)
- 32.2 Erstellen Sie eine Zustandstabelle (Wahrheitstabelle) für die Gesamtschaltung!

- 32.3 Skizzieren Sie ein Zeitdiagramm für Ihre Schaltung und überprüfen Sie die korrekte Funktion! Das Betätigen des Tasters S soll ein R-Signal auslösen, dessen Verlauf im Zeitdiagramm bereits eingetragen ist.



Aufgabe 33:

- 33.1 Gegeben sind 2 JK-Flipflops nach Bild 33.1. Erstellen Sie damit ohne die Verwendung von zusätzlichen logischen Elementen einen synchronen Frequenzteiler, mit dem die Eingangsfrequenz f um den Faktor 2 und den Faktor 4 geteilt wird!

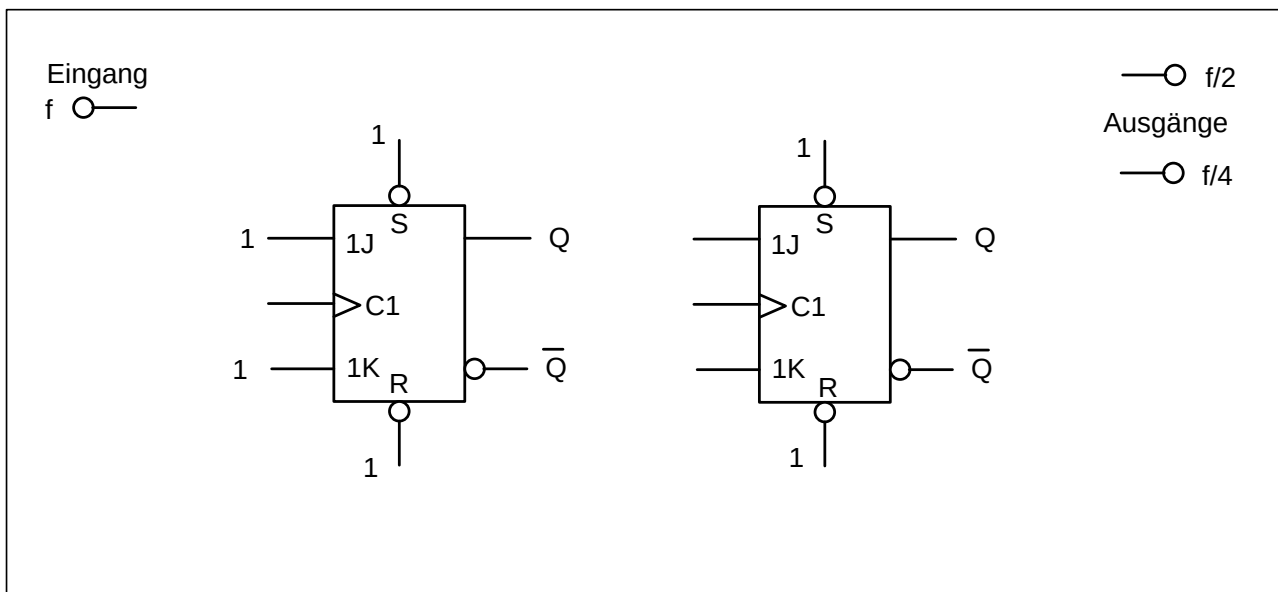


Bild 33.1

- 33.2 Gegeben sind 2 D-Flipflops nach Bild 33.2. Erstellen Sie damit ohne die Verwendung von zusätzlichen logischen Elementen einen Frequenzteiler, mit dem die Eingangsfrequenz f um den Faktor 2 und den Faktor 4 geteilt wird!

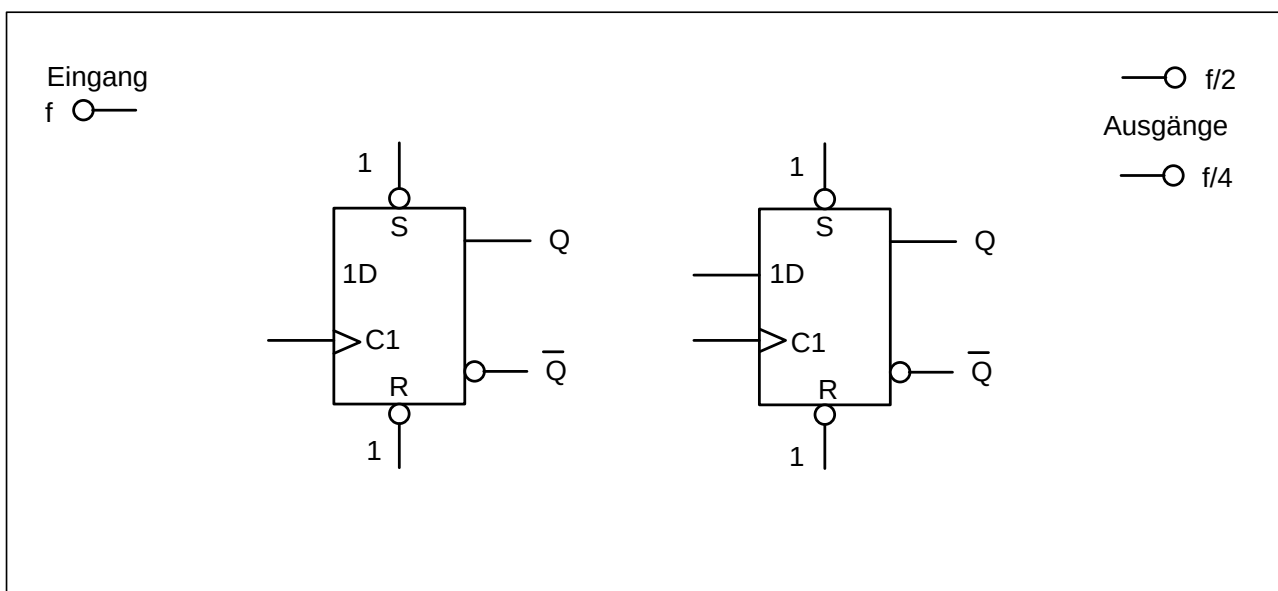


Bild 33.2

Aufgabe 34:

In der Vorlesung wurden einige Verfahren der Digital.-Analog - und der Analog-Digital - Wandlung vorgestellt.

D/A-Wandlung:

- 34.1 Beschreiben Sie das Wägeverfahren !
- 34.2 Welche Vorteile bietet das R-2R Leiternetzwerk?
- 34.3 Wodurch entstehen die sogenannten "Glitches" bei D/A-Wandlern ?

A/D-Wandlung:

- 34.4 Geben Sie die Vor- und Nachteile des Parallelverfahrens an!
Wie ist ein Prioritätsdekor aufgebaut und welche Aufgabe hat die Schaltung?
- 34.5 Beschreiben Sie die Eigenschaften des Verfahrens der sukzessiven Approximation!
- 34.6 Das Ein-Rampen-Verfahren gehört zu den integrierenden Verfahren.
Beschreiben Sie das Verfahren!

Aufgabe 35:

Die Schaltung eines 8 bit D/A-Wandlers mit einer Verstärkerschaltung am Ausgang ist in Bild 35 angegeben.

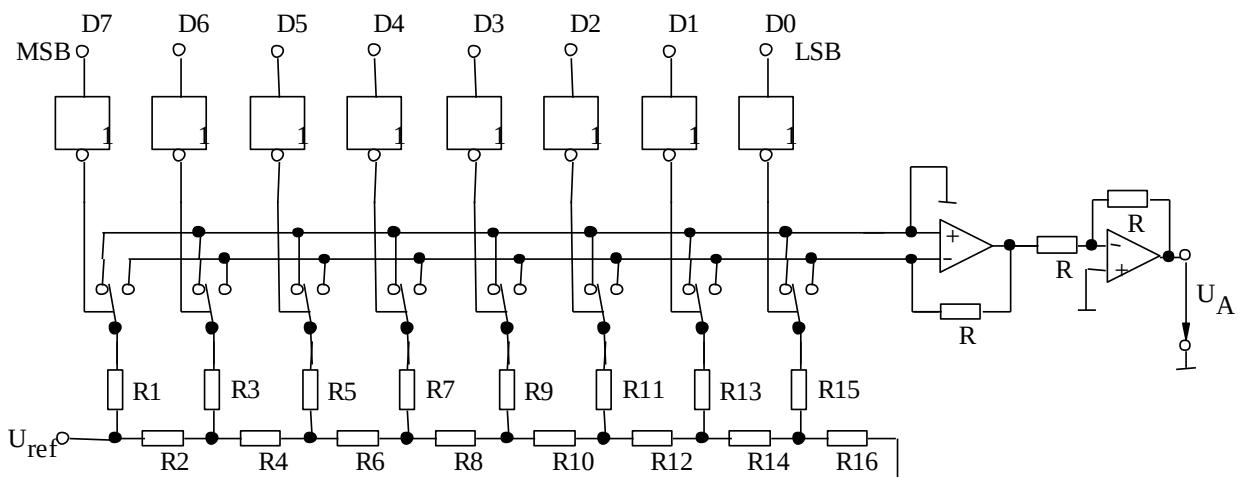


Bild 35

- 35.1 Wie groß müssen die Widerstände R1 bis R16 gewählt werden, damit ein binär gewichtetes Eingangssignal in ein entsprechendes analoges Ausgangssignal U_Q umgesetzt wird?
Geben Sie die Widerstandswerte in Vielfachen des Widerstandes R an!

R1	R2	R3	R4	R5	R6	R7	R8	R9	R10	R11	R12	R13	R14	R15	R16

- 35.2 Die Ausgangsspannung U_A soll Werte zwischen 0 V und 5,10 V annehmen.
Wie groß muss die Referenzspannung U_{ref} sein?
(Angabe auf 2 Stellen nach dem Komma)

Aufgabe 36:

Mit einem 8 Bit Parallel A-D-Wandler sollen analoge Eingangsspannungen digitalisiert werden. Die Referenzspannung des Wandlers beträgt $U_{\text{ref}} = 10,20 \text{ V}$. Das Eingangssignal ist für die Zeit der Wandlung als konstant anzunehmen. Der Linearitätsfehler der A-D-Wandler ist vernachlässigbar klein.

Ermitteln Sie die binäre Ausgangsinformation (bit8 bit1) für folgende Werte der Eingangsspannung: a) 9,890 V, b) 7,510 V, c) 4,125 V, d) 2,50 V und e) 0,0125 V

Aufgabe 37:

Das Blockschaltbild eines A/D-Wandlers ist in Bild 37.1 gezeigt.

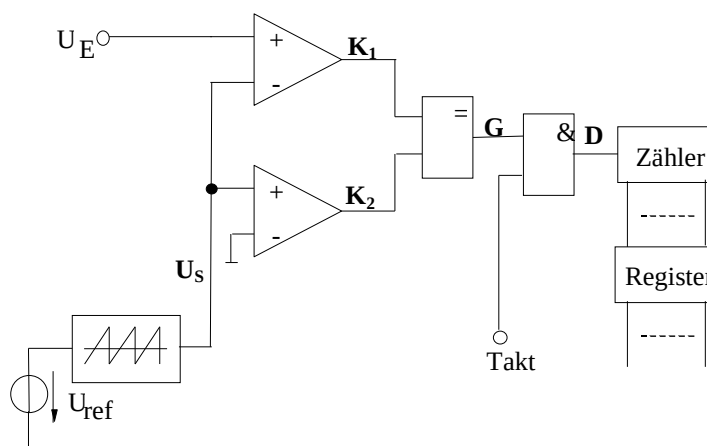


Bild 37.1

37.1 Nach welchem Verfahren arbeitet der A/D Wandler nach Bild 37.1!

37.2 Am Eingang liegt eine konstante Spannung U_E . Tragen Sie in das folgende Diagramm die Ausgangssignale K_1 und K_2 der beiden Komparatoren und G des logischen Gatters ein!

