

**Lösung Aufgabe 18**

18.1 Aus der Übergangskennlinie kann abgelesen werden:

$$U_L = 0 \text{ V}$$

$$U_H = 3,2 \text{ V}$$

$$U_S = 1,6 \text{ V}$$

damit wird :

$$\Delta U = U_H - U_L = 3,2 \text{ V}$$

$$\Delta U_H = U_H - U_S = 1,6 \text{ V}$$

$$\Delta U_L = U_S - U_L = 1,6 \text{ V}$$

$$Z_H = \frac{\Delta U_H}{\Delta U} = \frac{1,6 \text{ V}}{3,2 \text{ V}} = 0,5 \text{ (= 50\%)}$$

$$Z_L = \frac{\Delta U_L}{\Delta U} = \frac{1,6 \text{ V}}{3,2 \text{ V}} = 0,5 \text{ (= 50\%)}$$

18.2 Am Ausgang liegt der HIGH-Pegel. Damit ergibt sich folgende Maschengleichung:

$$U_{CC} - R_4 \cdot I - \underbrace{0,3 \text{ V}}_{(U_{CE})} - \underbrace{0,7 \text{ V}}_{(U_D)} - R_L \cdot I = 0$$

$$I = \frac{U_{CC} - 0,3 \text{ V} - 0,7 \text{ V}}{R_4 + R_L} = \frac{4 \text{ V}}{2000 \Omega} = 2 \text{ mA}$$

$$P_V = (U_{CC} - U_H) \cdot I = 1,8 \text{ V} \cdot 2 \text{ mA} = 3,6 \text{ mW}$$

18.3 Fan Out

1. High-Pegel am Ausgang

$$U_{H \min} = 3,5 \text{ V} = U_{CC} - R_4 \cdot I - 0,3 \text{ V} - 0,7 \text{ V}, I_{\max} \text{ berechnen:}$$

$$I_{\max} = \frac{U_{CC} - U_{H \min} - 0,3 \text{ V} - 0,7 \text{ V}}{R_4} = \frac{5 \text{ V} - 3,5 \text{ V} - 0,3 \text{ V} - 0,7 \text{ V}}{400 \Omega} = \frac{0,5 \text{ V}}{400 \Omega} = 1,25 \text{ mA}$$

Fan-Out H-Pegel am Ausgang:

$$\text{Fan-Out} = \frac{1,25 \text{ mA}}{40 \mu\text{A}} = 31,25 \Rightarrow$$

Es könnten 31 TTL-Eingänge angesteuert werden.

2. Low-Pegel am Ausgang:

$$U_{L \max} = 0,2 \text{ V} = I_{\max} \cdot R_{CE, \text{ein}} \Rightarrow I_{\max} = \frac{0,2 \text{ V}}{12,5 \Omega} = 16 \text{ mA}$$

Fan-Out L-Pegel am Ausgang:

$$\text{Fan-Out} = \frac{16 \text{ mA}}{1,6 \text{ mA}} = 10 \Rightarrow$$

Fan-Out L < Fan-Out H -> Es können maximal 10 TTL-Eingänge an des Ausgang des Gatters angeschlossen werden.

**Lösung Aufgabe 19**19.1  $U_H, U_L$ :Wenn der FET sperrt, wird  $C_L$  über den Widerstand  $R$  aufgeladen.  $\Rightarrow U_H = U_{DD} = 5 \text{ V}$ Wenn der FET leitet stellt er einen ohmschen Widerstand von  $r_{DS} = 50 \Omega$  dar. $\Rightarrow$  Kondensator liegt an Spannungsteiler  $R, r_{DS}$ .

$$U_L = U_{DD} \frac{50 \Omega}{1000 \Omega + 50 \Omega} = 0,24 \text{ V}$$

19.2 Statische Verlustleistung:

$$P|_{U_A=L} = U_{DD} \cdot I = U_{DD} \frac{U_{DD}}{R + r_{DS}} = \frac{25 \text{ V}^2}{1050 \Omega} = 24 \text{ mW}$$

$$P|_{U_A=H} = 0$$

19.3 Dynamische Verlustleistung:

$$P_{dyn} = C_L \cdot (U_H - U_L)^2 \cdot f = 2 \text{ pF} \cdot (4,76 \text{ V})^2 \cdot 10^7 \text{ Hz} = 453 \mu\text{W}$$

19.4 Gesamtverlustleistung:

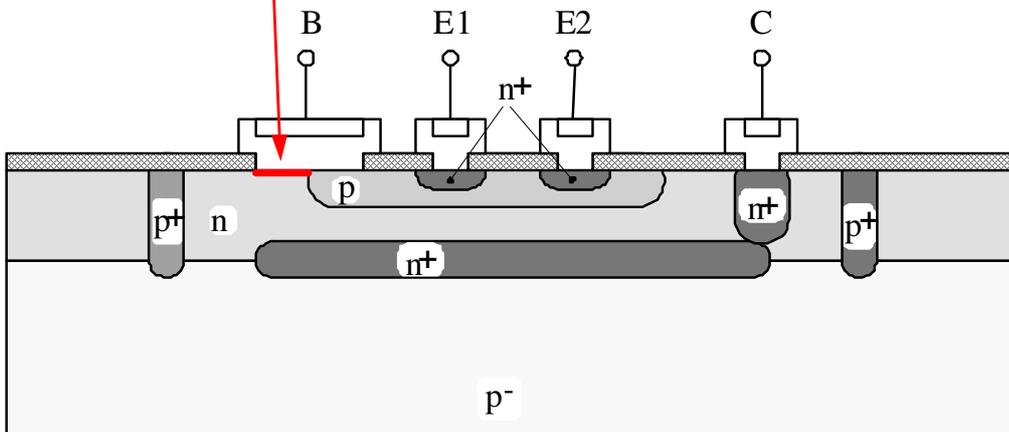
$$P_{ges} = P_{dyn} + r \cdot P_{stat} = 453 \mu\text{W} + 0,5 \cdot 24 \text{ mW} = 12,453 \text{ mW}$$

**Lösung Aufgabe 20**

20.1

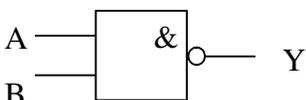
1. Wesentlich kürzere Schaltzeiten durch Vermeidung der Sättigung, wenn der Transistor voll eingeschaltet ist.
2. Kleinere Verlustleistung während der Umschaltvorgänge durch kleinere Spannungshübe und damit auch kleinere Umschaltenergien.
3. Höhere Stromverstärkung der Transistoren, da keine zusätzlichen technologischen Maßnahmen vorgenommen werden müssen, um die Sättigungszeit des Bipolartransistors zu reduzieren. Dies hatte den Einbau zusätzlicher Rekombinationszentren in der Basis und damit eine deutliche Reduzierung der Stromverstärkung zur Folge.
4. Der Schaltungsentwurf wird für den Designer flexibler, da ihm nun neben pn-Dioden und npn-Transistoren auch noch Schottky-Dioden für das Schaltungsdesign zur Verfügung stehen.

20.2 Eine Schottky-Diode entsteht in einer integrierten Schaltung, wenn niedrig dotiertes n-Silizium direkt mit Metall in Kontakt kommt. Dies ist im gezeigten Querschnitt nur in einem kleinen Bereich, an dem der Basisanschluss direkt mit dem Kollektorbereich kontaktiert ist, der Fall.



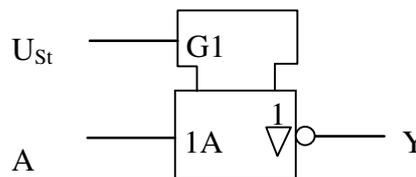
**Lösung Aufgabe 21:**

links: NAND



A	B	Y
0	0	1
0	1	1
1	0	1
1	1	0

rechts: Tri-State-Inverter



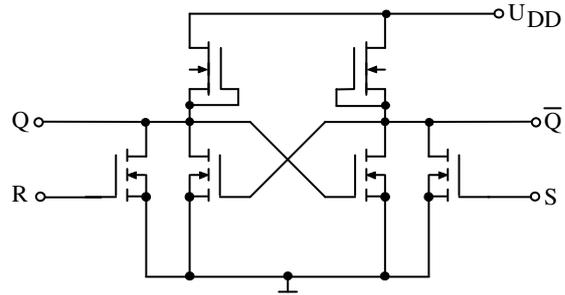
A	U <sub>St</sub>	Y
x	0	HiZ
1	1	0
0	1	1

**Lösung Aufgabe 22:**

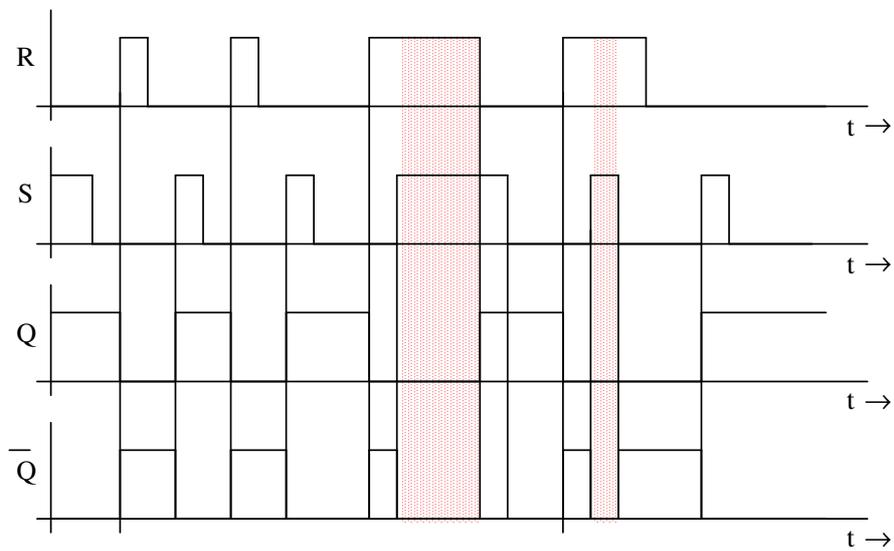
22.1 Wahrheitstabelle

S	R	Q	$\bar{Q}$
0	0	$Q_{-1}$	$\bar{Q}_{-1}$
0	1	0	1
1	0	1	0
1	1	0	0

22.2 Schaltung mit Transistoren



22.3 Signalverlauf



**Farblich unterlegt sind die Bereiche, in denen die Eingangszustände  $R=S=1$  zu den logisch unsinnigen Ausgangszuständen "0" "0" führen.**