

## Elektronische Schaltungen SS 2020

### 6. Übungsblatt – Aufgaben

#### Kippschaltungen und MOS Schaltkreise

#### Aufgabe 1

Gegeben ist eine Schaltung nach Abbildung 1.

Die Widerstände haben folgende Daten:  $R_{C1} = 9\text{ k}\Omega$ ,  $R_{C2} = 3\text{ k}\Omega$ ,  $R_E = 1\text{ k}\Omega$ ,  $R_1 = 30\text{ k}\Omega$ ,  $R_{B1} = 39\text{ k}\Omega$ ,  $R_{B2} = 20\text{ k}\Omega$ . Die Vorspannung beträgt  $U_b = 15\text{ V}$

Zur Berechnung soll für beide Transistoren angenommen werden:

1. Transistor eingeschaltet:  $U_{CE} = 0,2\text{ V}$ .
2. Transistor ausgeschaltet:  $I_C = 0$ .
3. Der Basisstrom der Transistoren ist:  $I_B \approx 0\text{ }\mu\text{A}$ .
4. Die Transistoren schalten bei einer Basis-Emitter-Spannung  $U_{BE} = 0,7\text{ V}$ .

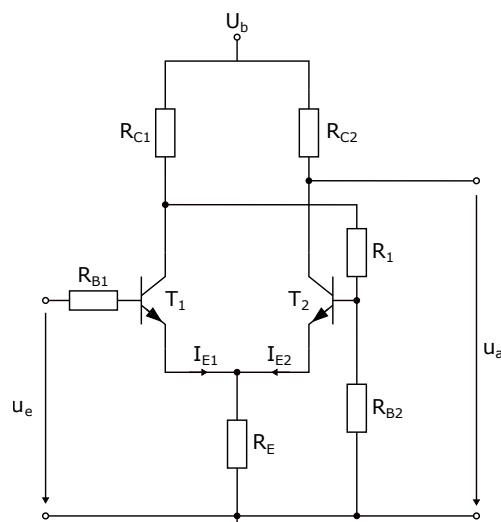


Abbildung 1

- a) Gehen Sie davon aus, dass eine Eingangsspannung von 0 V angelegt wird. Wie verhalten sich die beiden Transistoren? Gehen Sie davon aus, dass die Eingangsspannung groß genug ist, sodass  $T_1$  leitet, wie verhält sich  $T_2$ ? Begründen Sie.
- b) Berechnen Sie die beiden Schaltschwellen  $u_{e,ein}$  und  $u_{e,aus}$  für Transistor  $T_1$ .
- c) Berechnen Sie die Grenzwerte der Ausgangsspannung  $u_{a,min}$  und  $u_{a,max}$ .
- d) Am Eingang der Schaltung liegt eine Eingangsspannung  $u_e$  nach Abbildung 2 an. Skizzieren Sie den zeitlichen Verlauf der Ausgangsspannung  $u_a$ .

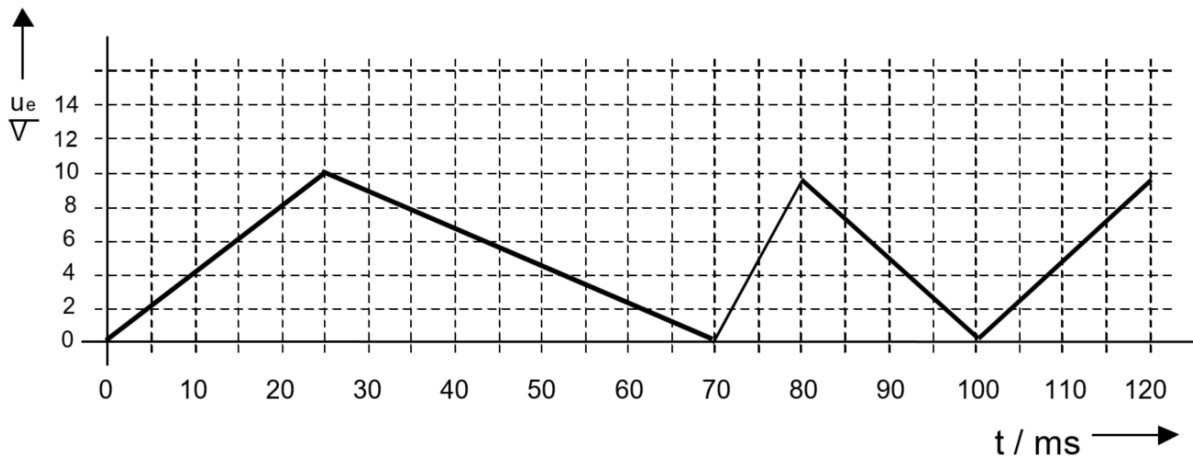


Abbildung 2

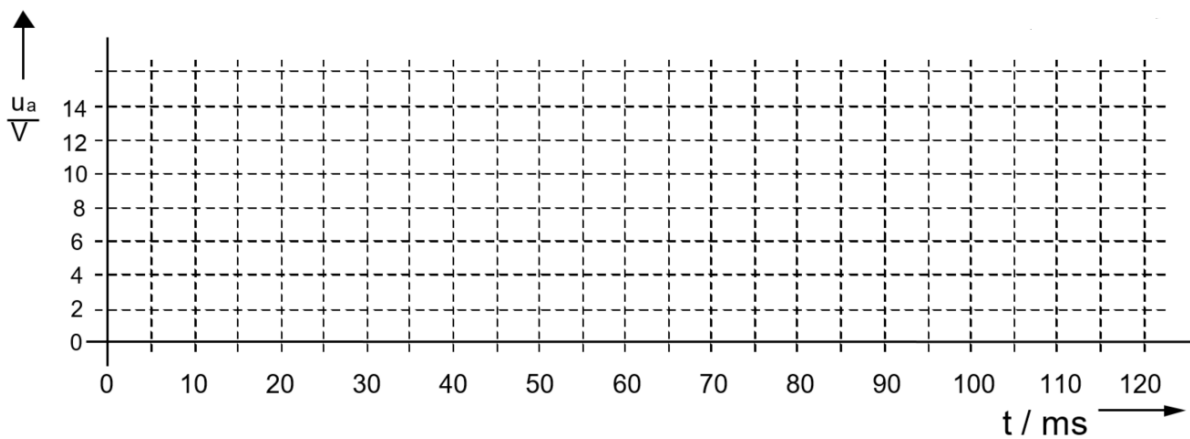


Abbildung 3

- e) Wie wird die vorliegende Schaltung bezeichnet?

## Aufgabe 2

Gegeben ist die Schaltung nach Abbildung 4 mit einem Operationsverstärker, der als idealisiert angesehen werden soll. Der Widerstand hat den Wert:  $R = 5 \text{ k}\Omega$ . Die Aussteuergrenzen des Operationsverstärkers sind  $\pm 12 \text{ V}$ . Die Durchbruchspannungen der beiden Z-Dioden sind: ZD1:  $U_Z = 2,7 \text{ V}$ , ZD2:  $U_Z = 5,1 \text{ V}$ .

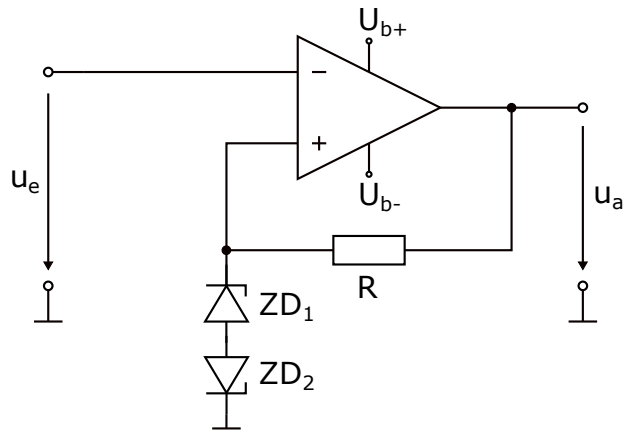


Abbildung 4

a) Analysieren Sie die Schaltung nach folgenden Kriterien:

- Art der Rückkopplung
- genaue Bezeichnung der Schaltung

b) Berechnen Sie die beiden Spannungswerte  $u_{e1}$  und  $u_{e2}$  der Eingangsspannung, bei denen die Ausgangsspannung unter idealen Bedingungen  $u_a = 0 \text{ V}$  wird! ( $-12 \text{ V} < u_e < 12 \text{ V}$ )

c) Am Eingang der Schaltung liegt eine Eingangsspannung  $u_e$  nach Abbildung 5 an. Skizzieren Sie den zeitlichen Verlauf der Ausgangsspannung  $u_a$ .

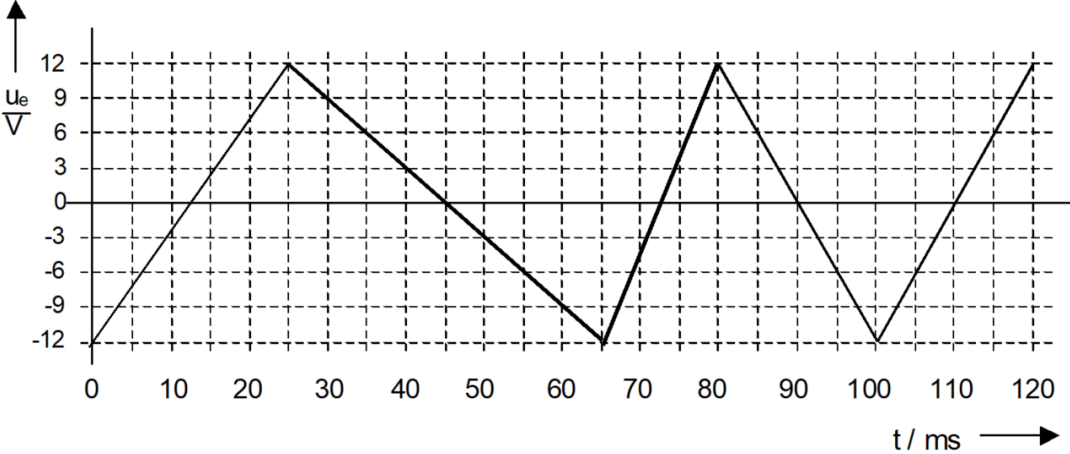


Abbildung 5

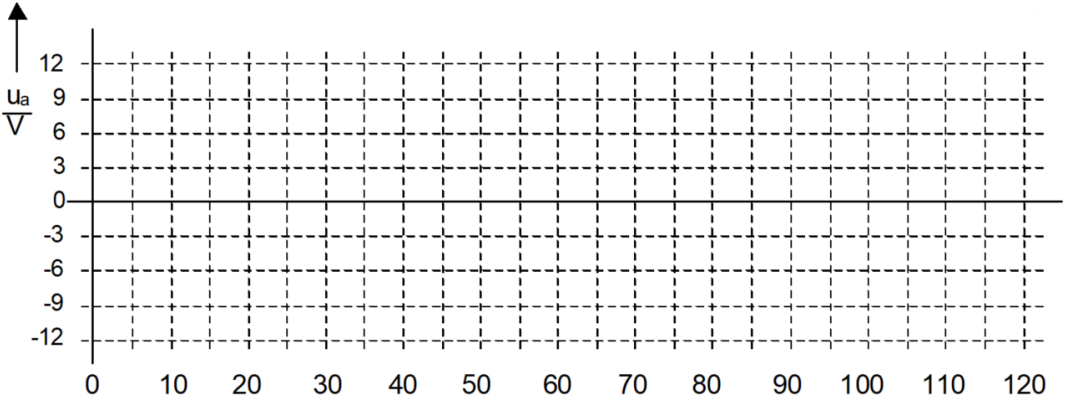


Abbildung 6

d) Skizzieren Sie den Verlauf der Ausgangsspannung  $u_a$  über der Eingangsspannung  $u_e$ .

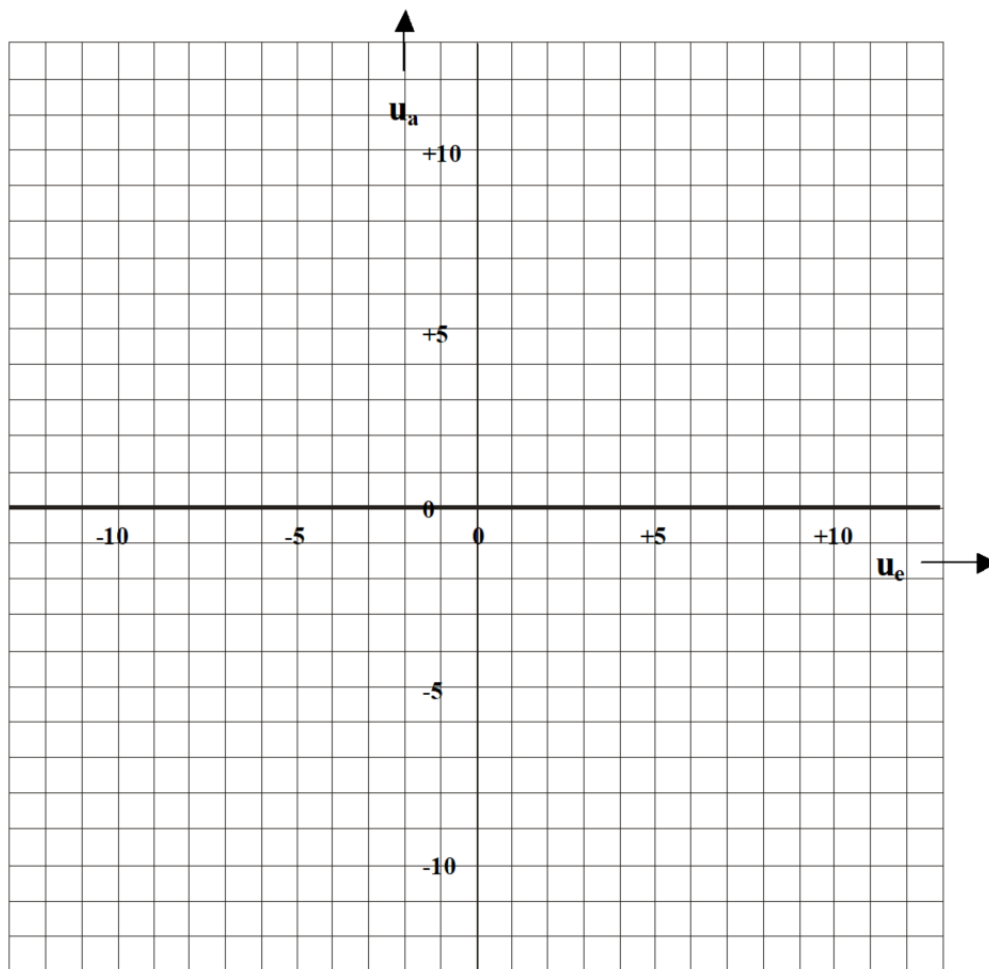


Abbildung 7

### Aufgabe 3

Ein Inverter nach Abbildung 8 besteht aus einem n-Kanal FET und einem Lastwiderstand  $R = 1 \text{ k}\Omega$ . Am Ausgang ist eine Lastkapazität  $C_L = 2 \text{ pF}$  angeschlossen. Im eingeschalteten Zustand beträgt der Drain-Source Widerstand des FET  $r_{DS,on} = 50 \Omega$ . Die Betriebsspannung der Schaltung ist  $U_{DD} = 5 \text{ V}$ . Die Pegel der Eingangsspannung betragen  $0 \text{ V}$  und  $5 \text{ V}$ .

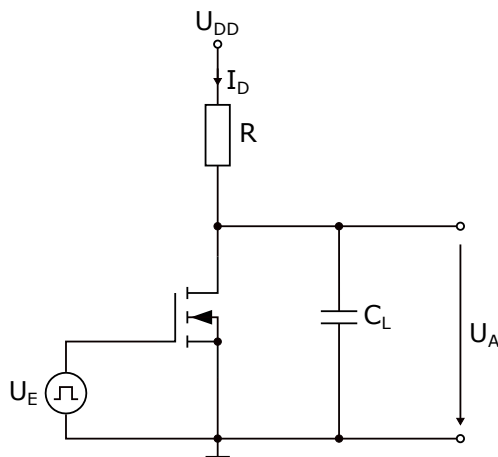


Abbildung 8

- Bestimmen Sie die Spannungswerte der logischen Pegel H und L.
- Bestimmen Sie die statische Verlustleistung der Schaltung nach Abbildung 8.
- Bestimmen Sie die dynamische Verlustleistung der Schaltung nach Abbildung 8, wenn die Taktfrequenz des Eingangssignals  $10 \text{ MHz}$  beträgt.
- Bestimmen Sie die gesamte Verlustleistung der Schaltung bei der Frequenz nach Aufgabenteil c), wenn das Tastverhältnis des Eingangssignals  $r = 0,5$  ist.

# Aufgabe 4

Abbildung 9 zeigt zwei logische Grundsaltungen in CMOS-Technik.

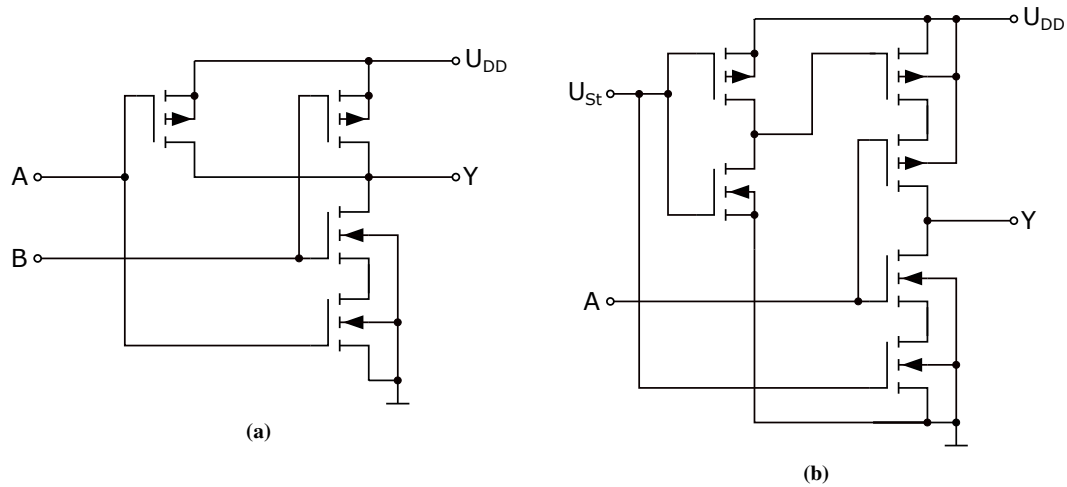


Abbildung 9

- a) Geben Sie die Wahrheitstabellen der Schaltungen an. Verwenden Sie dabei folgende Bezeichnungen: Low-Pegel: 0, High-Pegel: 1 und hochohmiger Zustand am Ausgang: HiZ.
- b) Skizzieren Sie die zugehörigen logischen Schaltzeichen.
- c) Skizzieren Sie ein 2-fach AND Gatter in CMOS-Technik.