

Elektronische Schaltungen SS 2021

6. Tutoriumsblatt

Digitale Schaltungen

Infos zur Abgabe

Abgabefrist: **18.07.2021** per E-Mail an zugewiesene*n Tutor*in

Abzugebende Aufgaben: **Aufgabe 1, Aufgabe 2(a-d)** (Handschriftlich, eingescannt als .pdf)
Aufgabe 2e (Separate .pdf mit Screenshots + kurzer Beschreibung)

Aufgabe 1 (Inverter mit Widerstand)

Ein digitaler Inverter gemäß Abb. 1 wird mit einem Widerstand realisiert. Am Eingang der Schaltung wird die Versorgungsspannung U_b als logisches *High* und 0 V als logisches *Low* erwartet. Der Ausgang der Schaltung soll vorerst unbelastet bleiben. Der Drain-Widerstand R_D beträgt $23\text{ k}\Omega$ und die Versorgungsspannung ist $U_b = 1\text{ V}$.

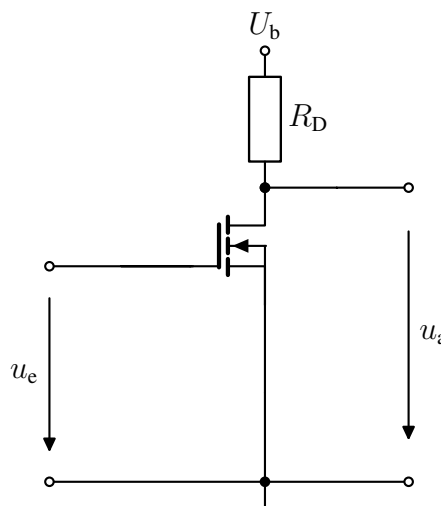


Abbildung 1

Folgende Angaben sind zum CMOS-Prozess bekannt:

Parameter	Wert
Gate-Länge L	22-nm
Gate-Breite W	32 nm
$\mu_n \cdot C'_{ox}$	500 $\mu\text{A}/\text{V}^2$
U_{th}	0,4 V

Tabelle 1

- a) Kann das digitale Verhalten der Schaltung anhand des Kleinsignal-Ersatzschaltbilds analysiert werden? Begründen Sie Ihre Antwort.
- b) Zeichnen Sie jeweils ein Ersatzschaltbild für die möglichen Eingangssignale.
- c) Welche Spannung liegt jeweils am Ausgang bei einem *High*- und *Low*- Signal am Eingang?
- d) Ermitteln Sie die statische Verlustleistung des Inverters für die beiden Fälle (*High*- bzw. *Low*-Signal am Eingang).
- e) In dem Prozess kann die Gate-Breite des Transistors geändert werden. Wie soll sie gewählt werden, damit die Low-Spannung am Ausgang 10 mV beträgt? Welche statische Leistung wird nun für beide Zustände jeweils verbraucht?

Aufgabe 2 (Schmitt-Trigger)

Gegeben ist die Schaltung in Abb. 2. Die Widerstände haben folgende Werte: $R_{C1} = 12\text{ k}\Omega$, $R_{C2} = 4\text{ k}\Omega$, $R_E = 1\text{ k}\Omega$, $R_1 = 30\text{ k}\Omega$, $R_2 = 20\text{ k}\Omega$. Die Vorspannung beträgt $U_b = 12\text{ V}$.

Zur Analyse der Schaltung kann für beide Transistoren angenommen werden:

- Wenn der Transistor leitet, stellt sich eine Kollektor-Emitter-Spannung von $U_{CE} = 0,2\text{ V}$ ein.
- Wenn der Transistor ausgeschaltet ist, beträgt der Kollektorstrom $I_C = 0\text{ mA}$.
- Der Basisstrom ist immer vernachlässigbar klein.
- Die Schaltschwelle der Transistoren liegt bei $U_{BE} = 0,7\text{ V}$.
- Der Strom durch den Spannungsteiler mit R_1 und R_2 ist wesentlich kleiner als der Kollektorstrom von T_1 , wenn dieser leitet.

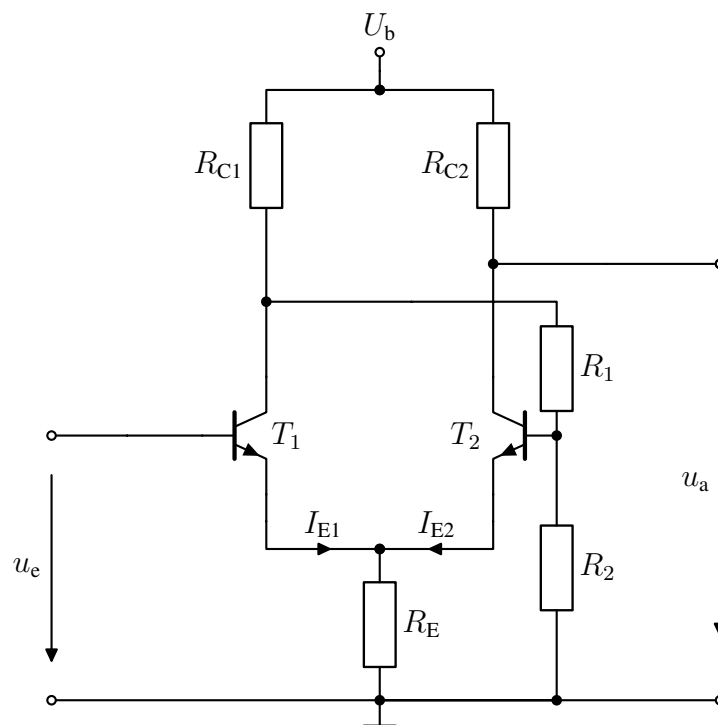


Abbildung 2

a) Bestimmen Sie jeweils den Zustand der beiden Transistoren (leitend oder sperrend) für folgende Fälle:

- $u_e = 0 \text{ V}$
- u_e ist groß genug, damit T_1 leitet.

b) Ermitteln Sie die Schaltschwellen $u_{e,\text{ein}}$ und $u_{e,\text{aus}}$ der Schaltung. Diese sind die Eingangsspannungen bei denen das Ausgangssignal umgeschaltet wird.

c) Berechnen Sie die Grenzwerte der Ausgangsspannung $u_{a,\text{min}}$ und $u_{a,\text{max}}$. Skizzieren Sie die $u_a(u_e)$ -Kennlinie der Schaltung.

d) Der Zeitverlauf des Eingangssignals $u_e(t)$ ist in Abb. 3 gezeigt. Skizzieren Sie den Zeitverlauf des Ausgangssignals $u_a(t)$.

e) Bauen Sie die Schaltung in *LTSpice* auf und führen Sie eine Transient-Simulation für ein Eingangssignal $u_e(t) = 2,4 \text{ V} + 1,6 \text{ V} \cdot \sin(2\pi \cdot 1 \text{ MHz}t)$ über $5 \mu\text{s}$ durch. Reichen Sie Screenshots des Simulationsaufbaus (Schematic) und des Zeitverlaufs von $u_a(t)$ ein.

Wie ändert sich das Ausgangssignal für unterschiedliche Werte von R_{C1} ? Sweepen Sie R_{C1} zwischen $4 \text{ k}\Omega$ und $16 \text{ k}\Omega$. Reichen Sie einen Screenshot des Zeitverlaufs von $u_a(t)$ ein und erklären Sie das Verhalten in wenigen Sätzen.

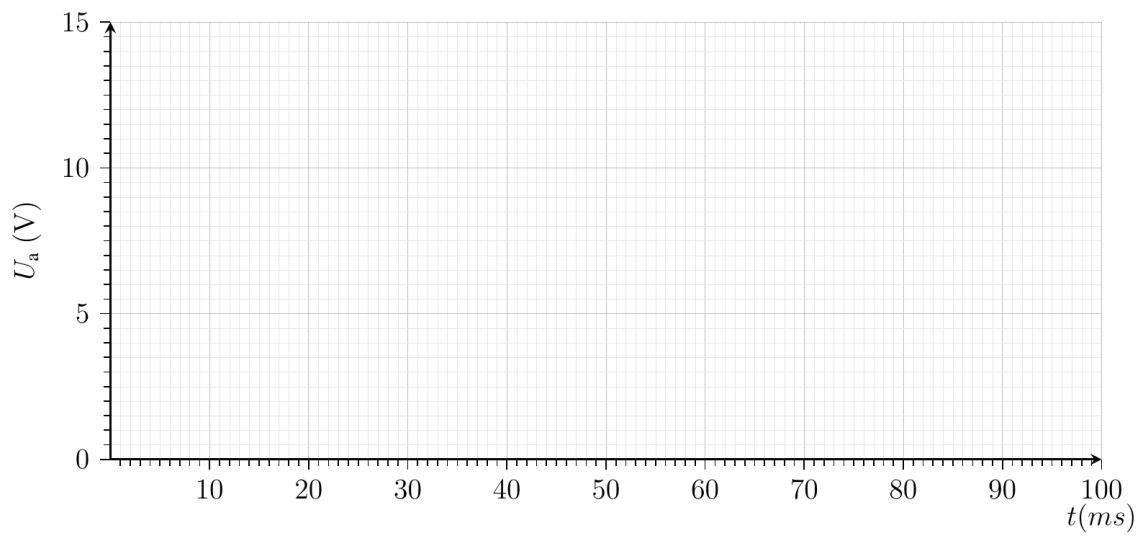
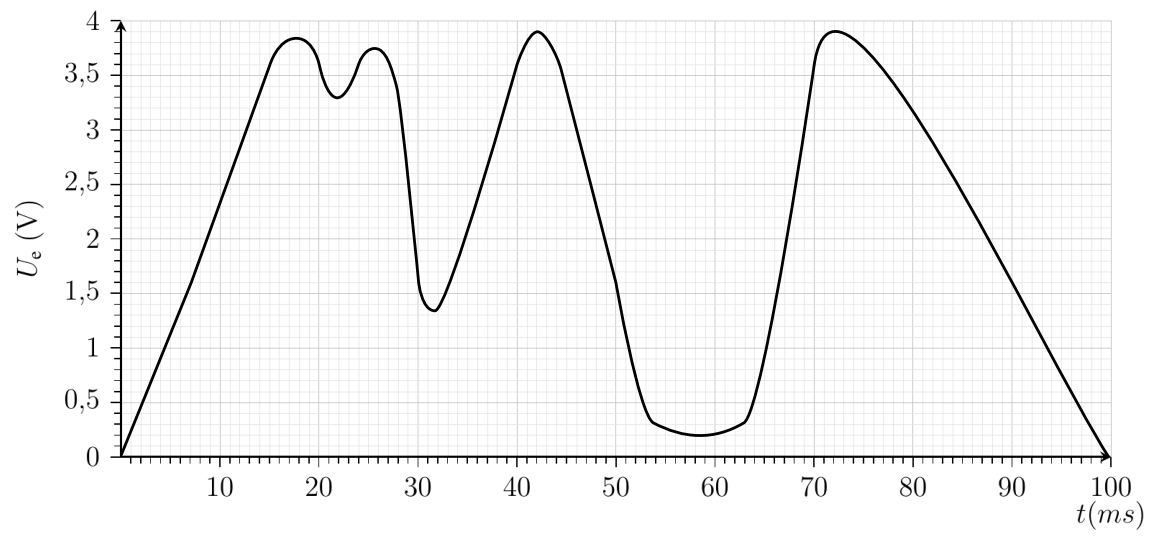


Abbildung 3

Aufgabe 3 (nMOS-Gatter)

Ein digitales Gatter ist in Abb. 4 gegeben. Die Versorgungsspannung beträgt $U_b = 2\text{ V}$ und der Widerstand R_L beträgt $20\text{ k}\Omega$. Wenn die Transistoren leiten, kann angenommen werden, dass die Drain-Source-Spannung der Transistoren $U_{DS} \approx 0\text{ V}$ beträgt.

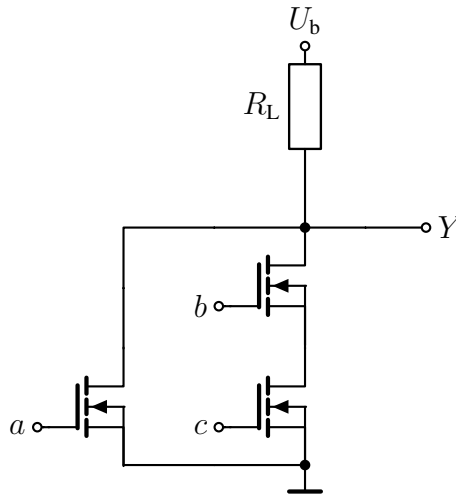


Abbildung 4

- a) Geben Sie die Wahrheitstabelle der Schaltung an. Welche logische Operation wird durch diese Schaltung durchgeführt?
- b) Welche statische Leistung wird von der Schaltung im Schnitt verbraucht, wenn alle Signal-kombinationen gleich oft vorkommen?
- c) Mit welchem weiteren Gatter müsste die Schaltung erweitert werden, um die logische Funktion $a \vee (b \wedge c)$ durchzuführen? Zeichnen Sie die entsprechende nMOS-Realisierung. Wie ändert sich die durchschnittliche statische Leistungsaufnahme?
- d) Wie müsste die Schaltung in Abb. 4 verändert werden, um die gleiche logische Operation wie in Aufgabenteil c) in CMOS-Technologie durchzuführen?
- e) Erklären Sie in wenigen Sätzen, was der Vorteil der CMOS Technologie gegenüber einer Realisierung mit ohmschem Pull-Up-Network ist.

Aufgabe 4 (Inverter-Charakterisierung)

Zur Abschätzung von Schaltzeiten und Störabständen digitaler Schaltungen soll ein idealisierter Inverter (Abbildung 5) mit dem zeitlichen Verlauf von Eingangsspannung U_E und Ausgangsspannung U_A nach Abbildung 6 betrachtet werden.

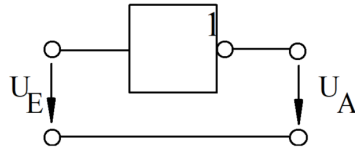


Abbildung 5

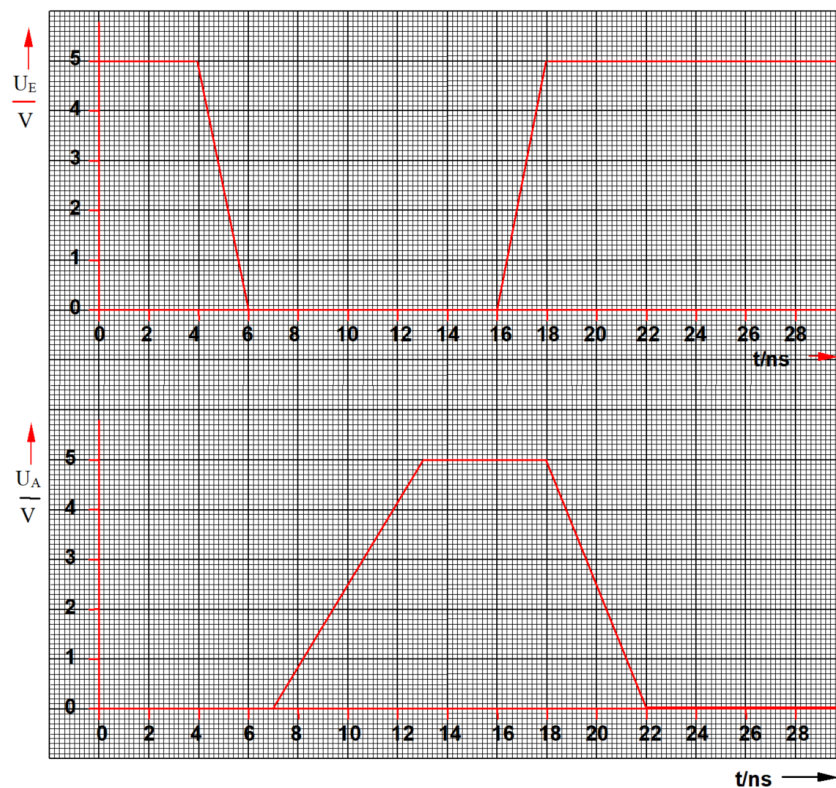


Abbildung 6

a) Bestimmen Sie aus Abbildung 6 folgende Daten des Inverters:

- Verzögerungszeit beim Übergang vom HIGH-Pegel zum LOW-Pegel am Eingang
- Verzögerungszeit beim Übergang vom LOW-Pegel zum HIGH-Pegel am Eingang
- Anstiegszeit der Ausgangsspannung

- Abfallzeit der Ausgangsspannung
- Gatterlaufzeit des Inverters

b) Der Inverter hat eine Übertragungskennlinie nach Abbildung 7. Ermitteln Sie graphisch die absoluten (ΔU_H , ΔU_L) und die relativen (Z_H , Z_L) Störabstände des Inverters.

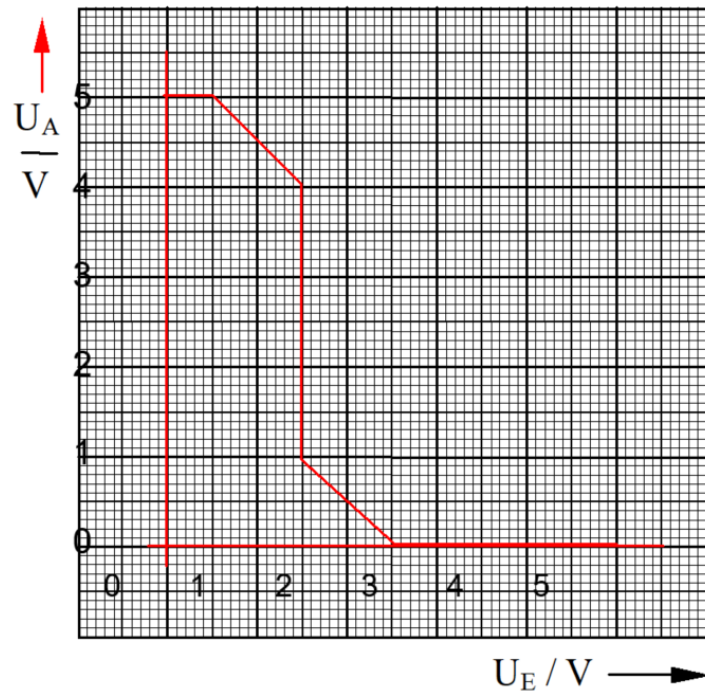


Abbildung 7

Aufgabe 5 (Digitale Schaltung auf Transistorebene)

Die schaltungstechnische Auslegung einer logischen Schaltung ist in Abbildung 8 dargestellt.

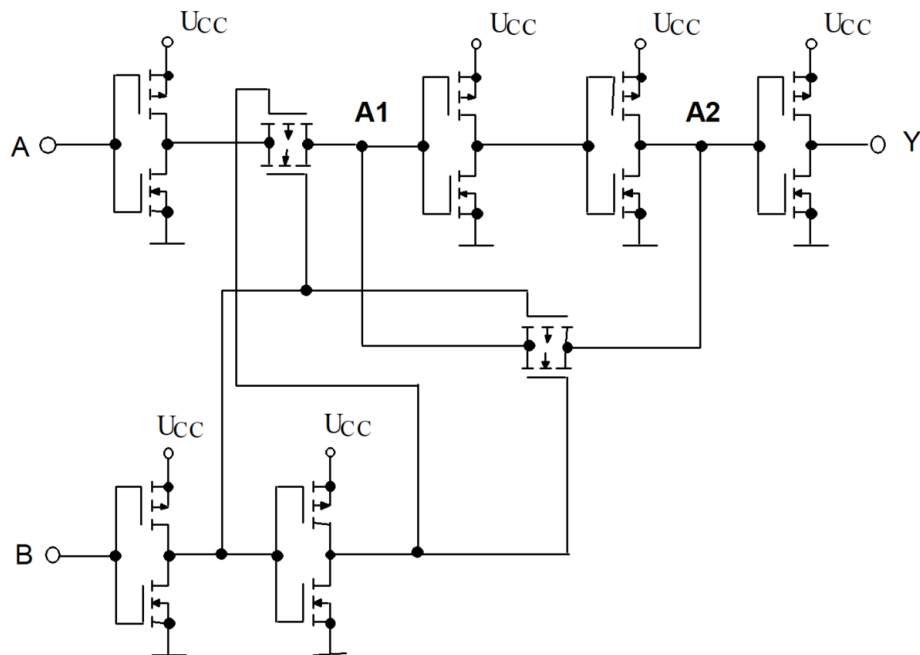


Abbildung 8

- Zeichnen Sie das Ersatzschaltbild der Schaltung aus logischen Elementen.
- Ergänzen Sie die folgende Wahrheitstabelle für die Schaltung nach Abbildung 8.

A	B	A1	A2	Y
0	0			
0	1			
1	0			
1	1			

- Um welche logische Funktion handelt es sich hierbei?
- Skizzieren Sie das logische Symbol für die Gesamtschaltung in Abbildung 8.