

Elektronische Schaltungen SS 2021

6. Tutoriumsblatt

Digitale Schaltungen

Aufgabe 1 (Inverter mit ohmschem Widerstand)

a) Es handelt sich um keine Kleinsignale mehr. Die ganze nichtlineare Kennlinie $u_a(u_e)$ wird berücksichtigt und spielt eine wichtige Rolle bei der Betrachtung der digitalen Schaltungen.

Die Trennung nach Gleichstromverhalten (DC) und linearisiertem Wechselstromverhalten (AC) ist hier nicht mehr sinnvoll. Es werden eher Extremfälle betrachtet, die als logische *High*- und *Low*-Pegel bezeichnet werden. Das Verhalten der Übergänge zwischen diesen Fällen wird üblicherweise im Zeitbereich analysiert.

b) **Fall 1: High-Signal am Eingang:** Der Transistor wird im linearen Bereich betrieben und kann durch einen äquivalenten Widerstand ersetzt werden:

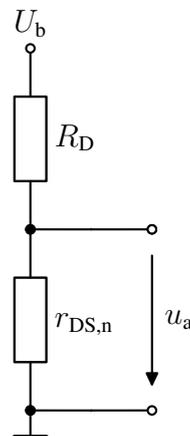


Abbildung 1

Der äquivalente Widerstand kann folgendermaßen berechnet werden:

$$r_{DS,n} = \frac{1}{\beta_n(U_b - U_{th})} = 2,29 \text{ k}\Omega,$$

mit

$$\beta_n = \mu_n \cdot C'_{\text{ox}} \left(\frac{W}{L} \right) = 727,3 \mu\text{A}/\text{V}^2$$

Fall 2: Low-Signal am Eingang: Es fließt kein Drainstrom I_D durch den Transistor. Er kann deswegen durch einen offenen Schalter (bzw. Leerlauf) ersetzt werden.

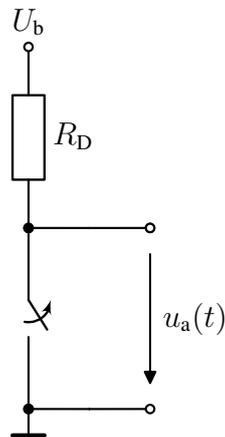


Abbildung 2

c) **Fall 1: High-Signal am Eingang:**

Die Ausgangsspannung ergibt sich aus dem Spannungsteiler zwischen R_D und $r_{\text{DS},n}$.

$$u_{a,\text{low}} = U_b \frac{r_{\text{DS},n}}{r_{\text{DS},n} + R_D} = 90,5 \text{ mV}$$

Fall 2: Low-Signal am Eingang: Wenn die Schaltung unbelastet bleibt, fließt kein Strom durch R_D .

$$u_a = U_b = 1 \text{ V}$$

d) **Fall 1: High-Signal am Eingang:**

Da die Ersatzschaltung nur aus zwei seriell geschalteten Widerständen besteht, ist die Verlustleistung:

$$P_{\text{Low}} = \frac{U_b^2}{R_D + r_{\text{DS},n}} = 39,5 \mu\text{W}$$

Fall 2: Low-Signal am Eingang:

Da kein Strom durch R_D fließt, ist die Verlustleistung $P_{\text{High}} = 0 \mu\text{W}$

e) Erwünscht ist, dass $u'_{a,low} = 10 \text{ mV}$

Die Spannungsteilerregel für die Ersatzschaltung in Abb. 1 liefert:

$$u'_{a,low} = U_b \frac{r'_{DS,n}}{r'_{DS,n} + R_D} \stackrel{!}{=} 10 \text{ mV}$$

Nach $r'_{DS,n}$ aufgelöst:

$$r'_{DS,n} = R_D \frac{U_b}{U_b - u'_{a,low}} = 232,3 \Omega$$

Mit der Formel für den äquivalenten Widerstand:

$$r'_{DS,n} = \frac{1}{\beta_n (U_b - U_{th})}$$

nach (W'/L) aufgelöst:

$$\left(\frac{W'}{L} \right) = \frac{1}{r'_{DS,n} \mu_n C'_{ox} (U_b - U_{th})} = 14,4$$

Daraus folgt:

$$W' = 14,4L = 316,8 \text{ nm}$$

Die neue resultierende statische Verlustleistung ist dann

$$P'_{Low} = \frac{U_b^2}{R_D + r'_{DS,n}} = 43,0 \mu\text{W}$$

Aufgabe 2 (Schmitt-Trigger)

a) **Fall 1:** $u_e = 0$:

- T_1 sperrt, da $U_{BE1} < 0,7\text{ V}$.
- Die Versorgungsspannung in diesem Fall über R_{C1} , R_1 und R_2 abfällt. Die Spannungsteilerregel liefert $U_{R2} = 3,9\text{ V}$. T_2 leitet.

Fall 2: $u_e > u_{e,\text{ein}}$

- T_1 leitet. Zwischen Kollektor und Emitter von T_1 fallen nur $0,2\text{ V}$ ab.
- Wegen des Spannungsteilers ist das Potential an der Basis von T_2 definitiv kleiner als das Potential am Kollektor von T_1 . Daraus folgt dass $u_{BE,T2} < 0,2\text{ V}$. T_2 sperrt.

b) Um die Schaltschwellen zu finden, müssen beide Zustände betrachtet werden.

Zustand 1: T_1 sperrt, T_2 leitet.

Es fließt nur Strom durch den Zweig mit T_2 :

$$I_E \approx I_{C2}$$

Die Masche über Zweig mit R_{C1} , T_2 und R_E liefert:

$$U_b = I_{C2}R_{C2} + U_{CE,T2} + I_{C2}R_E$$
$$I_{C2} = \frac{U_b - U_{CE}}{R_{C2} + R_E} = 2,4\text{ mA}$$

Das Potential am Emitter-Knoten ist dann:

$$U_E = I_{CE} \cdot R_E = 2,36\text{ V}$$

Damit $0,7\text{ V}$ zwischen Basis und Emitter von T_1 anliegen, müsste für die Eingangsspannung gelten:

$$u_{e,\text{ein}} = U_E + 0,7\text{ V} = 3,06\text{ V}$$

Zustand 2: T_1 leitet, T_2 sperrt.

Da der Strom über R_1 und R_2 deutlich geringer ist als der Kollektorstrom von T_1 , ergibt Masche über R_{C1} , T_1 und R_E :

$$I_E = \frac{U_b - U_{CE}}{R_E + R_{C1}} = 0,9 \text{ V}$$

$$U_E = I_E \cdot R_E = 0,9 \text{ V}$$

Damit der Transistor T_1 sperrt, muss seine Basis-Emitter-Spannung U_{BE} geringer als $0,7 \text{ V}$ werden.

$$u_{e,\text{aus}} = 1,6 \text{ V}$$

c) Wenn T_2 leitet, liegt am Ausgang:

$$u_{a,\text{Low}} = U_E + U_{CE} = 2,36 \text{ V} + 0,2 \text{ V} = 2,56 \text{ V}$$

Wenn T_2 sperrt, fließt kein Strom über R_{C2} und die Ausgangsspannung ist:

$$u_{a,\text{High}} = U_b = 12 \text{ V}$$

Die $u_a(u_e)$ -Kennlinie wird in Abb. 3 gezeigt:

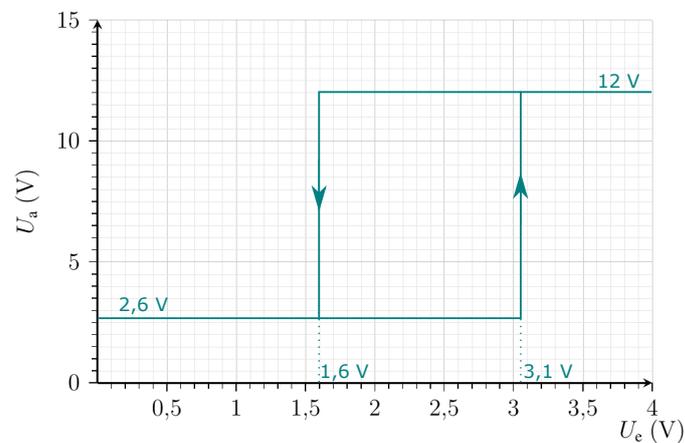


Abbildung 3

d) Beim gegebenen Eingangssignal, ergibt sich der Zeitverlauf in Abb. 4 am Ausgang:

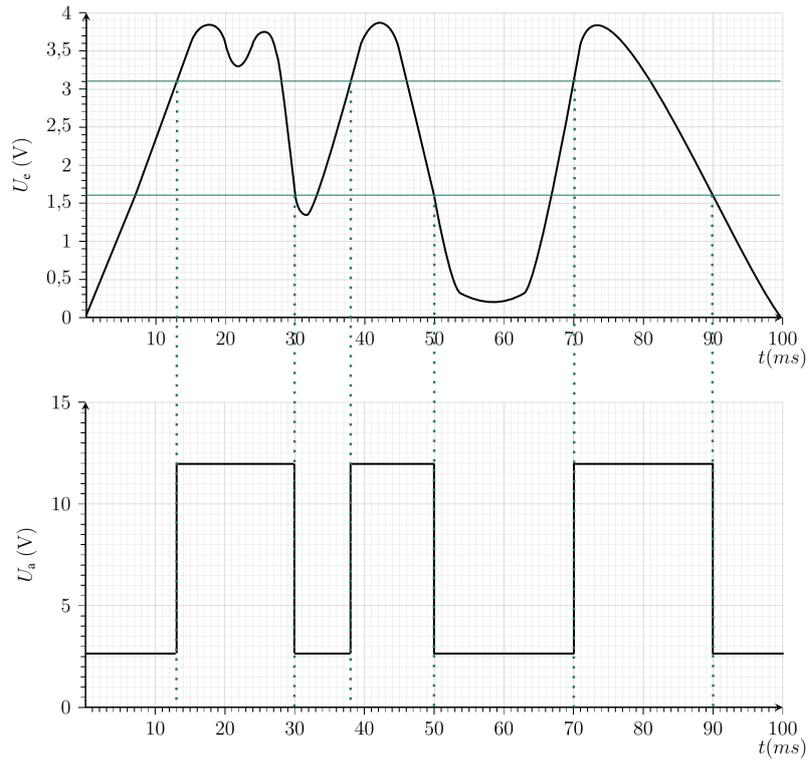


Abbildung 4

e) Abb. 5 zeigt die Schematics für die Simulation.

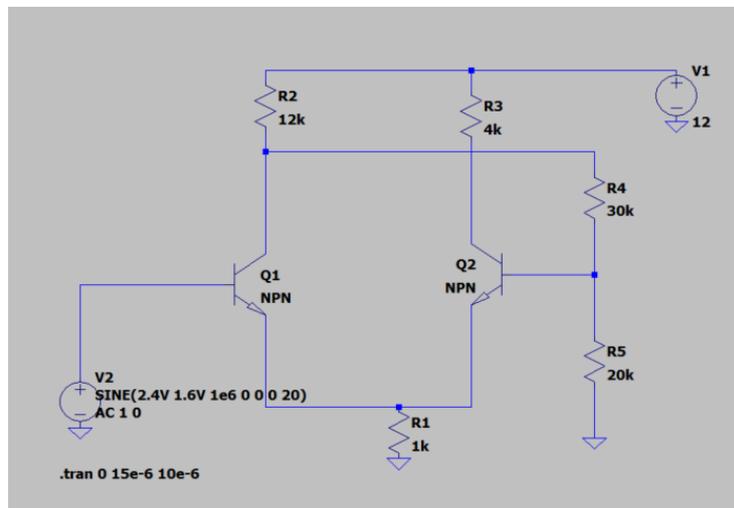


Abbildung 5

Abb. 6 zeigt den Zeitverlauf des Ausgangssignals.

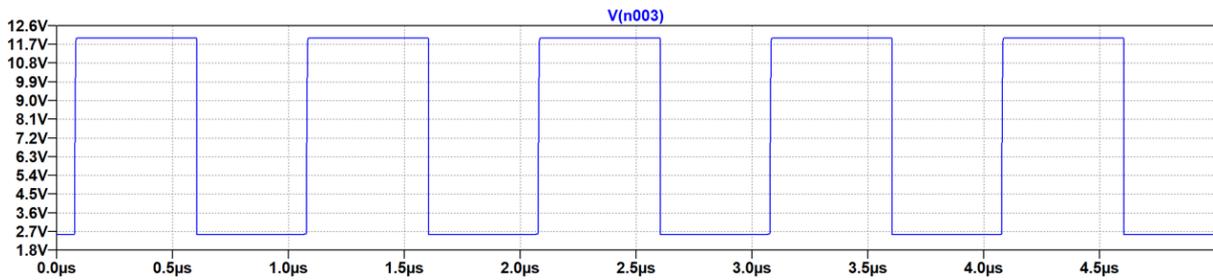


Abbildung 6

Der Sweep des Widerstands R_{C1} kann durchgeführt werden, indem der Widerstand R_{C1} als Parameter eingegeben wird ($\{R_{C1}\}$) und folgender LTSpice-Befehl hinzugefügt wird:

```
.step param R_C1 4k 16k 4k
```

Es resultiert der Zeitverlauf in Abb. 7

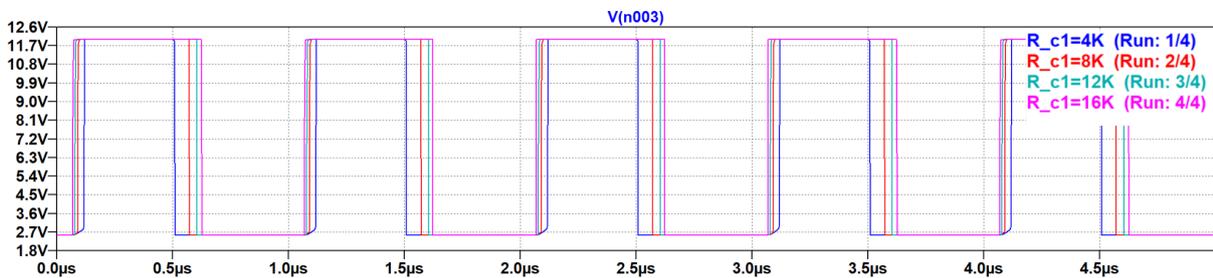


Abbildung 7

Durch die Änderung von R_{C1} ändert sich der Kollektorstrom von T_1 . Je höher dieser Strom, desto höher das Potential am Emitter der beiden Transistoren. Dadurch erhöht sich auch die Schaltschwelle $u_{e, \text{aus}}$.

Für den Fall, dass T_2 leitet, hängt die Spannung an der Basis von T_2 vom Widerstand R_{C1} ab. Je größer R_{C1} , desto kleiner das Potential an der Basis von T_2 . Da T_2 in diesem Zustand ohnehin in Sättigung ist, ändert sich die Schwelle $u_{e, \text{ein}}$ nur leicht.

Insgesamt führt die Änderung der Schwellen anhand des Widerstands R_{C1} zu einer Variation der Pulsbreite des Ausgangsignals, wie in Abb. 7 gezeigt.

Aufgabe 3 (nMOS-Gatter)

Wenn ein *High* Signal jeweils am Gate angelegt wird, leiten die nMOS-Transistoren. Ein leitender Weg vom Ausgangsknoten zu Erde, entspricht einem logischen *Low* am Ausgang.

Der Ausgangsknoten ist niederohmig mit Erde verbunden, in folgenden Fällen:

- *a* ist *High*
- Sowohl *b* wie auch *c* sind *High*

Entsprechend wird folgende logische Operation durch die Schaltung durchgeführt:

$$\overline{a \vee (b \wedge c)}$$

Die Wahrheitstabelle der Schaltung wird in Tab.1 gezeigt ¹.

a	b	c	u_a
0	0	0	1
0	0	1	1
0	1	0	1
0	1	1	0
1	0	0	0
1	0	1	0
1	1	0	0
1	1	1	0

Tabelle 1

b) Bei einem *High* Ausgangssignal, fließt kein Strom durch den Widerstand R_L . Die statische Leistung der Schaltung ist dann $0 \mu\text{W}$.

Wenn einer der Pfade leitet, ist der Ausgangsknoten direkt mit Erde verbunden. Die gesamte Versorgungsspannung U_b fällt am Widerstand R_L ab. Die statische Verlustleistung ist dann:

$$P_{\text{Low}} = \frac{U_b^2}{R_L} = 200 \mu\text{W}.$$

¹*High* und *Low* werden jeweils durch 1 und 0 repräsentiert.

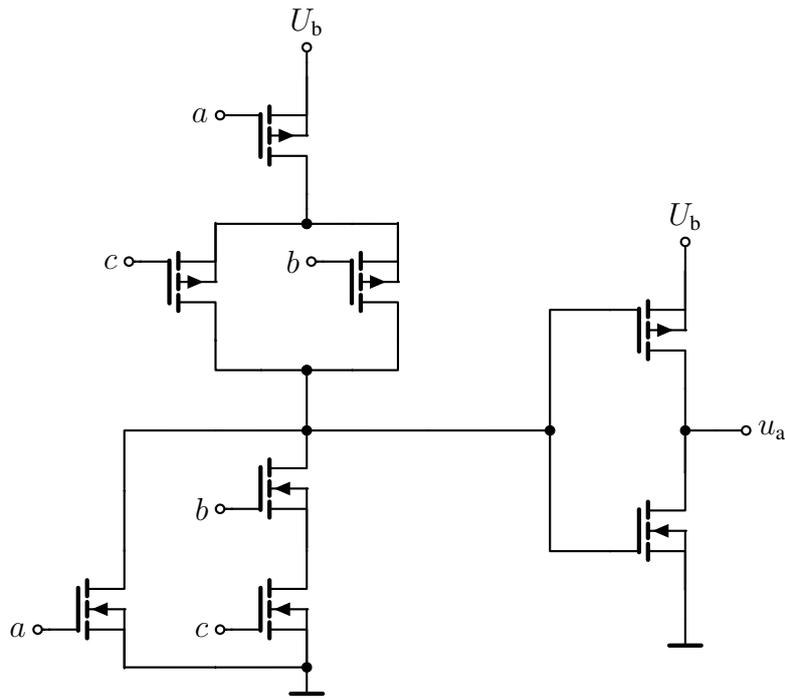


Abbildung 9

e) Die Realisierung als CMOS Schaltung hat den Vorteil, dass es keine statische Verlustleistung gibt. Da immer nur einer der zwei Pfade leitet, fließt zu keinem Zeitpunkt ein Gleichstrom zwischen der Versorgungsspannungsquelle und Erde.

Beim Umschalten wird eine dynamische Leistung verbraucht, die für das Laden und Entladen der internen Kapazitäten gebraucht wird.

Aufgabe 4 (Inverter-Charakterisierung)

a) Die Daten des Inverters bestimmen sich wie folgt:

- Verzögerungszeit: Zur Bestimmung der Verzögerungszeiten wird der 50% -Wert des Signalpegels benötigt. Aus dem zeitlichen Diagramm der Eingangsspannung kann abgelesen werden, dass $H = 5 \text{ V}$, $L = 0 \text{ V}$. Daraus folgt, dass der 50% Wert bei $2,5 \text{ V}$ liegt.

– t_{pdLH} : Eingang: $H \rightarrow L$, Ausgang: $L \rightarrow H$

Aus Abbildung Zeitpunkte der 50%-Werte ablesen: $t_{\text{UI}} = 5 \text{ ns}$, $t_{\text{UQ}} = 10 \text{ ns}$

$$\Rightarrow t_{\text{pdLH}} = 5 \text{ ns}$$

– t_{pdHL} : Eingang: $L \rightarrow H$, Ausgang: $H \rightarrow L$

Aus Abbildung Zeitpunkte der 50%-Werte ablesen: $t_{\text{UI}} = 17 \text{ ns}$, $t_{\text{UQ}} = 20 \text{ ns}$

$$\Rightarrow t_{\text{pdHL}} = 3 \text{ ns}$$

- Anstiegs- und Abfallzeit: Werden zwischen 10% und 90% des Pegels der Ausgangsspannung gemessen. Diese ergeben sich zu $10\% \cdot U_e = 0,5 \text{ V}$, $90\% \cdot U_e = 4,5 \text{ V}$.

$$\rightarrow t_r = 12,4 \text{ ns} - 7,6 \text{ ns} = 4,8 \text{ ns}$$

$$\rightarrow t_f = 21,6 \text{ ns} - 18,4 \text{ ns} = 3,2 \text{ ns}$$

- Gatterlaufzeit: Ist der Mittelwert der beiden Verzögerungszeiten t_{pdLH} und t_{pdHL} :

$$t_{\text{pd}} = \frac{1}{2}(t_{\text{pdLH}} + t_{\text{pdHL}}) = \frac{1}{2}(5 + 3)\text{ns} = 4 \text{ ns}$$

b) Bei der Übertragungskennlinie ist es wichtig immer zuerst die Winkelhalbierende einzutragen. Der Schnittpunkt der Übertragungskennlinie und der Winkelhalbierenden wird als U_S (Schwellspannung) gekennzeichnet (aus Abbildung: $1,5 \text{ V}$).

Bestimmung von ΔU_H und ΔU_L :

$$\Delta U_H = U_H - U_S = 5 \text{ V} - 1,5 \text{ V} = 3,5 \text{ V}$$

$$\Delta U_L = U_S - U_H = 1,5 \text{ V} - 0 \text{ V} = 1,5 \text{ V}$$

Bestimmung von Z_H und Z_L :

ΔU kann aus der Übertragungskennlinie ermittelt werden: $\Delta U = U_H - U_L = 5 \text{ V}$.

$$Z_H = \frac{\Delta U_H}{\Delta U} = \frac{3,5 \text{ V}}{5 \text{ V}} = 0,7 = 70\%$$

$$Z_L = \frac{\Delta U_L}{\Delta U} = \frac{1,5 \text{ V}}{5 \text{ V}} = 0,3 = 30\%$$

Aufgabe 5 (Digitale Schaltung auf Transistorebene)

a) In Abbildung 10 ist das Ersatzschaltbild der Schaltung aus logischen Elementen.

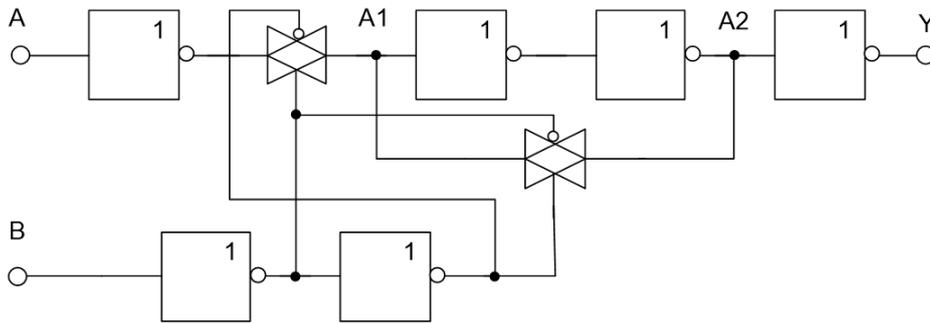


Abbildung 10

b) Die Wahrheitstabelle sieht wie folgt aus:

A	B	A1	A2	Y
0	0	1	1	0
0	1	$A2_{-1}$	$A2_{-1}$	Y_{-1}
1	0	0	0	1
1	1	$A2_{-1}$	$A2_{-1}$	Y_{-1}

c) Hierbei handelt es sich um ein taktzustandsgesteuertes D-Flip-Flop (Transparentes Latch).

d) Das logische Symbol der Gesamtschaltung ist in Abbildung 11 zu sehen.

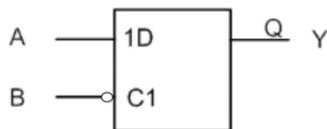


Abbildung 11