

Elektronische Schaltungen SS 2021

6. Übungsblatt

Digitale Schaltungen

Aufgabe 1 (CMOS-Inverter)

Ein CMOS-Inverter wird wie in Abb. 1 mit einer kapazitiven Last $C_L = 10 \text{ pF}$ belastet. Die Transistoren sind so angepasst, dass $\beta_n = \beta_p = 100 \mu\text{A}/\text{V}^2$. Die Gate-Breite des nMOS-Transistors beträgt $W_n = 1 \mu\text{m}$ und für die Ladungsträgerbeweglichkeiten gilt $\mu_n = 4\mu_p$. Die Threshold-Spannung der Transistoren beträgt $U_{\text{th}} = 0,6 \text{ V}$. Die Versorgungsspannung beträgt $U_{\text{DD}} = 5 \text{ V}$.

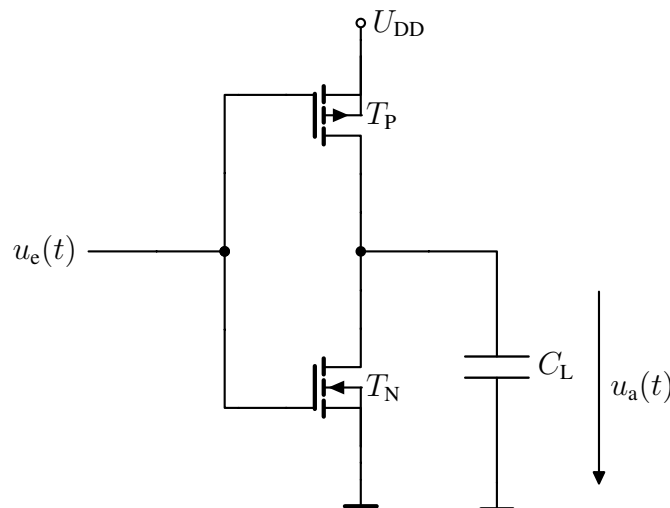


Abbildung 1

- Wie groß ist die Gate-Breite W_p des pMOS-Transistors?
- Abb. 2 zeigt die simulierte Übertragungskennlinie des Inverters $u_a(u_e)$. Bestimmen Sie die Schwellenspannung U_S und die absoluten und relativen Störabstände graphisch.

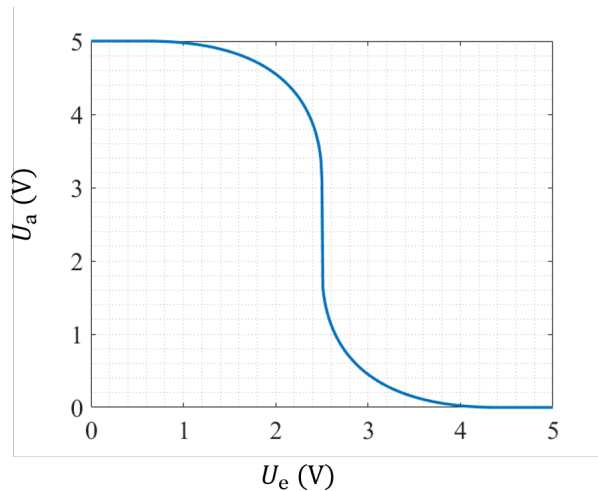


Abbildung 2

- c) Berechnen Sie die Verzögerungszeiten t_{pdLH} und t_{pdHL} der Schaltung.
- d) Die Schaltung wird bei einer Taktfrequenz von $f_C = 20$ MHz betrieben. Wie hoch ist die dynamische Verlustleistung?
- e) Bis zu welcher maximalen Taktfrequenz $f_{C,max}$ darf die Schaltung betrieben werden, damit die Ausgangsspannung nach jeder Änderung des Eingangssignals mindestens die Schwellenspannung U_S erreicht?

Aufgabe 2 (Digitale Schaltung mit Bipolartransistoren)

Die digitale Schaltung in Abb. 3 wird mit einer Versorgungsspannung von $U_B = 2$ V versorgt. Die logische 1 soll einer Spannung von 1 V entsprechen und die logische 0 einer Spannung von 0 V. Um die Betrachtung aus digitaler Sicht zu vereinfachen können folgende Annahmen getroffen werden:

- Wenn der Transistor in Sättigung betrieben wird, leitet er niederohmig zwischen Emitter und Kollektor ($U_{CE} = 0$ V).
- Der Transistor leitet wenn $u_{BE} = 0,8$ V. Für Basis-Emitter-Spannungen unter 0,7 V, fließt kein Strom zwischen Kollektor und Emitter.
- Der Basisstrom ist immer vernachlässigbar klein.

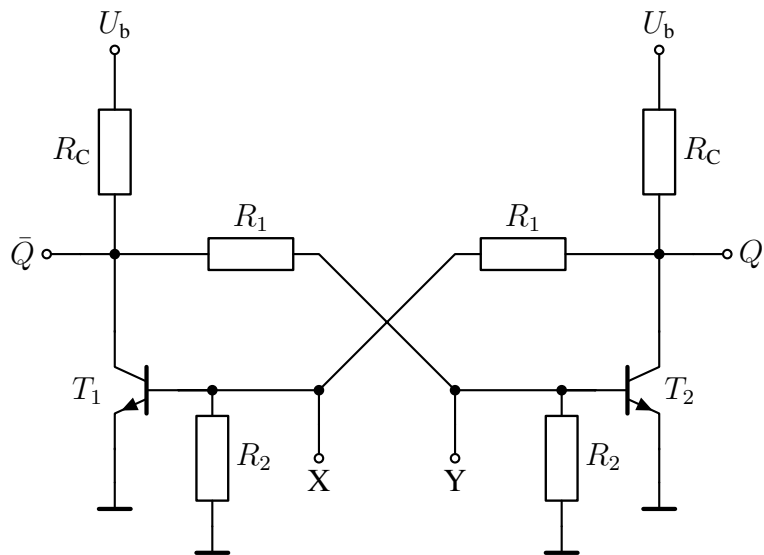


Abbildung 3

- a) Der Kollektorwiderstand soll so gewählt werden, dass ein Kollektorstrom von $I_{C,low} = 0,5 \text{ mA}$ durch die leitenden Transistoren fließt. Ermitteln Sie alle Bauteilwerte, bei denen die Bistabile-Schaltung die erwünschten Hi und Low Pegel einstellt.
- b) Welche statische Leistung wird von der Schaltung verbraucht?
- c) Ermitteln Sie die Wahrheitstabelle der Schaltung.

Aufgabe 3 (CMOS Flip-Flop)

Abbildung 4 zeigt ein Flip-Flop in CMOS-Technik.

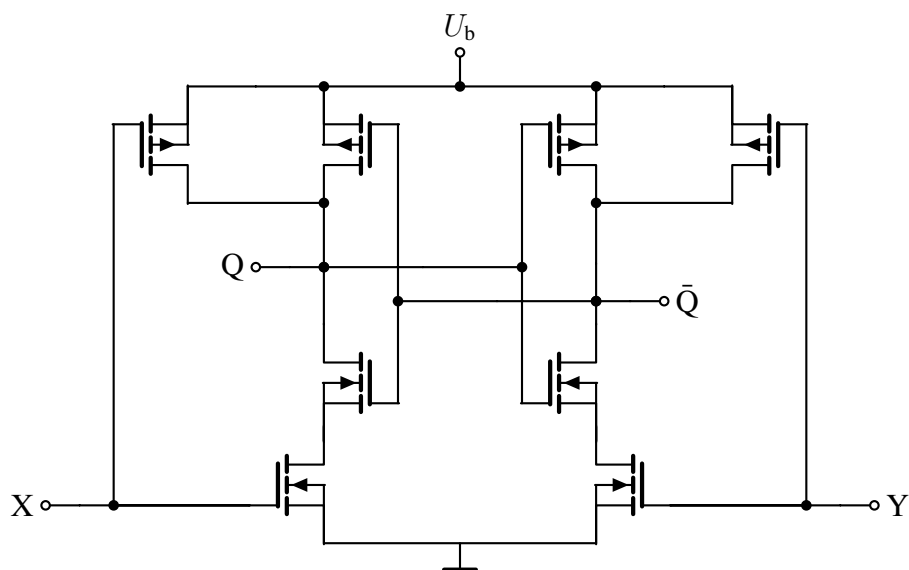


Abbildung 4

- Zeichnen Sie das Ersatzschaltbild des Flip-Flops mit Gattern.
- Geben Sie die Wahrheitstabelle für das Flip-Flop an. Um welche bekannte Art von Flip-Flop handelt es sich?
- Die Schaltung wird wie in Abb. 5 erweitert. Zeichnen Sie das neue Ersatzschaltbild mit Gattern.
- Geben Sie die neue Wahrheitstabelle an. Wie werden X und Y üblicherweise bezeichnet?
- Wie unterscheidet sich die Funktionsweise der Schaltung im Vergleich zur ursprünglichen Schaltung in Abb. 4.

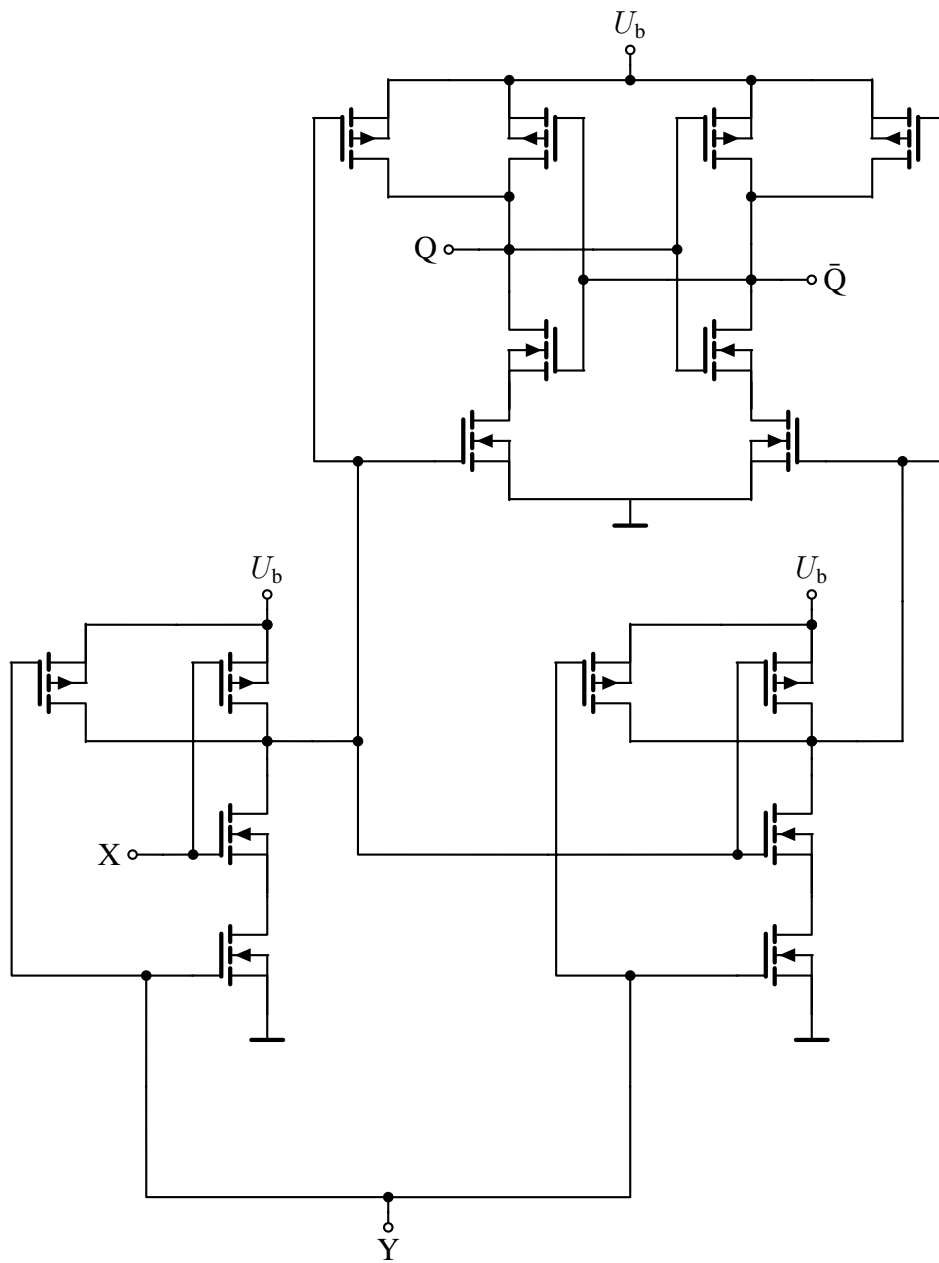


Abbildung 5