

Elektronische Schaltungen SS 2021

6. Übungsblatt

Digitale Schaltungen

Aufgabe 1 (CMOS-Inverter)

a) Es gilt $\beta_n = \beta_p$:

$$\begin{aligned} \mu_n C'_{\text{ox}} \left(\frac{W_n}{l} \right) &= \mu_p C'_{\text{ox}} \left(\frac{W_p}{l} \right) \\ \mu_n W_n &= \mu_p W_p \\ \frac{\mu_n}{\mu_p} &= \frac{W_p}{W_n} \stackrel{!}{=} 4 \end{aligned}$$

Für W_p gilt dann:

$$W_p = 4 \cdot W_n = 4 \mu\text{m}$$

b) Zuerst muss die Schwellenspannung bestimmt werden. Diese befindet sich am Schnittpunkt zwischen der Übertragungskennlinie und der Winkelhalbierenden.

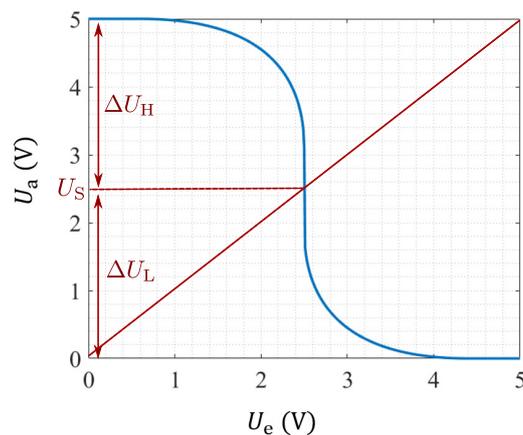


Abbildung 1

Aus Abb. 1 kann abgelesen werden:

$$U_S = 2,5 \text{ V}$$

$$\Delta U_H = 5 \text{ V} - 2,5 \text{ V} = 2,5 \text{ V}$$

$$\Delta U_L = 2,5 \text{ V} - 0 \text{ V} = 2,5 \text{ V}$$

Die relativen Störabstände sind dann:

$$Z_H = \frac{\Delta U_H}{\Delta U} = 0,5$$

$$Z_L = \frac{\Delta U_L}{\Delta U} = 0,5$$

c) Aufladeverhalten Wenn das Eingangssignal von *High* auf *Low* wechselt, lädt sich die kapazitive Last über den PMOS-Transistor auf. Wie in Abb. 2 gezeigt, wirkt der NMOS-Transistor als Leerlauf und der PMOS-Transistor kann durch einen äquivalenten Widerstand $r_{DS,p}$ modelliert werden. Dieser beträgt:

$$r_{DS,p} = \frac{1}{\beta_p(U_{GS} - U_{th})} = 2,27 \text{ k}\Omega$$

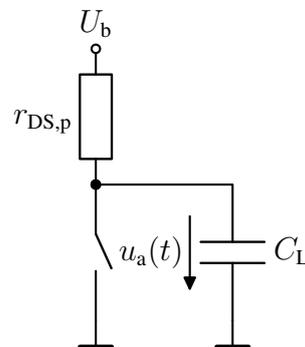


Abbildung 2

Das Aufladeverhalten der Kapazität folgt dann einer Exponentialfunktion:

$$u_a(t) = U_b \left(1 - e^{-\frac{t}{r_{DS,p} C_L}} \right)$$

Die Verzögerungszeit ist die Zeit bei der die Hälfte der High-Spannung erreicht wird:

$$u_a(t_{pdLH}) = U_b \left(1 - e^{-\frac{t_{pdLH}}{r_{DS,p} C_L}} \right) \stackrel{!}{=} \frac{U_b}{2}$$

$$\begin{aligned}
 -e^{-\frac{t_{\text{pdLH}}}{r_{\text{DS,p}}C_{\text{L}}}} &= -\frac{1}{2} \\
 -\frac{t_{\text{pdLH}}}{r_{\text{DS,p}}C_{\text{L}}} &= \ln\left(\frac{1}{2}\right) \\
 t_{\text{pdLH}} &= -\ln\left(\frac{1}{2}\right) \cdot r_{\text{DS,p}}C_{\text{L}} = 0,69 \cdot r_{\text{DS,p}}C_{\text{L}} \\
 &= 15,7 \text{ ns}
 \end{aligned}$$

Entladeverhalten: Nach dem das Eingangssignal von *Low* auf *High* wechselt, entlädt sich die kapazitive Last über den NMOS-Transistor. Da die Steilheitskoeffizienten der beiden Transistoren β_n und β_p gleich sind, gilt für den äquivalenten Widerstand des NMOS-Transistors:

$$r_{\text{DS,n}} = r_{\text{DS,p}} = 2,27 \text{ k}\Omega$$

Abb. 3 zeigt die entsprechende äquivalente Schaltung:

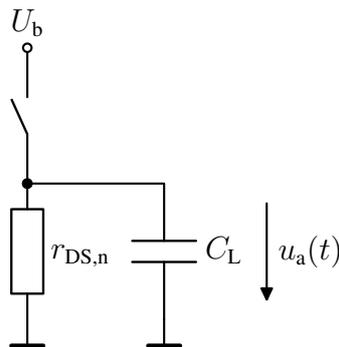


Abbildung 3

Für den Zeitverlauf der Ausgangsspannung gilt dann:

$$u_a(t) = e^{-\frac{t}{r_{\text{DS,n}}C_{\text{L}}}}$$

Verzögerungszeit $t_{\text{pd,HL}}$ wird dann folgendermaßen berechnet:

$$\begin{aligned}
u_a(t_{\text{pd,HL}}) &= U_b \cdot e^{-\frac{t_{\text{pd,HL}}}{r_{\text{DS,n}}C_L}} \stackrel{!}{=} \frac{U_b}{2} \\
-\frac{t_{\text{pd,HL}}}{r_{\text{DS,n}}C_L} &= \ln \frac{1}{2} \\
t_{\text{pd,HL}} &= -r_{\text{DS,n}}C_L \cdot \ln \frac{1}{2} \\
&= 15,7 \text{ ns}
\end{aligned}$$

d) Die dynamische Verlustleistung bezieht sich auf die Energie, die zum Laden und Entladen der Kapazität benötigt wird. Wenn diese vollständig aufgeladen wird, ist die in ihr gespeicherte Energie W_C gegeben durch:

$$W_C = \frac{1}{2} C_L U_b^2$$

Diese Energie wird zweimal pro Periode T_C verbraucht (Einmal beim Ladevorgang und einmal beim Entladevorgang). So ergibt sich für die dynamische Verlustleistung:

$$\begin{aligned}
P_{\text{dyn}} &= \frac{2}{T_C} \cdot \frac{1}{2} C_L U_b^2 = f_C C_L U_b^2 \\
&= 5 \text{ mW}
\end{aligned}$$

e) Die Last wird jeweils einmal pro Periode aufgeladen und entladen. So ist die minimale Taktperiode T_C bei der die Schaltung sinnvollerweise betrieben werden kann gleich der Summe der zwei Verzögerungszeiten:

$$T_{C,\text{max}} = t_{\text{pdLH}} + t_{\text{pdHL}}$$

Die maximale Betriebsfrequenz $f_{C,\text{max}}$ ist dann:

$$f_{C,\text{max}} = \frac{1}{T_{C,\text{max}}} = \frac{1}{t_{\text{pdHL}} + t_{\text{pdLH}}} = 31,8 \text{ MHz}$$

Aufgabe 2 (Digitale Schaltung mit Bipolartransistoren)

a) Am Zweig, in dem der Transistor leitet, fällt die gesamte Versorgungsspannung U_b am Kollektorwiderstand R_b ab. Der Kollektorstrom kann anhand des ohmschen Gesetzes berechnet werden:

$$I_{C,\text{ein}} = \frac{U_b}{R_C} \stackrel{!}{=} 0,5 \text{ mA}$$

Der Kollektor-Widerstand muss entsprechend gewählt werden:

$$R_C = \frac{2 \text{ V}}{0,5 \text{ mA}} = 4 \text{ k}\Omega$$

Wenn T_2 sperrt, soll das Potential am Ausgangsknoten die *High*-Spannung anliegen. Da in diesem Fall kein Strom in den Kollektor von T_1 fließt, bilden R_C , R_1 und R_2 einen Spannungsteiler. Daraus folgt:

$$U_Q = U_b \frac{R_1 + R_2}{R_C + R_1 + R_2} \stackrel{!}{=} 1 \text{ V}$$

$$\frac{R_1 + R_2}{R_C + R_1 + R_2} = \frac{1 \text{ V}}{2 \text{ V}}$$

$$R_1 + R_2 = \frac{1}{2}(R_C + R_1 + R_2)$$

$$R_1 + R_2 = R_C = 4 \text{ k}\Omega$$

Gleichzeitig muss der Spannungsteiler zwischen R_1 und R_2 dafür sorgen, dass der entgegengesetzte Transistor (T_1) leitet. Das Potential an seiner Basis soll dafür 0,8 V sein.:

$$U_{R2} = 1 \text{ V} \cdot \frac{R_2}{R_1 + R_2} \stackrel{!}{=} 0,8 \text{ V}$$

$$R_2 = 0,8 \cdot (R_1 + R_2) = 3,2 \text{ k}\Omega$$

$$R_1 = 0,8 \text{ k}\Omega$$

b) Die Schaltung ist nun so entworfen, dass immer einer der beiden Zweige sperrt und der andere leitet. Die Verlustleistung des leitenden Zweigs ist gegeben durch:

$$P_{\text{leit}} = \frac{U_b}{R_C} = 1 \text{ mW}$$

Und die Leistung des sperrenden Zweigs ist gegeben durch:

$$P_{\text{sperr}} = \frac{U_b}{R_b + R_1 + R_2} = 0,5 \text{ mW}$$

Die Gesamtverlustleistung ist:

$$P_{\text{Ges}} = P_{\text{leit}} + P_{\text{sperr}} = 1,5 \text{ mW}$$

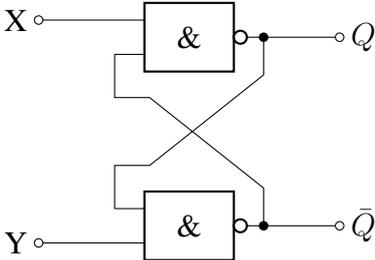
c) Die Wahrheitstabelle der Schaltung ist in Tab. 1 zu sehen.

X	Y	Q	\overline{Q}	
0	0	1	1	Verboten
0	1	0	1	
1	0	1	0	
1	1	0	0	Verboten

Tabelle 1

Aufgabe 3 (CMOS-Flip-Flop)

a)



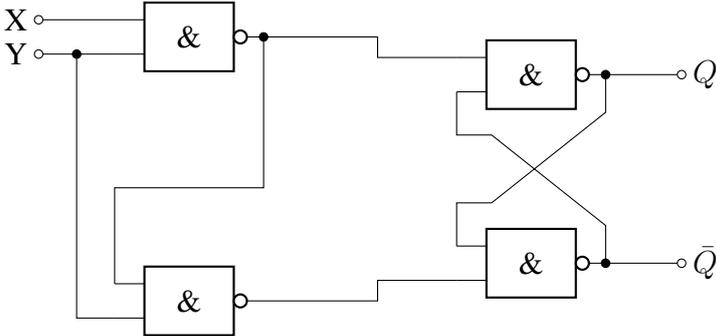
b)

X	Y	Q	\bar{Q}	
0	0	1	1	Verboten
0	1	0	1	
1	0	1	0	
1	1	Q_{-1}	\bar{Q}_{-1}	

Tabelle 2

Die Wahrheitstabelle zeigt, dass die Schaltung einem $\bar{R}\bar{S}$ -Flip-Flop entspricht.

c) Der Schaltung wurden zwei weitere NAND-Gatter hinzugefügt:



d)

X	Y	Q	\overline{Q}
0	0	Q_{-1}	\overline{Q}_{-1}
0	1	0	1
1	0	Q_{-1}	\overline{Q}_{-1}
1	1	1	0

Tabelle 3

Tab. 3 ist die Wahrheitstabelle der Schaltung in Abb. 5 des Übungsblatts. Das Verhalten entspricht einem D-Flip-Flop. Üblicherweise wird das Signal X als *Data* (D) bezeichnet und das Signal Y als *Clock* (C).

e) Es gibt zwei wichtige Unterschiede zwischen den beiden Flipflops:

- Solange am Clock-Eingang (Y) ein *Low*-Signal anliegt, liefern die zwei Eingangsgatter jeweils ein *High*-Signal. Der Zustand des Flip-Flops bleibt dann unverändert.

Wenn ein *High*-Signal am Clock-Eingang (Y) anliegt, wird das Data-Signal (X) an den Ausgang Q übertragen.

- Die zusätzlichen Gatter vermeiden den verbotenen Zustand. Bei keiner Kombination der neuen Eingangssignalen wird das ursprüngliche $\overline{R}\overline{S}$ -Flip-Flop mit zwei *Low*-Signalen eingespeist.