

Elektronische Schaltungen SS 2022

4. Tutoriumsblatt

Feldeffekttransistoren

Infos zur Abgabe

Abgabefrist: **26.06.2022** online über Ilias

Abzugebende Aufgaben: **Aufgabe 1** (Handschriftlich, eingescannt als .pdf)

Aufgabe 5 (Separate .pdf mit Screenshots + kurzer Beschreibung)

– Teil I: Rechenaufgaben –

Aufgabe 1 (Verstärkerschaltung)

Gegeben ist die Schaltung in Abbildung 1. Der Transistor besitzt die Parameter $U_{th} = 0,5 \text{ V}$ und $\beta = 50 \frac{\text{mA}}{\text{V}^2}$. Die Widerstandswerte betragen $R_D = 300 \Omega$ und $R_S = 20 \Omega$. Die Versorgungsspannung sei $U_b = 10 \text{ V}$ und die Kanallängenmodulation vernachlässigbar. Im Arbeitspunkt soll zudem ein Drainstrom von $I_D = 25 \text{ mA}$ fließen.

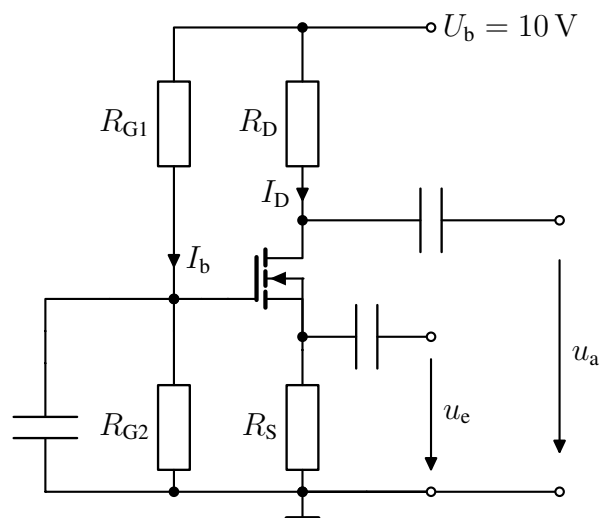


Abbildung 1

- a) In welcher Grundsaltung wird der Transistor betrieben?
- b) Bestimmen Sie die Biasing-Widerstände R_{G1} und R_{G2} , sodass sich eine Gate-Source-Spannung von $U_{GS} = 1,5 \text{ V}$ einstellt. Die Stromaufnahme des Biasing-Netzwerks soll dabei auf $I_b = 100 \mu\text{A}$ begrenzt werden.
- c) Berechnen Sie die Drain-Source-Spannung U_{DS} im Arbeitspunkt an und begründen Sie durch kurze Rechnung, in welchem Arbeitsbereich der Transistor betrieben wird.
- d) Zeichnen Sie das Kleinsignalersatzschaltbild der Schaltung in Abb. 1.
- e) Berechnen Sie den Kleinsignal-Eingangs- und Ausgangswiderstand der Schaltung.
- f) Berechnen Sie die Kleinsignal-Spannungsverstärkung $A = \frac{u_a}{u_e}$ für den unbelasteten Verstärker sowie für den Fall, dass ein Lastwiderstand $R_L = 100 \Omega$ am Ausgang angeschlossen wird.

Aufgabe 2 (Mehrstufige Verstärkerschaltung)

Gegeben ist die zweistufige Verstärkerschaltung in Abbildung 2. Für beide Transistoren soll im Arbeitspunkt $U_{GS1} = U_{GS2} = 0,9 \text{ V}$ gelten. Die Threshold-Spannungen betragen $U_{th1} = U_{th2} = 0,5 \text{ V}$. Außerdem gilt $\beta_1 = \beta_2 = 125 \frac{\text{mA}}{\text{V}^2}$. Die Widerstände haben die folgenden Werte: $R_{D1} = 510 \Omega$ und $R_L = 50 \Omega$. Die Versorgungsspannung beträgt $U_b = 8 \text{ V}$. Die Kanallängenmodulation kann vernachlässigt werden und alle Transistoren befinden sich in Sättigung.

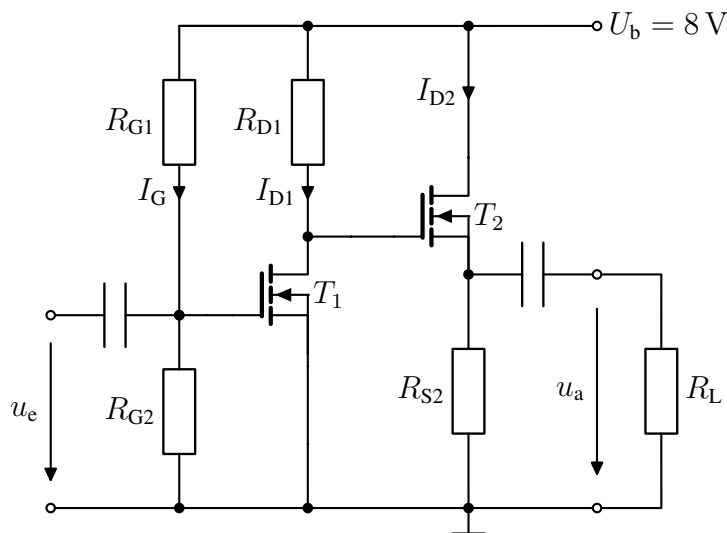


Abbildung 2

- a) In welcher Grundsaltung werden die Transistoren T_1 und T_2 betrieben?
- b) Bestimmen Sie R_{G1} und R_{G2} , damit sich der gewünschte Arbeitspunkt für T_1 einstellt. Um die Verlustleistung des Biasing-Netzwerks gering zu halten, soll der Strom I_G den Wert $10\ \mu\text{A}$ nicht überschreiten. Geben Sie zudem den Arbeitspunkt (U_{GS} , U_{DS} , I_D) von T_1 an.
- c) Wie muss der Widerstand R_{S2} gewählt werden, damit sich der in der Aufgabenstellung gegebene Wert $U_{GS2} = 0,9\ \text{V}$ einstellt? Geben Sie den Arbeitspunkt (U_{GS} , U_{DS} , I_D) von T_2 an.
- d) Zeichnen Sie das Kleinsignalersatzschaltbild der Schaltung in Abbildung 2.
- e) Bestimmen Sie jeweils den Kleinsignal-Eingangs- und Ausgangswiderstand der einzelnen Stufen sowie der Gesamtschaltung.
- f) Bestimmen Sie die Kleinsignal-Spannungsverstärkung $A = \frac{u_a}{u_e}$ der gesamten Schaltung. Wie würde sich das Ergebnis ändern, wenn R_L direkt an den Ausgang der ersten Stufe (T_1) angeschlossen wird, siehe Abbildung 3?

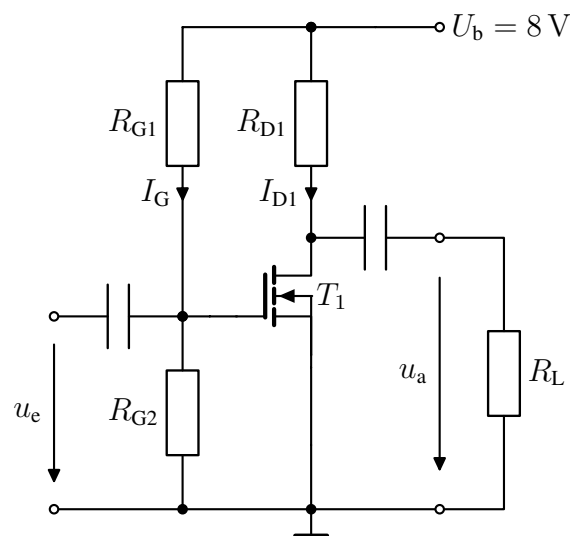


Abbildung 3

Aufgabe 3 (Stromspiegel)

Abbildung 4a zeigt einen Transistor, bei dem der Gate- und der Drain-Anschluss miteinander verbunden sind. Folgende Parameter des Transistors sind bekannt: $U_{th} = 0,5 \text{ V}$, $\mu_n = 1200 \frac{\text{cm}^2}{\text{Vs}}$, $C'_{ox} = 2,5 \frac{\text{fF}}{\mu\text{m}^2}$, $w/l = 200$. Die Kanallängenmodulation kann vernachlässigt werden.

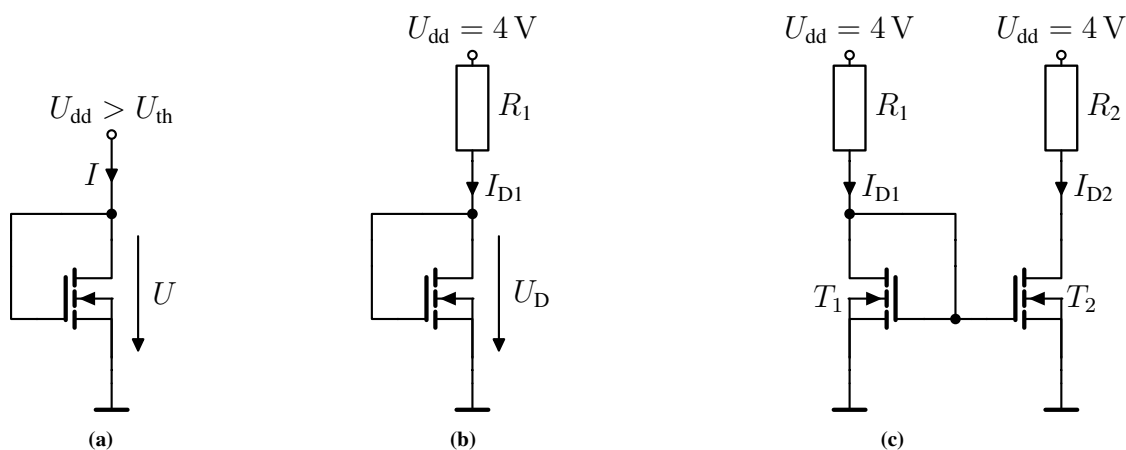


Abbildung 4

- a) In welchem Arbeitsbereich wird der Transistor in Abbildung 4a betrieben?
- b) Geben Sie die $I = f(U)$ -Beziehung für die Schaltung in Abbildung 4a in Abhängigkeit der in der Aufgabenstellung gegebenen Transistor-Parameter an.
- c) Die Schaltung aus Abb. 4a wird mit einem Widerstand R_1 erweitert, siehe Abb. 4b. Wie muss R_1 gewählt werden, damit sich eine Spannung $U_D = 1 \text{ V}$ einstellt?
- d) Die Schaltung aus Abb. 4b wird nun mit einem zweiten Transistor T_2 ergänzt (siehe Abb. 4c), welcher die gleiche Gate-Länge l und Threshold-Spannung U_{th} besitzt wie T_1 . Durch T_2 soll ein Drainstrom von $I_{D2} = 30 \text{ mA}$ fließen.
Wie muss die Gate-Breite w_2 im Verhältnis zu w_1 gewählt werden und welche Bedingung muss R_2 erfüllen, damit T_2 in Sättigung betrieben wird?

(Zusatz) Bauen Sie die Schaltung aus Abb. 4c in LTspice auf. Variieren Sie R_2 im Bereich $0 \leq R_2 \leq 150 \Omega$ und plotten Sie den zugehörigen Drainstrom I_{D2} . Vergleichen Sie die Simulationsergebnisse mit Ihren Erwartungen aus Aufgabenteil d). Was verändert sich, wenn für T_2 die Kanallängenmodulation berücksichtigt wird und $|U_A| = 25 \text{ V}$ gilt?

– Teil II: SPICE-Simulationen –

Aufgabe 4 (Kaskodenschaltung)

Zunächst werden die beiden Schaltungen in Abb. 5a und 5b ohne äußere Beschaltung betrachtet.

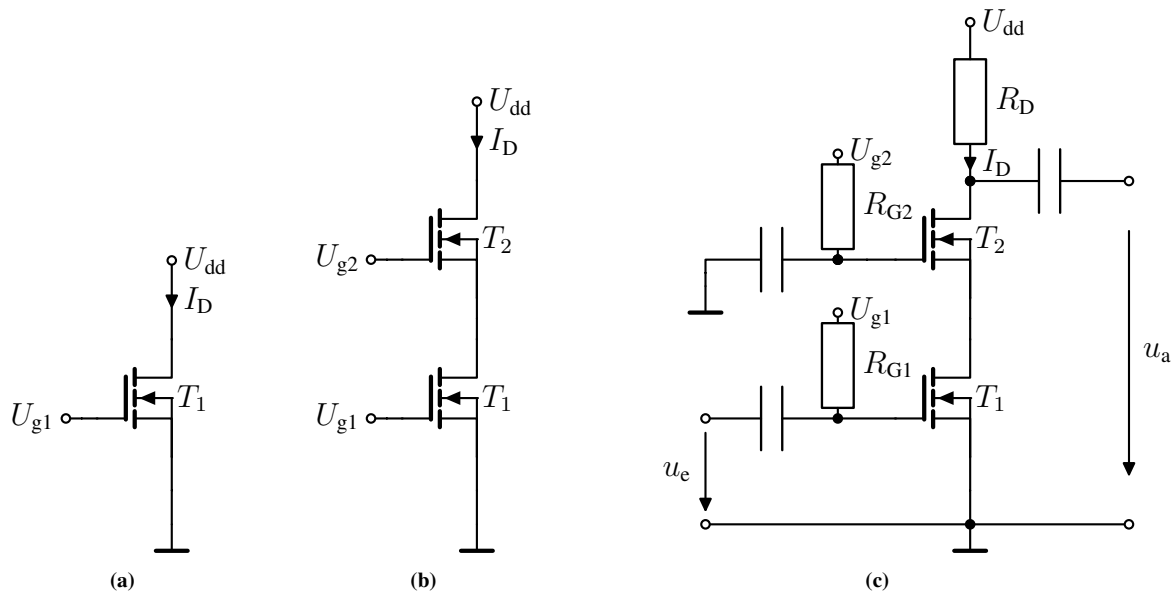


Abbildung 5

Teil 1: SPICE

a) Simulieren Sie für beide Schaltungen (a) und (b) die Ausgangskennlinie $I_D(U_{dd})$ in LTspice. Für die Simulation kann $U_{g1} = 1\text{ V}$ und $U_{g2} = 2\text{ V}$ angenommen werden. Außerdem gilt $\beta_1 = \beta_2 = 100 \frac{\text{mA}}{\text{V}^2}$, $U_{th1} = U_{th2} = 0,6\text{ V}$ und $|U_{A1}| = |U_{A2}| = 50\text{ V}$. Wie unterscheiden sich die Steigungen der Ausgangskennlinien im Sättigungsbereich?

Teil 2: Rechnungen

Die Schaltung aus Abbildung 5b wird nun wie in Abbildung 5c dargestellt erweitert, wobei zunächst $R_D = \infty$ angenommen wird.

b) In welchen Grundschaltungen werden T_1 und T_2 betrieben?

c) Zeichnen Sie das Kleinsignalersatzschaltbild der Schaltung in Abbildung 5c. Die Impedanz der Kondensatoren für Wechsignale kann zu $|Z_C| = 0$ angenommen werden. Leiten Sie aus dem ESB eine Formel für den Kleinsignal-Ausgangswiderstand der Schaltung her.

- d)** Berechnen Sie formelmäßig die Kleinsignal-Spannungsverstärkung $A = \frac{u_a}{u_e}$
1. durch Herleitung aus dem Kleinsignal-Ersatzschaltbild und
 2. durch Berechnung der Gesamtverstärkung über die Einzel-Stufen ($A = A_1 \cdot A_2$)
- e)** Was ändert sich am Ergebnis aus d), wenn R_D einen endlichen Wert besitzt?

Aufgabe 5 (CMOS-Verstärker)

Teil 1: Transistor-Kennlinien

Gegeben sind ein n-MOS sowie ein p-MOS Transistor mit den folgenden Parametern:

Parameter	n-MOS	p-MOS
U_{th}	0,5 V	-0,5 V
$ U_A $	50 V	50 V
β	$60 \frac{\text{mA}}{\text{V}^2}$	$60 \frac{\text{mA}}{\text{V}^2}$

Tabelle 1: Transistor-Parameter für Aufgabe 5.

Nutzen Sie für die folgenden Simulationen die Spice-Modelle NMOS bzw. PMOS und definieren Sie die obigen Parameter über die SPICE-Anweisung `.model`.

Hinweis: Weitere Informationen zur Definition des Transistor-Modells finden Sie im Video von Übung 4, Aufgabe 1 im ES Ilias-Kurs.

a) Simulieren Sie jeweils die $I_D(U_{GS})$ -Kennlinie für den n-MOS und den p-MOS Transistor. Nehmen Sie für den n-MOS $U_{DS,n} = 1 \text{ V}$ und für den p-MOS $U_{DS,p} = -1 \text{ V}$ an.

Abgabe: Reichen Sie einen Screenshot Ihres SPICE-Schaltplans ein. Fügen Sie außerdem die beiden $I_D(U_{GS})$ -Kennlinien ein. Wählen Sie einen geeigneten Spannungsbereich und geben Sie die Gate-Source-Spannungen $U_{GS,n}$ (n-MOS) bzw. $U_{GS,p}$ (p-MOS) an, für die $|I_D| = 15 \text{ mA}$ wird.

b) Simulieren Sie das Ausgangskennlinienfeld $I_D(U_{DS})$ für n-MOS sowie p-MOS Transistor im Bereich $0 \text{ V} \leq |U_{DS}| \leq 5 \text{ V}$. Führen Sie dazu eine geeignete Simulation für drei Gate-Source-Spannungen $|U_{GS}| \in \{1,0 \text{ V}; 1,2 \text{ V}; 1,4 \text{ V}\}$ durch.

Abgabe: Reichen Sie einen Screenshot Ihres SPICE-Schaltplans sowie die beiden Ausgangskennlinienfelder für n-MOS und p-MOS ein.

Auf der Ausgangskennlinie des n-MOS für $U_{GS} = 1,2 \text{ V}$: Wie groß ist die Zunahme des Drainstroms I_D , wenn U_{DS} von 2 V auf 2,1 V erhöht wird? Schätzen Sie daraus den differentiellen Ausgangswiderstand r_{DS} ab und geben Sie diesen ebenfalls in Ihrer Abgabe an.

Teil 2: CMOS-Verstärker

Es wird der CMOS-Verstärker in Abbildung 6a analysiert. Für die Transistoren T_1 und T_2 gelten weiterhin die Parameter aus Tabelle 1. Die Versorgungsspannung sei $U_b = 2,4\text{ V}$.

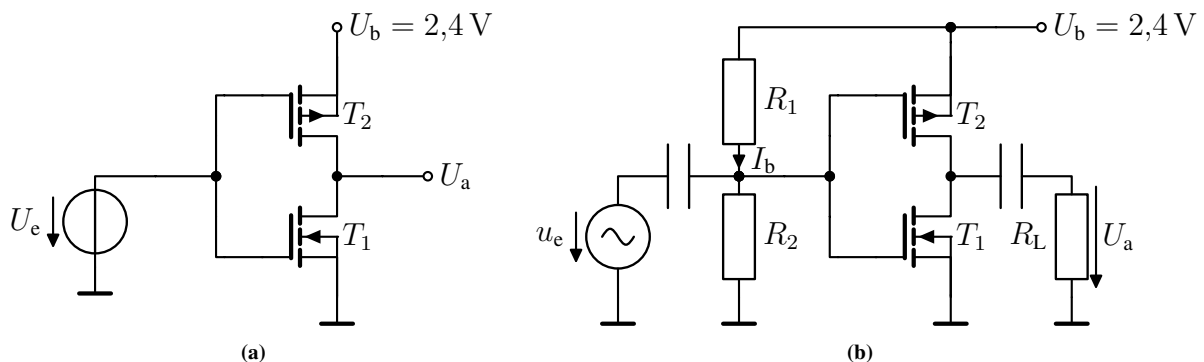


Abbildung 6

c) Ermitteln Sie die Übertragungskennlinie $U_a = f(U_e)$ durch Simulation in LTspice. Wie muss der Arbeitspunkt gewählt werden, damit $U_a = U_e$ gilt?

Abgabe: Bitte geben Sie Ihren SPICE-Schaltplan und die Übertragungskennlinie ab. Geben Sie außerdem den genauen Arbeitspunkt (Werte von U_{GS} , U_{DS} , I_D) sowie den Arbeitsbereich beider Transistoren im Arbeitspunkt an.

d) Der in c) gewählte Arbeitspunkt soll mithilfe der beiden Widerstände R_1 und R_2 eingestellt werden (siehe Abb. 6b), wobei der Strom I_b des Biasing-Netzwerks auf $I_b = 10\text{ }\mu\text{A}$ begrenzt werden soll. Bestimmen Sie rechnerisch die Werte für R_1 und R_2 und überprüfen Sie durch Simulation, ob der Arbeitspunkt korrekt eingestellt wird.

Abgabe: SPICE-Schaltplan sowie kurze Rechnung zur Bestimmung von R_1 und R_2 .

e) Ermitteln Sie die Spannungsverstärkung $A = \frac{U_a}{U_e}$ des CMOS-Verstärkers, wenn am Ausgang eine Last $R_L = 1\text{ k}\Omega$ angeschlossen wird (siehe Abb. 6b). Führen Sie dazu eine AC-Analyse im Frequenzbereich $1\text{ kHz} - 1\text{ GHz}$ durch und plotten Sie das Verhältnis U_a/U_e .

Hinweis: Die Kondensatoren am Eingang und Ausgang können zu $C = 1\text{ mF}$ gewählt werden, damit sie als Kurzschluss für Kleinsignale im gewünschten Frequenzbereich wirken.

Abgabe: Bitte reichen Sie Ihren SPICE-Schaltplan sowie den Frequenzverlauf der Spannungsverstärkung (lineare Skala der y-Achse) ein. *Hinweis:* Im Plot Fenster kann durch Rechtsklick auf die y-Achse in die lineare Darstellung gewechselt werden.