

Elektronische Schaltungen SS 2022

4. Tutoriumsblatt - Lösung

Feldeffekttransistoren

Infos zur AbgabeAbgabefrist: **26.06.2022** online über IliasAbzugebende Aufgaben: **Aufgabe 1** (Handschriftlich, eingescannt als .pdf)**Aufgabe 5** (Separate .pdf mit Screenshots + kurzer Beschreibung)

Hinweise: Die Lösungen sollen einen Weg aufzeigen, wie die Aufgaben gelöst werden können. Es gibt in einigen Fällen auch andere Wege, um zur richtigen Lösung zu kommen. Diese Wege können und sollen in den Tutorien angesprochen werden.

– Teil I: Rechenaufgaben –

Aufgabe 1 (Verstärkerschaltung)

a) Gate-Schaltung

b) Die Stromaufnahme des Biasing-Netzwerks ist durch

$$I_b = \frac{U_b}{R_{G1} + R_{G2}}$$

gegeben. Zur Begrenzung auf $I_b = 100 \mu\text{A}$ muss für die Summe der beiden Widerstände gelten:

$$R_{G1} + R_{G2} = \frac{U_b}{I_b} = \frac{10 \text{ V}}{100 \mu\text{A}} = 100 \text{ k}\Omega \quad (1)$$

Das Potential am Gate-Anschluss lässt sich über folgende Maschengleichung ermitteln:

$$U_G = U_{GS} + R_S \cdot I_D = 1,5 \text{ V} + 20 \Omega \cdot 25 \text{ mA} = 2 \text{ V}$$

Da kein Strom in den Gate-Anschluss des Transistors fließt, bilden R_{G1} und R_{G2} einen Spannungsteiler, über den das gewünschte Potential am Gate eingestellt werden kann. Es muss gelten:

$$\begin{aligned} \frac{R_{G2}}{R_{G1} + R_{G2}} &= \frac{U_G}{U_b} = \frac{2 \text{ V}}{10 \text{ V}} \\ \Rightarrow R_{G2} &= \frac{2}{10} \cdot (R_{G1} + R_{G2}) \stackrel{①}{=} \frac{2}{10} \cdot 100 \text{ k}\Omega = 20 \text{ k}\Omega \\ R_{G1} &= 100 \text{ k}\Omega - R_{G2} = 80 \text{ k}\Omega \end{aligned}$$

c) Die Drain-Source-Spannung U_{DS} folgt aus der Masche:

$$\begin{aligned} U_b &= R_D \cdot I_D + U_{DS} + R_S \cdot I_D \\ U_{DS} &= U_b - (R_D + R_S) \cdot I_D \\ &= 10 \text{ V} - (300 \Omega + 20 \Omega) \cdot 25 \text{ mA} = 2 \text{ V} \end{aligned}$$

Eine Überprüfung der Sättigungsbedingung $U_{DS} = 2 \text{ V} > U_{GS} - U_{th} = 1 \text{ V}$ zeigt zudem, dass der Transistor im Sättigungsbereich betrieben wird.

d) Das Kleinsignal-ESB der Gate-Schaltung ist in der Abbildung 1 gegeben. Da die Kanallängenmodulation vernachlässigt wird, kann $r_{DS} = \infty$ auch durch einen Leerlauf ersetzt werden.

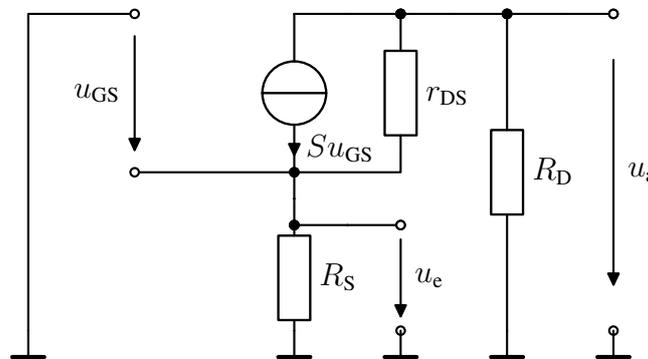


Abbildung 1: Kleinsignal-ESB der Gate-Schaltung.

e) Der Eingangswiderstand r_e der Gate-Schaltung ergibt sich aus dem Kleinsignal-ESB (Abb. 1) als Parallelschaltung von R_S und $\frac{1}{S}$:

$$\begin{aligned} r_e &= R_S \parallel \frac{1}{S} = R_S \parallel \frac{1}{\beta \cdot (U_{GS} - U_{th})} \\ &= 20 \Omega \parallel \frac{1}{50 \frac{\text{mA}}{\text{V}^2} \cdot 1 \text{ V}} = 20 \Omega \parallel 20 \Omega \\ &= 10 \Omega \end{aligned}$$

Der Ausgangswiderstand r_a der Gate-Schaltung beträgt:

$$r_a = R_D = 300 \Omega$$

f) Für die Kleinsignal-Spannungsverstärkung der Gate-Schaltung gilt allgemein:

$$A = \frac{u_a}{u_e} = S \cdot r_a$$

Im unbelasteten Fall ($r_a = R_D = 300 \Omega$) folgt damit:

$$A = \frac{u_a}{u_e} = 50 \text{ mS} \cdot 300 \Omega = 15$$

Im belasteten Fall erscheint der Lastwiderstand R_L parallel zu R_D am Ausgang. Mit $r_a = R_D \parallel R_L = 75 \Omega$ sinkt die Spannungsverstärkung auf:

$$A = \frac{u_a}{u_e} = 50 \text{ mS} \cdot 75 \Omega = 3,75$$

Aufgabe 2 (Mehrstufige Verstärkerschaltung)

a) T_1 : Source-Schaltung, T_2 : Drain-Schaltung

b) Aufgrund des unendlich großen Eingangswiderstands des MOSFETs fließt kein Gatestrom in den Transistor. Demnach kann das Biasing-Netzwerk, bestehend aus R_{G1} und R_{G2} , als idealer Spannungsteiler betrachtet werden.

Aus der in der Aufgabenstellung gegebenen maximalen Stromaufnahme des Spannungsteilers von $I_G = 10 \mu\text{A}$ kann der Gesamtwiderstand des Spannungsteilers zu

$$R_{G1} + R_{G2} = \frac{U_b}{I_G} = \frac{8 \text{ V}}{10 \mu\text{A}} = 800 \text{ k}\Omega$$

berechnet werden. Daraus kann der Widerstand R_{G2} zur Einstellung der gewünschten Gate-Source-Spannung $U_{GS1} = 0,9 \text{ V}$ ermittelt werden:

$$U_{GS1} = \frac{R_{G2}}{R_{G1} + R_{G2}} \cdot U_b$$
$$R_{G2} = (R_{G1} + R_{G2}) \cdot \frac{U_{GS1}}{U_b} = 800 \text{ k}\Omega \cdot \frac{0,9 \text{ V}}{8 \text{ V}} = 90 \text{ k}\Omega$$

Analog dazu ergibt sich der Widerstand R_{G1} zu:

$$R_{G1} = (R_{G1} + R_{G2}) \cdot \frac{U_b - U_{GS1}}{U_b} = 800 \text{ k}\Omega - R_{G2} = 710 \text{ k}\Omega$$

Für den Arbeitspunkt von T_1 gilt:

$$U_{GS1} = 0,9 \text{ V}$$
$$I_{D1} = \frac{\beta}{2} \cdot (U_{GS1} - U_{th})^2 = 62,5 \frac{\text{mA}}{\text{V}^2} \cdot (0,9 \text{ V} - 0,5 \text{ V})^2 = 10 \text{ mA}$$
$$U_{DS1} = U_b - R_{D1} I_{D1} = 2,9 \text{ V}$$

c) Mit $U_{GS2} = 0,9 \text{ V}$, $U_{th2} = 0,5 \text{ V}$ und $\beta_2 = 125 \frac{\text{mA}}{\text{V}^2}$, muss für den Drainstrom des zweiten Transistors gelten:

$$I_{D2} = 62,5 \frac{\text{mA}}{\text{V}^2} \cdot (0,9 \text{ V} - 0,5 \text{ V})^2 = 10 \text{ mA} = I_{D1}$$

Der gesuchte Widerstand R_{S2} folgt aus der Maschengleichung über U_{DS1} , U_{GS2} und R_{S2} zu:

$$R_{S2} = \frac{U_{DS1} - U_{GS2}}{I_{D2}} = \frac{2,9 \text{ V} - 0,9 \text{ V}}{10 \text{ mA}} = 200 \Omega$$

Für den Arbeitspunkt von T_2 gilt:

$$U_{GS2} = 0,9 \text{ V}$$

$$I_{D2} = 10 \text{ mA}$$

$$U_{DS2} = U_b - R_{S2}I_{D2} = 6 \text{ V}$$

d) Das Kleinsignal-ESB des zweistufigen Verstärkers ist in Abbildung 2 dargestellt.

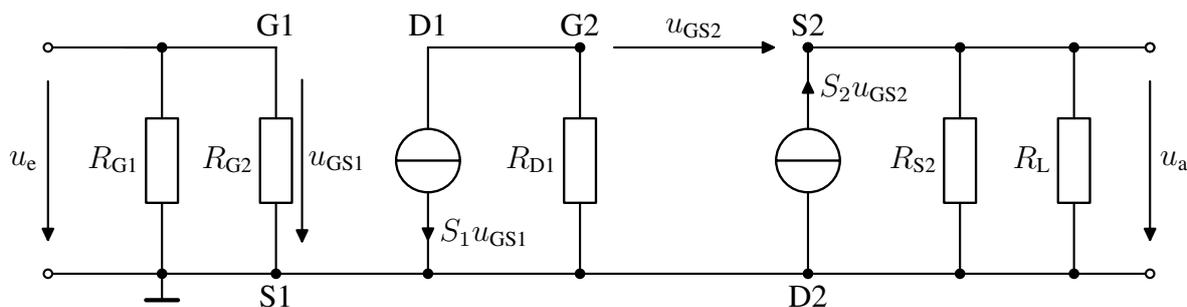


Abbildung 2: Kleinsignal-ESB des zweistufigen Verstärkers.

e) Der Eingangswiderstand der Source-Schaltung ergibt sich aus der Parallelschaltung der beiden Gate-Widerstände R_{G1} und R_{G2} :

$$r_{e1} = R_{G1} \parallel R_{G2} = 90 \text{ k}\Omega \parallel 710 \text{ k}\Omega = 79,875 \text{ k}\Omega$$

Der Eingangswiderstand der Drain-Schaltung ist unendlich groß:

$$r_{e2} = \infty$$

Der Ausgangswiderstand der Source-Schaltung kann damit berechnet werden:

$$r_{a1} = R_{D1} \parallel r_{e2} = R_{D1} = 510 \Omega$$

Der Ausgangswiderstand der Drain-Schaltung beträgt:

$$r_{a2} = \frac{1}{S_2} \parallel R_{S2} \parallel R_L = \frac{1}{50 \text{ mS}} \parallel 200 \Omega \parallel 50 \Omega = 13,3 \Omega$$

Der Eingangswiderstand des gesamten Verstärkers entspricht dem der Source-Schaltung:

$$r_e = r_{e1} = 79,875 \text{ k}\Omega$$

Der Ausgangswiderstand des gesamten Verstärkers entspricht dem der Drain-Schaltung:

$$r_a = r_{a2} = 13,3 \Omega$$

f) Die Kleinsignal-Spannungsverstärkung des gesamten Verstärkers folgt aus der Verstärkung der Einzel-Stufen:

$$A_{\text{ges}} = A_1 \cdot A_2$$

Für die Verstärkungen der Einzel-Stufen gilt¹:

$$A_1 = -S_1 \cdot r_{a1} = -50 \text{ mS} \cdot 510 \Omega = -25,5$$
$$A_2 = \frac{S_2 \cdot (R_{S2} \parallel R_L)}{1 + S_2 \cdot (R_{S2} \parallel R_L)} = \frac{50 \text{ mS} \cdot 40 \Omega}{1 + 50 \text{ mS} \cdot 40 \Omega} = \frac{2}{3}$$

Damit ergibt sich für die gesuchte Gesamt-Verstärkung:

$$A_{\text{ges}} = -25,5 \cdot \frac{2}{3} = -17$$

Für den Fall, dass R_L direkt an den Ausgang der ersten Stufe (T_1) angeschlossen wird, d.h. ohne die Drain-Schaltung, wird der Ausgangswiderstand der Source-Schaltung auf

$$r_{a1} = R_{D1} \parallel R_L = 510 \Omega \parallel 50 \Omega = 45,54 \Omega$$

reduziert. Damit sinkt auch die Spannungsverstärkung erheblich ab:

$$A = -50 \text{ mS} \cdot 45,54 \Omega \approx -2,28$$

Ohne die Drain-Schaltung sinkt die Spannungs-Verstärkung demnach auf ca. 13 % im Vergleich zum zweistufigen Verstärker ab. Dies zeigt, dass sich die Drain-Schaltung sehr gut als Ausgangsstufe eignet, auch wenn sie selbst keine Verstärkung beiträgt bzw. die Verstärkung sogar leicht reduziert (analog zur Kollektorschaltung mit Bipolartransistoren). Ihr großer Vorteil ist, dass die resultierende Gesamtverstärkung eine deutlich geringere Abhängigkeit vom Lastwiderstand R_L aufweist und sich (wie in dieser Aufgabe) auch für kleine Lastwiderstände eignet.

¹Hinweis: In diesem Fall ist die Bedingung $S_2 \cdot (R_{S2} \parallel R_L) \gg 1$ nicht erfüllt. Daher ergibt sich für die Drain-Schaltung eine Kleinsignal-Spannungsverstärkung $A < 1$.

Aufgabe 3 (Stromspiegel)

a) Durch den verbundenen Gate- und Drain-Anschluss fungiert die Schaltung (a) als Transistor-Diode. Da $U_{dd} > U_{th}$, ist der Kanal ausgebildet und es kann ein Drainstrom I fließen. Außerdem gilt $U_{GS} = U_{DS} = U$. Damit ist die Sättigungsbedingung $U_{DS} > U_{GS} - U_{th}$ in jedem Fall erfüllt, d.h. der Transistor wird in Sättigung betrieben.

b) Mit den Überlegungen aus Teilaufgabe a) kann die gesuchte Beziehung zwischen Strom I und Spannung U aus der bekannten Gleichung für den Drainstrom im Sättigungsbereich ermittelt werden:

$$\begin{aligned} I_D &= \frac{\beta}{2} \cdot (U_{GS} - U_{th})^2 \\ \implies I &= \frac{1}{2} \mu n C'_{ox} \frac{w}{l} \cdot (U - U_{th})^2 \end{aligned} \quad (2)$$

c) Aus der Maschengleichung folgt:

$$\begin{aligned} U_{dd} &= R_1 I_{D1} + U_D \\ \implies R_1 &= \frac{U_{dd} - U_D}{I_{D1}} \end{aligned} \quad (3)$$

Der Drainstrom I_{D1} folgt durch Einsetzen der gegebenen Werte in (2):

$$I_{D1} = \frac{1}{2} \cdot 1200 \frac{\text{cm}^2}{\text{Vs}} \cdot \underbrace{2,5 \frac{\text{fF}}{\mu\text{m}^2}}_{\beta=60 \frac{\text{mA}}{\text{V}^2}} \cdot 200 \cdot (1 \text{ V} - 0,5 \text{ V})^2 = 7,5 \text{ mA}$$

Damit kann der gesuchte Widerstand R_1 aus (3) berechnet werden:

$$R_1 = \frac{4 \text{ V} - 1 \text{ V}}{7,5 \text{ mA}} = 400 \Omega$$

d) Die vorliegende Schaltung ist ein Stromspiegel. Beide Transistoren besitzen die selbe Gate-Source-Spannung $U_{GS} = U_D = 1 \text{ V}$ sowie Threshold-Spannung $U_{th} = 0,5 \text{ V}$. Da T_2 ebenfalls in Sättigung betrieben werden soll, muss das Verhältnis der Steilheitsparameter $\frac{\beta_2}{\beta_1}$ dem Verhältnis der Drainströme entsprechen:

$$\begin{aligned} \frac{\beta_2}{\beta_1} &= \frac{I_{D2}}{I_{D1}} = \frac{30 \text{ mA}}{7,5 \text{ mA}} = 4 \\ \implies \beta_2 &= 4\beta_1 \end{aligned}$$

Da die Gate-Länge l beider Transistoren identisch ist, folgt:

$$\mu n C'_{\text{ox}} \frac{w_2}{l} = 4 \mu n C'_{\text{ox}} \frac{w_1}{l}$$

$$\implies w_2 = 4w_1$$

Der Transistor T_2 muss folglich die vierfache Gate-Breite des Transistors T_1 aufweisen, um den gewünschten Drainstrom einzustellen.

Damit T_2 in Sättigung betrieben wird, muss gelten:

$$U_{\text{DS2}} = U_{\text{dd}} - R_2 I_{\text{D2}} > U_{\text{GS}} - U_{\text{th}} = 1 \text{ V} - 0,5 \text{ V} = 0,5 \text{ V}$$

$$\implies R_2 < \frac{U_{\text{dd}} - 0,5 \text{ V}}{I_{\text{D2}}} = \frac{4 \text{ V} - 0,5 \text{ V}}{30 \text{ mA}}$$

$$R_2 < 116,67 \Omega$$

(Zusatz) Der für die Simulation verwendete SPICE-Schaltplan ist in Abbildung 3 gegeben.

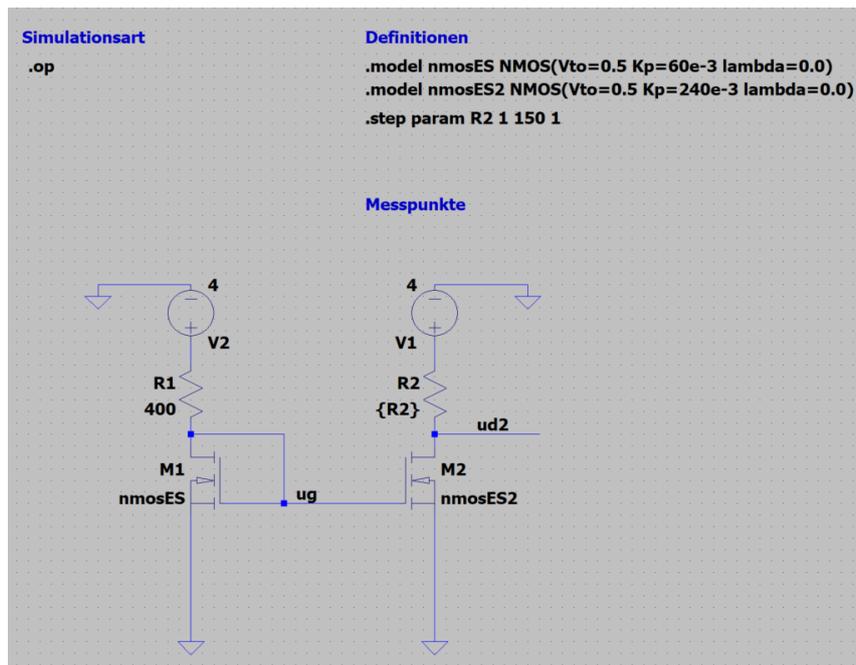


Abbildung 3: SPICE-Schematic.

Der simulierte Drainstrom I_{D2} ist in Abbildung 4 in Abhängigkeit vom Widerstand R_2 dargestellt. Ohne Kanallängenmodulation ($\lambda = 0$) ist gut sichtbar, dass I_{D2} für $R_2 < 116,67 \Omega$ den gewünschten Wert von 30 mA besitzt, d.h. T_2 ist in Sättigung. Für größere Widerstände fällt der Drainstrom ab, da der Transistor im linearen Bereich betrieben wird und die Drain-Source-Spannung kontinuierlich sinkt.

Mit Kanallängenmodulation ($\lambda = \frac{1}{|U_A|} = 0,04$) ist der Drainstrom im Sättigungsbereich nicht mehr konstant, sondern nimmt mit steigender Drain-Source-Spannung (d.h. kleinerem R_2) zu. Auch das Verhältnis $\frac{I_{D2}}{I_{D1}}$ wird dadurch abhängig von U_{DS} bzw. R_2 , was beim Design von Stromspiegeln mit bestimmtem „Spiegel-Verhältnis“ beachtet werden muss. Es existieren daher weitere Varianten von Stromspiegeln, welche z.B. durch Kaskodierung von Transistoren auf der Ausgangsseite versuchen, die Abhängigkeit des Ausgangsstromes von der Ausgangsspannung aufgrund des endlichen Ausgangswiderstandes der Transistoren zu reduzieren.

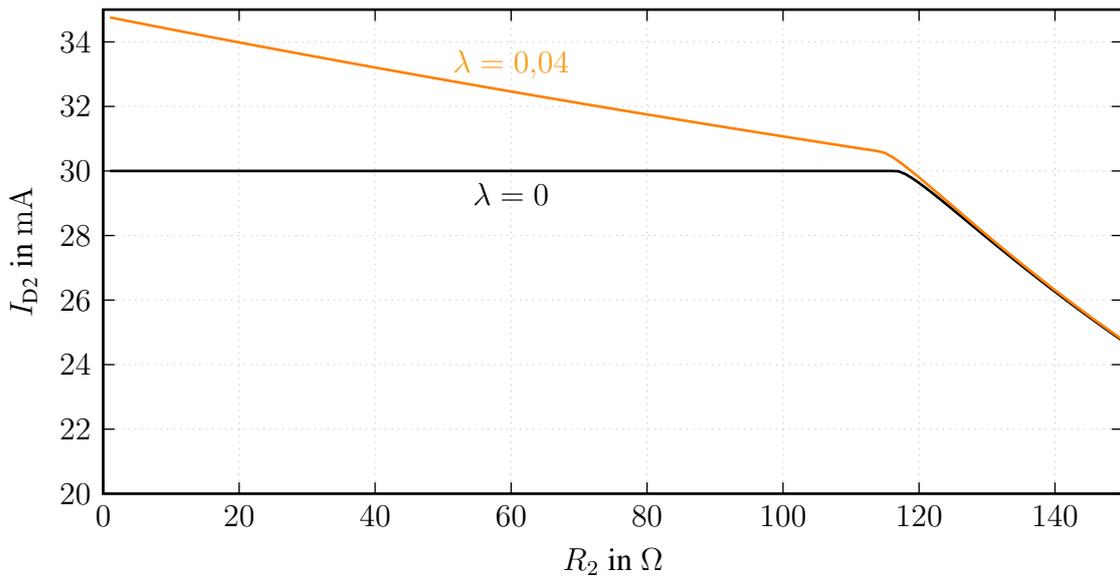


Abbildung 4: Simulierter Drainstrom I_{D2} als Funktion des Widerstands R_2 .

- Teil II: Spice-Simulationen -

Aufgabe 4 (Kaskodenschaltung)

a) Abbildung 5 zeigt die SPICE-Schaltpläne zur Simulation der beiden Ausgangskennlinien. Die Simulationsergebnisse sind in Abbildung 6 dargestellt.

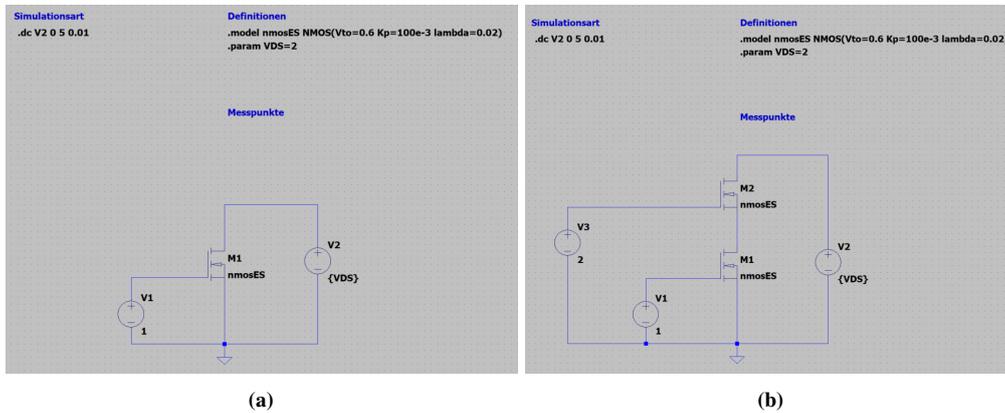


Abbildung 5: SPICE-Schaltpläne ohne (a) und mit Kaskode (b).

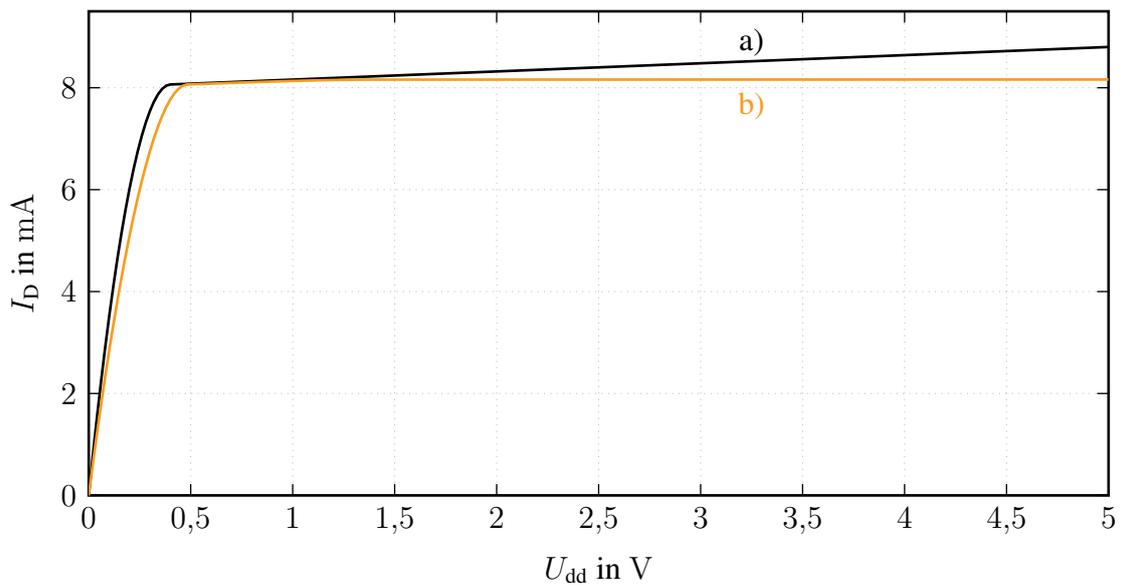


Abbildung 6: Simulierte Ausgangskennlinien ohne (a) und mit (b) Kaskode.

Die Ergebnisse zeigen, dass die Steigung der Ausgangskennlinie im Sättigungsbereich für die Kaskodenschaltung (b) deutlich abnimmt. Dies deutet auf einen stark vergrößerten Ausgangswiderstand im Vergleich zur Source-Schaltung ohne Kaskode (a) hin.

b) T_1 : Source-Schaltung, T_2 : Gate-Schaltung

c) Das Kleinsignal-ESB der Kaskodenschaltung ist in Abbildung 7 gegeben.

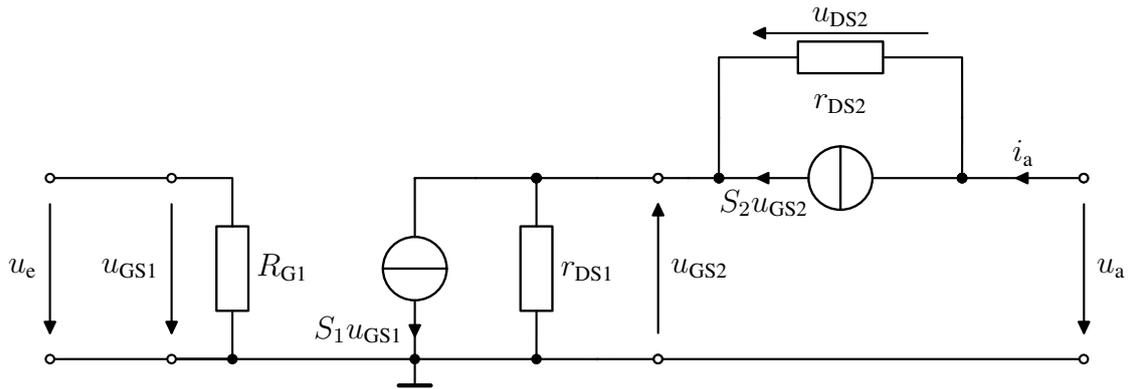


Abbildung 7: Kleinsignal-ESB der Kaskodenschaltung.

Zur Bestimmung des Ausgangswiderstands $r_a = \frac{u_a}{i_a}$ wird der Eingang kurzgeschlossen, d.h. $u_e = 0$. Folglich kann die Stromquelle $S_1 u_{GS1}$ der Source-Schaltung im Kleinsignal-ESB in Abbildung 7 durch einen Leerlauf ersetzt werden. Aufstellen der Masche am Ausgang liefert $u_a = u_{DS2} - u_{GS2}$. Damit kann der Ausgangswiderstand wie folgt ausgedrückt werden:

$$r_a = \frac{u_a}{i_a} = \frac{u_{DS2} - u_{GS2}}{i_a} \quad (4)$$

Für die beiden Spannungen u_{DS2} und u_{GS2} gilt:

$$\begin{aligned} u_{GS2} &= -r_{DS1} \cdot i_a \\ u_{DS2} &= r_{DS2} \cdot (i_a - S_2 \underbrace{u_{GS2}}_{-r_{DS1} \cdot i_a}) = r_{DS2} \cdot (i_a + S_2 \cdot r_{DS1} \cdot i_a) \\ &= i_a \cdot r_{DS2} \cdot (1 + S_2 \cdot r_{DS1}) \end{aligned}$$

Einsetzen in (4) liefert dann den gesuchten Ausgangswiderstand:

$$r_a = r_{DS2} \cdot \left(1 + S_2 \cdot r_{DS1} + \frac{r_{DS1}}{r_{DS2}} \right) \stackrel{S_2 \cdot r_{DS1} \gg 1}{\approx} S_2 \cdot r_{DS1} r_{DS2} \quad (5)$$

Das Ergebnis zeigt, dass der Ausgangswiderstand gegenüber dem der Source-Schaltung ($r_a = r_{DS1}$) deutlich erhöht ist.

d) 1. Herleitung aus dem Kleinsignal-ESB:

Zur Bestimmung der Kleinsignal-Spannungsverstärkung $A = \frac{u_a}{u_e}$ wird der Ausgang im Leerlauf ($i_a = 0$) betrachtet. Mit dem Ergebnis aus Teilaufgabe c) kann das Kleinsignal-ESB deutlich vereinfacht werden, siehe Abbildung 8.

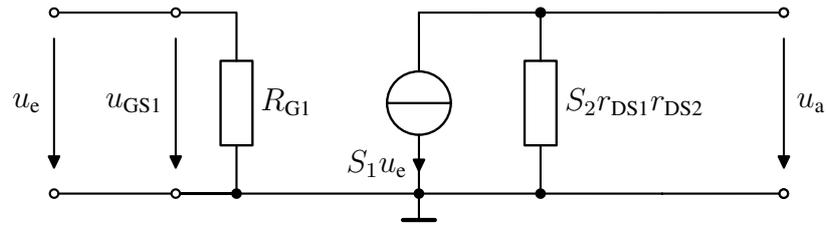


Abbildung 8: Äquivalentes Kleinsignal-ESB der Kaskodenschaltung mit Ausgangswiderstand $r_a \approx S_2 \cdot r_{DS1} r_{DS2}$.

Die Spannungsverstärkung folgt dann aus Abbildung 8 zu:

$$A = -S_1 \cdot r_a \stackrel{(5)}{\approx} -S_1 S_2 r_{DS1} r_{DS2} \quad (6)$$

2. Berechnung über die beiden Verstärker-Stufen:

Alternativ kann die Kleinsignal-Spannungsverstärkung (analog zur mehrstufigen Verstärkerschaltung in Aufgabe 2) aus den jeweiligen Verstärkungen der beiden Stufen (T_1 und T_2) berechnet werden:

$$\begin{aligned} A &= A_1 \cdot A_2 \\ A_1 &= -S_1 \cdot (r_{DS1} \parallel r_{e,T2}) = -S_1 \cdot \left(r_{DS1} \parallel \frac{1}{S_2} \right) \stackrel{r_{DS1} \gg \frac{1}{S_2}}{\approx} -\frac{S_1}{S_2} \\ A_2 &= S_2 \cdot r_{a,T2} \stackrel{(5)}{\approx} S_2 \cdot S_2 r_{DS1} r_{DS2} \\ \implies A &= -S_1 S_2 r_{DS1} r_{DS2} \end{aligned}$$

e) Der Widerstand R_D erscheint im Kleinsignal-ESB in Abbildung 8 als zusätzlicher Parallelwiderstand am Ausgang. Der Ausgangswiderstand sinkt demnach auf

$$r'_a \approx (S_2 r_{DS1} r_{DS2}) \parallel R_D \stackrel{S_2 r_{DS1} r_{DS2} \gg R_D}{\approx} R_D$$

ab. Folglich reduziert sich auch die Kleinsignal-Spannungsverstärkung auf

$$A' \approx -S_1 \cdot R_D$$

Aufgabe 5 (CMOS-Verstärker)

Teil 1: Transistor-Kennlinien

a) Hinweise zum SPICE-Schaltplan in Abbildung 9:

- Die Kanallängenmodulation wird in LTSpice über den Parameter λ modelliert, welcher dem Kehrwert der Early-Spannung entspricht. Hier: $\lambda = \frac{1}{50\text{V}} = 0,02\text{ V}^{-1}$
- Über den Befehl `.meas DC ugs15n FIND V(u1) WHEN Id(M1)=15e-3` ermittelt LTSpice die Spannung U_{I1} , für die der Drainstrom des n-MOS genau 15 mA entspricht. Das Ergebnis wird der Variable `ugs15n` zugewiesen und ist über die Log-Datei (**Strg**+**L**) einsehbar.

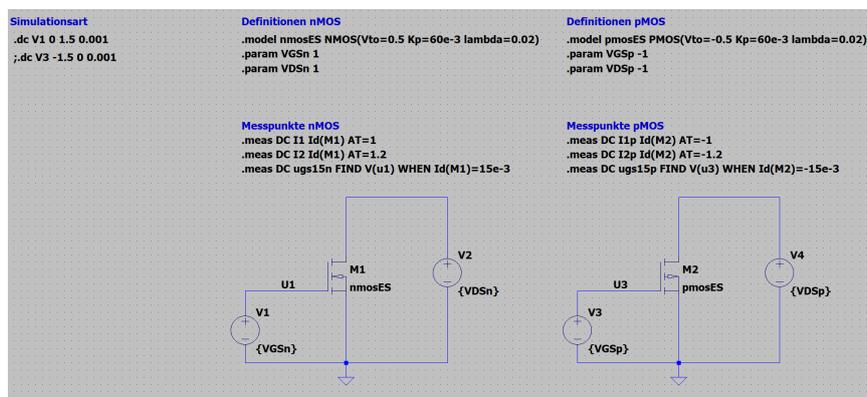


Abbildung 9: SPICE-Schematic zur Simulation der Eingangskennlinien.

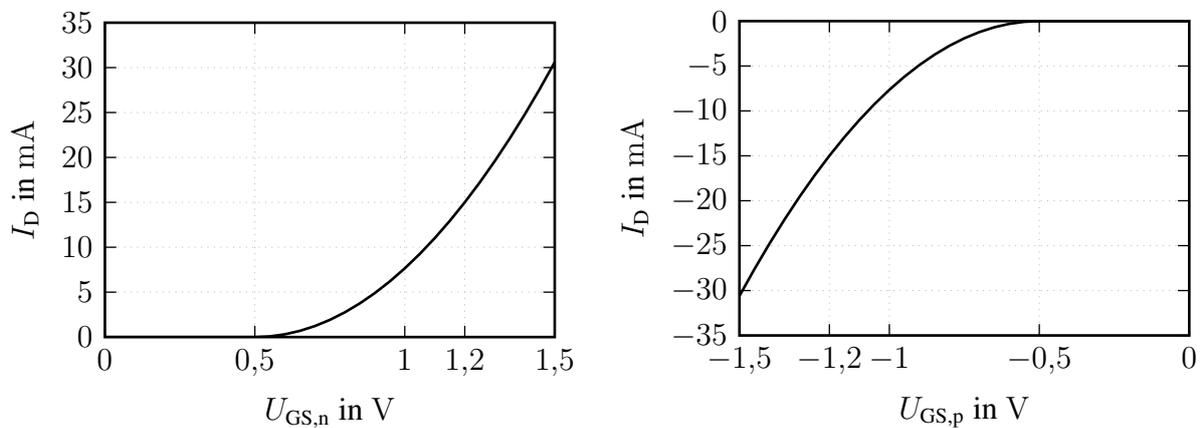


Abbildung 10: Eingangskennlinien für n-MOS (links) bzw. p-MOS Transistor (rechts).

Abbildung 10 zeigt die Eingangskennlinien für den n-MOS- und den p-MOS-Transistor. Die gesuchten Gate-Source-Spannungen, für die $|I_D| = 15 \text{ mA}$ wird, betragen:

$$U_{GS,n} = 1,2 \text{ V}$$

$$U_{GS,p} = -1,2 \text{ V}$$

Hinweis: Die gesuchten Spannungen können auch rechnerisch ermittelt werden, wenn der Betrieb im Sättigungsbereich angenommen wird. Am Beispiel des n-MOS:

$$I_D = \frac{\beta}{2} \cdot (U_{GS,n} - U_{th,N})^2 \cdot \left(1 + \frac{U_{DS,n}}{|U_A|}\right)$$

$$\Rightarrow U_{GS,n} = U_{th,N} + \sqrt{\frac{2 \cdot I_D}{\beta \cdot \left(1 + \frac{U_{DS,n}}{|U_A|}\right)}}$$

$$= 0,5 \text{ V} + \sqrt{\frac{2 \cdot 15 \text{ mA}}{60 \frac{\text{mA}}{\text{V}^2} \cdot \left(1 + \frac{1 \text{ V}}{50 \text{ V}}\right)}}$$

$$= 1,2 \text{ V}$$

Eine Überprüfung der Sättigungsbedingung $U_{DS,n} = 1 \text{ V} > 1,2 \text{ V} - 0,5 \text{ V}$ zeigt, dass die Annahme des Sättigungsbereichs korrekt war.

b) Abbildung 11 zeigt den SPICE-Schaltplan zur Simulation der Ausgangskennlinien.

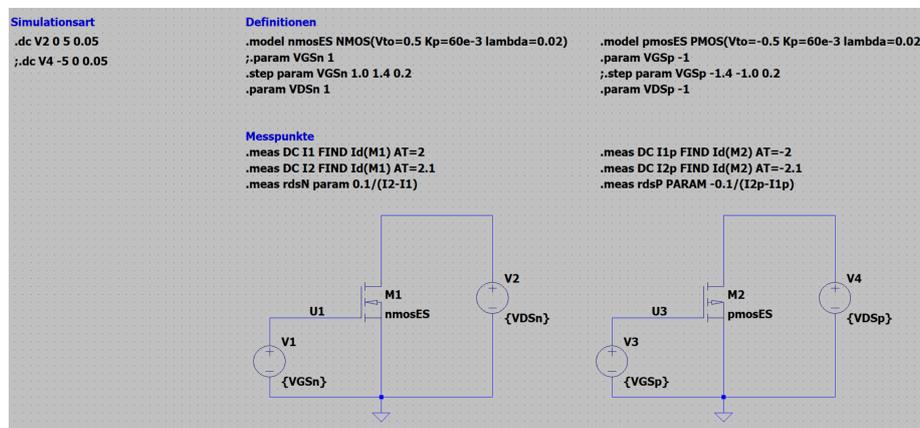


Abbildung 11: SPICE-Schematic zur Simulation der Ausgangskennlinien.

Die simulierten Ausgangskennlinienfelder der beiden Transistoren sind in Abbildung 12 dargestellt.

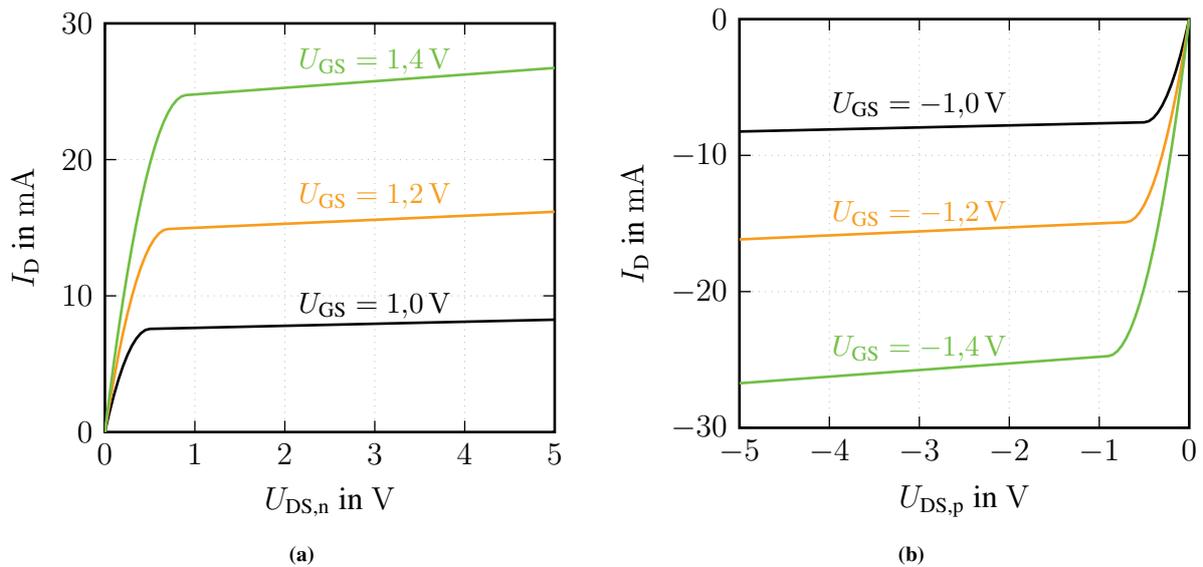


Abbildung 12: Ausgangskennlinienfelder für n-MOS (a) bzw. p-MOS (b) Transistor.

Auf der Ausgangskennlinie des n-MOS für $U_{GS} = 1,2 \text{ V}$ lassen sich die Drainströme bei $U_{DS1} = 2 \text{ V}$ und $U_{DS2} = 2,1 \text{ V}$ ablesen:

$$I_D(U_{DS1}) = 15,288 \text{ mA}$$

$$I_D(U_{DS2}) = 15,3174 \text{ mA}$$

Daraus lässt sich der differentielle Ausgangswiderstand r_{DS} abschätzen:

$$r_{DS} = \frac{\Delta U_{DS}}{\Delta I_D} = \frac{0,1 \text{ V}}{29,4 \mu\text{A}} \approx 3,4 \text{ k}\Omega$$

Teil 2: CMOS-Verstärker

c) Der SPICE-Schaltplan zur Simulation der Übertragungskennlinie ist in Abbildung 13 dargestellt.

Die simulierte Übertragungskennlinie ist in Abbildung 14 gegeben. Der gesuchte Arbeitspunkt muss im Schnittpunkt der beiden eingezeichneten Kennlinien liegen, d.h. bei $U_a = U_e = 1,2 \text{ V}$.

Im Arbeitspunkt ergeben sich die in der Tabelle 1 zusammengefassten Werte für die beiden Transistoren.

Im Arbeitspunkt werden beide Transistoren in Sättigung betrieben, da $|U_{DS}| > |U_{GS} - U_{th}|$ sowohl vom n-MOS als auch vom p-MOS erfüllt wird.

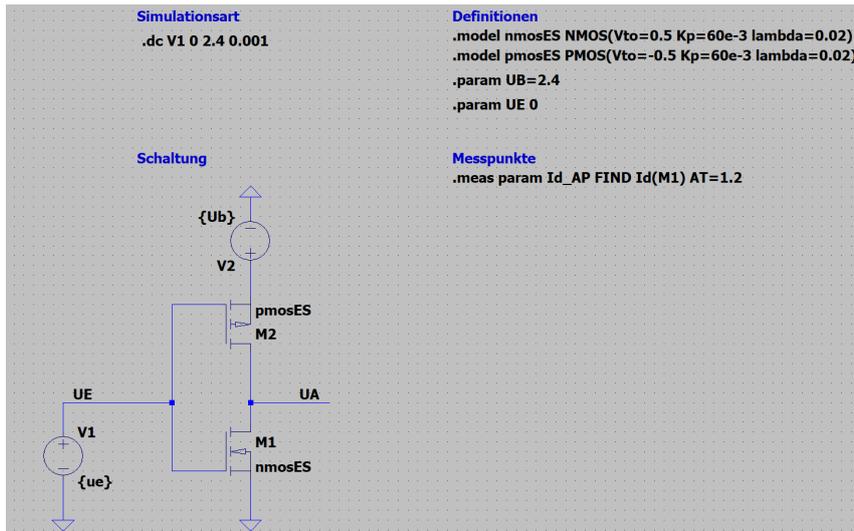


Abbildung 13: SPICE-Schematic zur Simulation der Übertragungskennlinie.

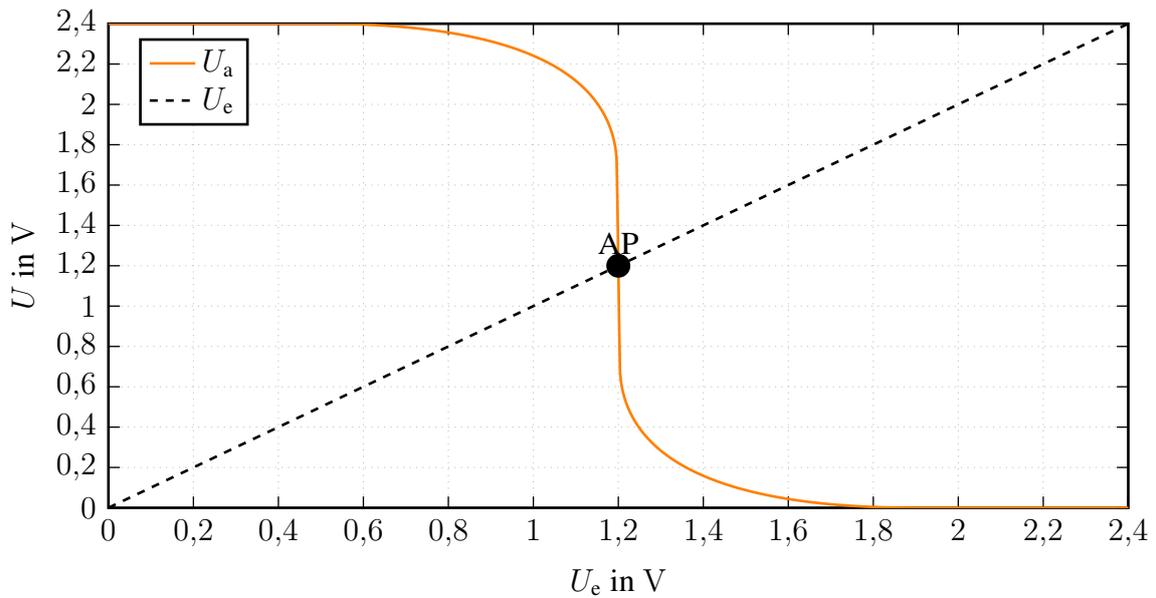


Abbildung 14: Übertragungskennlinie des CMOS-Verstärkers.

Parameter	n-MOS	p-MOS
U_{GS}	1,2 V	-1,2 V
U_{DS}	1,2 V	-1,2 V
I_D	15,053 mA	-15,053 mA

Tabelle 1: Arbeitspunkte des n-MOS- und p-MOS-Transistors.

d) Der Gatestrom in die beiden Transistoren ist null. Um den Strom $I_b = 10 \mu\text{A}$ im Biasing-Netzwerk einzustellen, muss somit für die Summe der beiden Widerstände R_1 und R_2 gelten:

$$R_1 + R_2 = \frac{U_b}{I_b} = \frac{2,4 \text{ V}}{10 \mu\text{A}} = 240 \text{ k}\Omega$$

Zur korrekten Einstellung des Arbeitspunkts muss über beide Widerstände R_1 und R_2 jeweils 1,2 V abfallen, d.h. die Hälfte der Versorgungsspannung. Daraus folgt:

$$R_1 = R_2 = \frac{R_1 + R_2}{2} = \frac{240 \text{ k}\Omega}{2} = 120 \text{ k}\Omega$$

Die korrekte Arbeitspunkt-Einstellung kann mithilfe des SPICE-Schaltplans in Abbildung 15 überprüft werden.

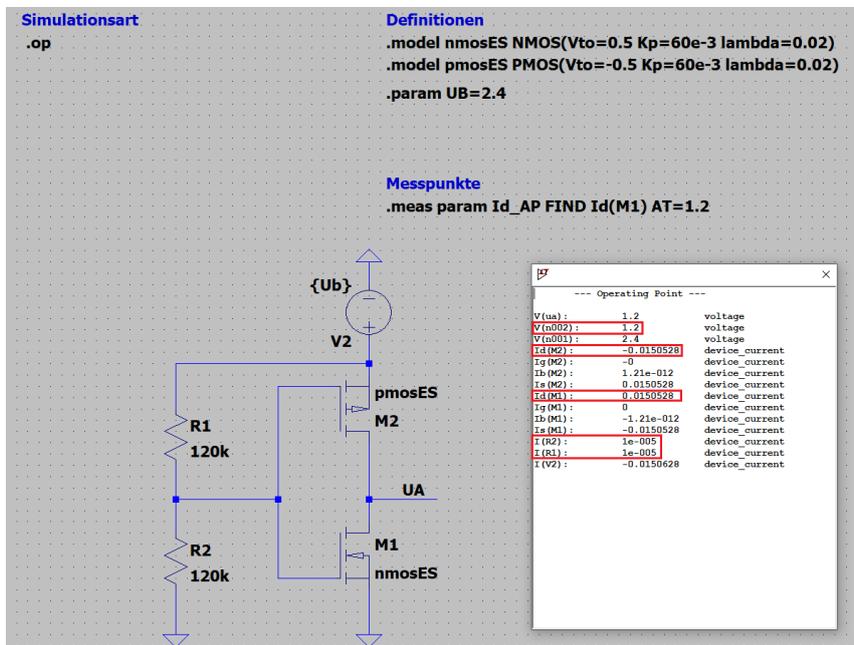


Abbildung 15: SPICE-Schematic zur Überprüfung der Arbeitspunkt-Einstellung.

e) Abbildung 16 zeigt den SPICE-Schaltplan zur Bestimmung der Kleinsignal-Spannungsverstärkung $A = \frac{u_a}{u_e}$. Die Simulationsergebnisse (siehe Screenshot in Abbildung 17) zeigen, dass sich eine Spannungsverstärkung von $A = \frac{u_a}{u_e} = -54,16$ ergibt.

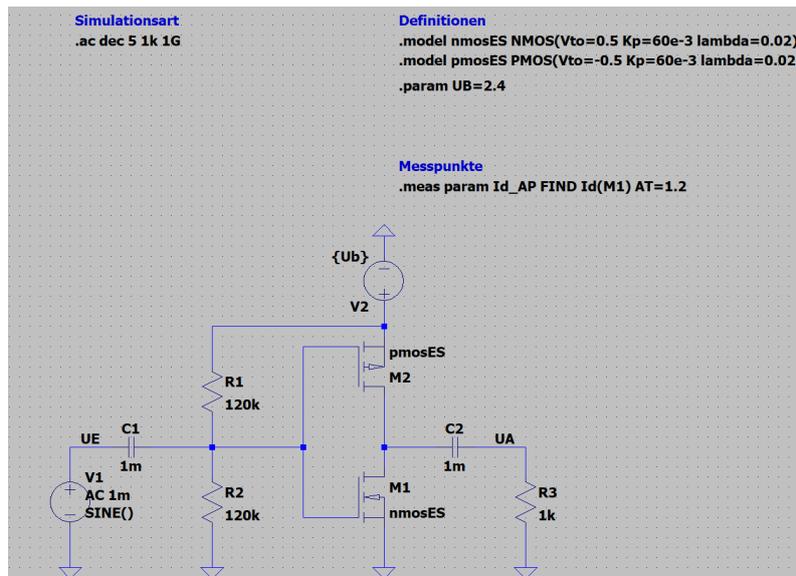


Abbildung 16: SPICE-Schematic zur Bestimmung der Kleinsignal-Spannungsverstärkung.

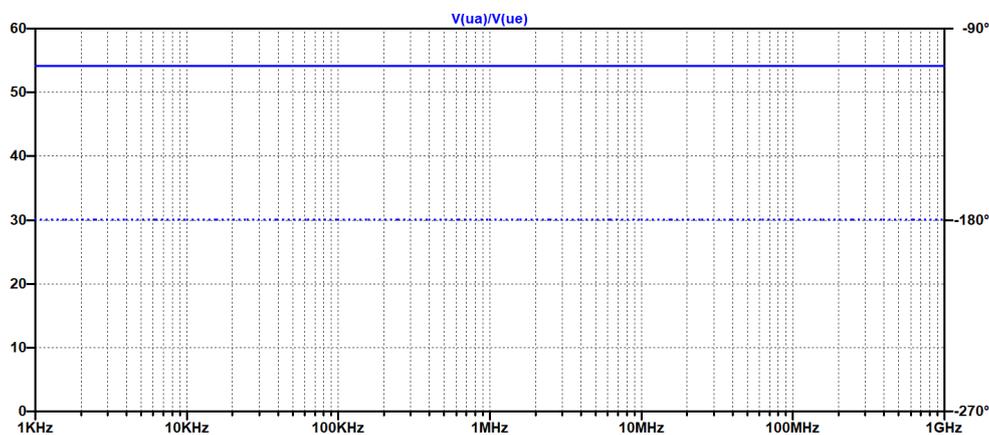


Abbildung 17: Betrag (durchgezogene Linie) und Phase (gestrichelte Linie) der Spannungsverstärkung des CMOS-Verstärkers im Frequenzbereich 1 kHz – 1 GHz.

Hinweis: Die Kleinsignal-Spannungsverstärkung kann auch rechnerisch überprüft werden:

$$A = -(S_n + S_p) \cdot (r_{DS,n} \parallel r_{DS,p} \parallel R_L) \quad (7)$$

Die Parameter besitzen folgende Werte:

$$S_n = S_p = 60 \frac{\text{mA}}{\text{V}^2} \cdot (1,2 \text{ V} - 0,5 \text{ V}) \cdot \left(1 + \frac{1,2 \text{ V}}{50 \text{ V}}\right) = 43 \text{ mS}$$

$$r_{DS,n} = r_{DS,p} = \frac{50 \text{ V} + 1,2 \text{ V}}{15,053 \text{ mA}} = 3401,3 \Omega$$

$$R_L = 1 \text{ k}\Omega$$

Einsetzen der Werte in (7) liefert ebenfalls $A = -54,16$.