

Elektronische Schaltungen SS 2022

6. Übungsblatt

Digitale Schaltungen

Aufgabe 1 (CMOS-Inverter mit parasitären Kapazitäten)

Teil 1: Inverter mit kapazitiver Last

Ein CMOS-Inverter wird wie in Abb. 1 mit einer kapazitiven Last C_L belastet.

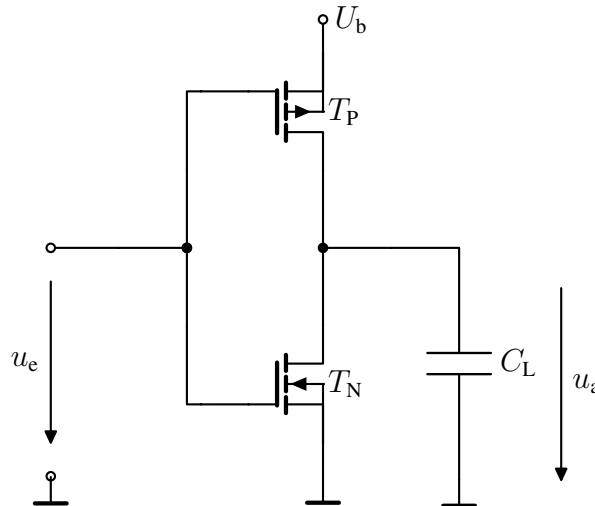


Abbildung 1

- a)** Leiten Sie formelmäßig die Verzögerungszeiten t_{pdLH} (Ausgang schaltet von *Low* auf *High*) und t_{pdHL} (Ausgang schaltet von *High* auf *Low*) der Schaltung als Funktion der Steilheitskoeffizienten β_p , β_n , der Spannung U_{th} und der kapazitiven Last C_L her.

Teil 2: Digitale Schaltung mit realen parasitären Kapazitäten

Es soll nun das dynamische Verhalten der digitalen Schaltung in Abbildung 2 anhand eines realistischeren Transistor-Modells betrachtet werden.

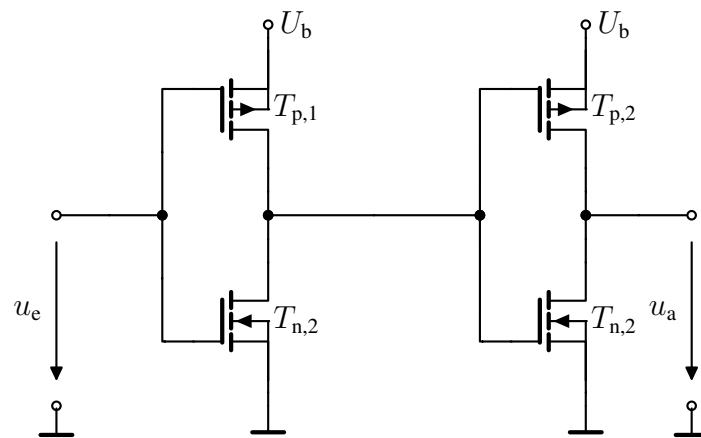


Abbildung 2

Für die Transistoren gilt $\beta_n = \beta_p = 440 \mu\text{A}/\text{V}^2$ und $U_{th} = 0,4 \text{ V}$. In Abbildung 3 wird ein vereinfachtes Modell eines MOSFETs mit eingezeichneten parasitären Kapazitäten gezeigt.

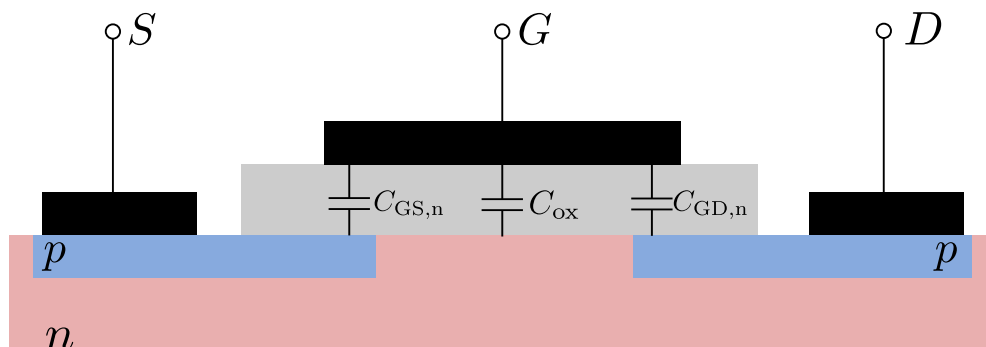


Abbildung 3

Die Gate-Länge der Transistoren beträgt $l_n = l_p = 65 \text{ nm}$. Die Gate-Breiten betragen jeweils $w_n = 100 \text{ nm}$ und $w_p = 300 \text{ nm}$. Die parasitären Kapazitäten C_{GD} und C_{GS} können anhand der Kapazitätsbeläge $C'_{ox,n} = C'_{ox,p} = 120 \text{ fF}/\mu\text{m}^2$ bestimmt werden. Die Gate-Source-Overlap-Kapazität der Transistoren beträgt $C_{GS,n} = C_{GS,p} = 0,8 \text{ fF}$ und die Gate-Drain-Kapazität der Transistoren $C_{GD,n} = C_{GD,p} = 0,5 \text{ fF}$. Die Versorgungsspannung beträgt $U_b = 1 \text{ V}$.

- b) Bestimmen Sie jeweils die Kapazitäten $C_{\text{ox,n}}$ und $C_{\text{ox,p}}$ der n-MOS- und p-MOS-Transistoren. Zeichnen Sie in Abbildung 2 alle parasitäre Kapazitäten ein, die während der Umschaltvorgänge auf- bzw. entladen werden müssen.
- c) Benutzen Sie das Miller-Theorem, um die Kapazitäten umzuwandeln, die sich zwischen Eingang und Ausgang der ersten Stufe befinden.
- d) Mit welcher gesamten äquivalenten Lastkapazität C_L wird die erste Stufe belastet? *Hinweis:* Gehen Sie davon aus, dass die zweite Stufe noch nicht umgeschaltet hat.
- e) Bestimmen Sie die Verzögerungszeiten t_{pdLH} und t_{pdHL} sowie die dynamische Verlustleistung P_{dyn} der ersten Stufe bei einer Schaltfrequenz von $f_C = 400 \text{ MHz}$.

Aufgabe 2 (Digitale Schaltung mit Bipolartransistoren)

Die Schaltung in Abbildung 4 wird mit einer Versorgungsspannung von $U_b = 2 \text{ V}$ versorgt. Die logische 1 soll einer Spannung von 1 V entsprechen und die logische 0 einer Spannung von 0 V . Die Schaltung wird über den Schalten X und Y angesteuert. Um die Betrachtung aus digitaler Sicht zu vereinfachen, können folgende Annahmen getroffen werden:

- Wenn der Transistor in Sättigung betrieben wird, leitet er niederohmig zwischen Emitter und Kollektor ($U_{\text{CE}} = 0 \text{ V}$).
- Der Transistor leitet wenn $U_{\text{BE}} > 0,8 \text{ V}$. Leitende Transistoren sollen in diesem Arbeitspunkt betrieben werden. Für $U_{\text{BE}} < 0,7 \text{ V}$ fließt kein Strom zwischen Kollektor und Emitter.
- Die Basisströme sind immer vernachlässigbar klein.

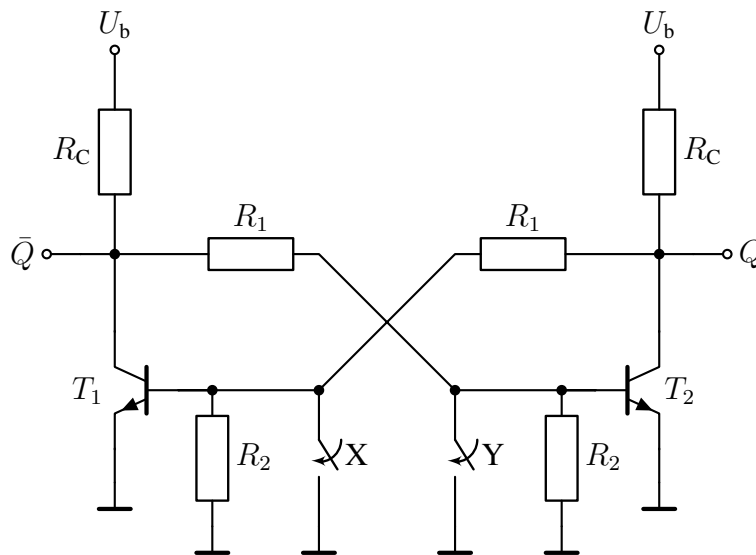


Abbildung 4

- a) Wie ist eine bistabile Schaltung definiert? Welche Bedingung muss gelten, damit die Schaltung in Abbildung 4 bistabil funktioniert? Beschreiben Sie in wenigen Wörtern.
- b) Der Kollektor-Widerstand soll so gewählt werden, dass ein Kollektorstrom von $I_{C,\text{ein}} = 0,5 \text{ mA}$ durch die leitenden Transistoren fließt. Ermitteln Sie alle Bauteilwerte, damit die bistabile Schaltung die erwünschten *High* und *Low* Pegel einstellt. Gehen Sie vorerst davon aus, dass beide Schalter geöffnet sind.
- c) Welche statische Leistung wird von der Schaltung verbraucht, wenn beide Schalter offen sind?
- d) Nun werden die Schalten anhand der Signalen X und Y angesteuert. Ermitteln Sie die Wahrheitstabelle der Schaltung. Bezeichnen Sie hierfür den offenen Schalter als 0 und den geschlossenen Schalter als 1.

Aufgabe 3 (CMOS Flip-Flop)

Abbildung 5 zeigt ein Flip-Flop in CMOS-Technik.

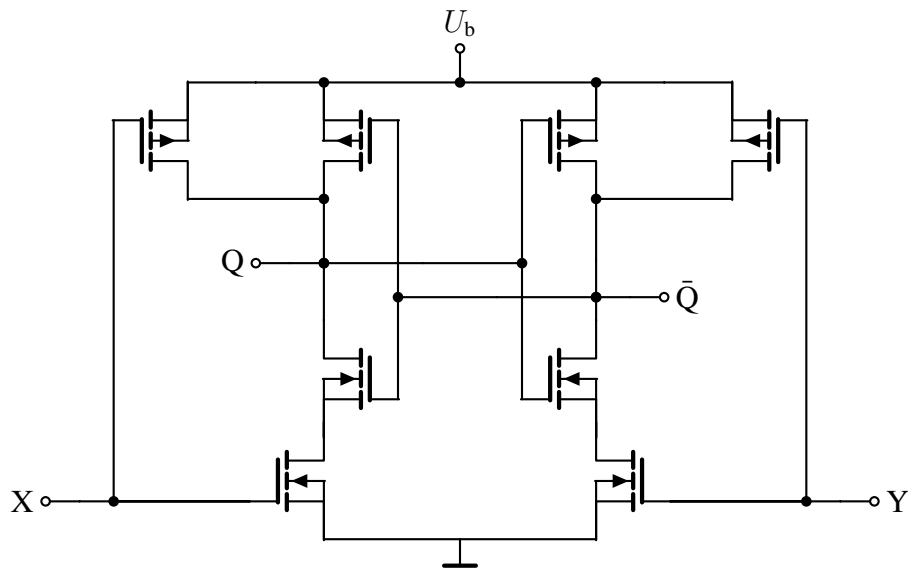


Abbildung 5

- a) Zeichnen Sie das Ersatzschaltbild des Flip-Flops mit Gattern.
- b) Geben Sie die Wahrheitstabelle für das Flip-Flop an. Um welche bekannte Art von Flip-Flop handelt es sich?
- c) Die Schaltung wird wie in Abb. 6 erweitert. Zeichnen Sie das neue Ersatzschaltbild mit Gattern.
- d) Geben Sie die neue Wahrheitstabelle an. Wie werden X und Y üblicherweise bezeichnet?
- e) Wie unterscheidet sich die Funktionsweise der Schaltung im Vergleich zur ursprünglichen Schaltung in Abb. 5.

