

## Elektronische Schaltungen SS2022

### 6. Übungsblatt

### Digitale Schaltungen

#### Aufgabe 1 (CMOS-Inverter mit parasitären Kapazitäten)

##### a) Entladeverhalten:

Sobald das Eingangssignal von Low auf High wechselt, ist die Gate-Source-Spannung des n-MOS-Transistors  $U_{GS,n} = U_b$ . Während sich die Kapazität entlädt, wird die Drain-Source-Spannung  $U_{DS,n}$  immer geringer. Die Bedingung  $U_{GS,n} > U_{DS,n} - U_{th}$  wird schnell erfüllt. Der Transistor befindet sich dann im linearen Bereich. In diesem Bereich beträgt der Drainstrom:

$$I_{D,n} = \beta_n(U_{GS,n} - U_{th}) \cdot U_{DS,n}$$

Der Transistor kann im linearen Bereich durch einen Widerstand  $r_{DS,n}$  modelliert werden

$$r_{DS,n} = \frac{U_{DS,n}}{I_{D,n}} = \frac{1}{\beta_n(U_{GS,p} - U_{th})} = \frac{1}{\beta_n(U_b - U_{th})},$$

Abb. 1 zeigt die entsprechende äquivalente Schaltung:

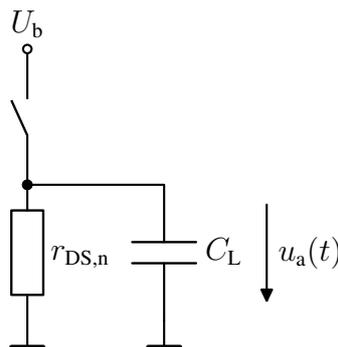


Abbildung 1

Für den Zeitverlauf der Ausgangsspannung gilt dann:

$$u_a(t) = U_b \cdot e^{-\frac{t}{r_{DS,n}C_L}}$$

Die Verzögerungszeit  $t_{pd,HL}$  ist die Zeit, bei der die Hälfte der High-Spannung erreicht wird:

$$u_a(t_{pd,HL}) = U_b \cdot e^{-\frac{t_{pd,HL}}{r_{DS,n}C_L}} \stackrel{!}{=} \frac{U_b}{2}$$

$$-\frac{t_{pd,HL}}{r_{DS,n}C_L} = \ln \frac{1}{2}$$

$$t_{pd,HL} = -r_{DS,n}C_L \cdot \ln \frac{1}{2}$$

### Aufladeverhalten

Wenn das Eingangssignal von *High* auf *Low* wechselt, sperrt n-MOS-Transistor und die kapazitive Last lädt sich über den p-MOS-Transistor auf.

Analog zum Aufladevorgang erreicht der p-MOS-Transistor nach einer vernachlässigbar kurzen Zeit den linearen Bereich. Sein Drainstrom ist dann:

$$I_{D,p} = \beta_p(U_{GS,p} - U_{th}) \cdot U_{DS}$$

Der Transistor kann im linearen Bereich durch einen Widerstand  $r_{DS,p}$  modelliert werden:

$$r_{DS,p} = \frac{U_{DS,p}}{I_{D,p}} = \frac{1}{\beta_p(U_{GS,p} - U_{th})},$$

wobei  $U_{GS,p} = U_b$  gilt, denn das Gate liegt bei einem *Low*-Signal am Eingang am Ground-Potential.

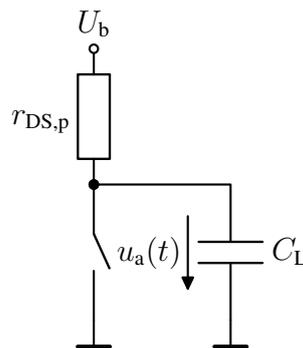


Abbildung 2

Das Aufladeverhalten der Kapazität folgt dann einer Exponentialfunktion:

$$u_a(t) = U_b \left( 1 - e^{-\frac{t}{r_{DS,p}C_L}} \right)$$

Die Verzögerungszeit  $t_{\text{pdLH}}$  wird dann wie folgt berechnet:

$$u_a(t_{\text{pdLH}}) = U_b \left( 1 - e^{-\frac{t_{\text{pdLH}}}{r_{\text{DS,p}} C_L}} \right) \stackrel{!}{=} \frac{U_b}{2}$$

$$-e^{-\frac{t_{\text{pdLH}}}{r_{\text{DS,p}} C_L}} = -\frac{1}{2}$$

$$-\frac{t_{\text{pdLH}}}{r_{\text{DS,p}} C_L} = \ln\left(\frac{1}{2}\right)$$

$$t_{\text{pdLH}} = -r_{\text{DS,p}} C_L \cdot \ln\left(\frac{1}{2}\right)$$

b) Die parasitären Kapazitäten können folgendermaßen bestimmt werden:

$$C_{\text{ox,n}} = C'_{\text{ox,n}} \cdot l_n \cdot w_n = 120 \text{ fF}/\mu\text{m}^2 \cdot 65 \text{ nm} \cdot 100 \text{ nm} = 0,78 \text{ fF}$$

$$C_{\text{ox,p}} = C'_{\text{ox,p}} \cdot l_p \cdot w_p = 120 \text{ fF}/\mu\text{m}^2 \cdot 65 \text{ nm} \cdot 300 \text{ nm} = 2,34 \text{ fF}$$

Am Ausgangsknoten des ersten Inverters sind die Kapazitäten wie in Abbildung 3 platziert. Da Bulk und Source der Transistoren jeweils kurzgeschlossen ist, sind die Oxid-Kapazitäten und Gate-Source-Overlap-Kapazitäten jeweils parallel zueinander geschaltet.

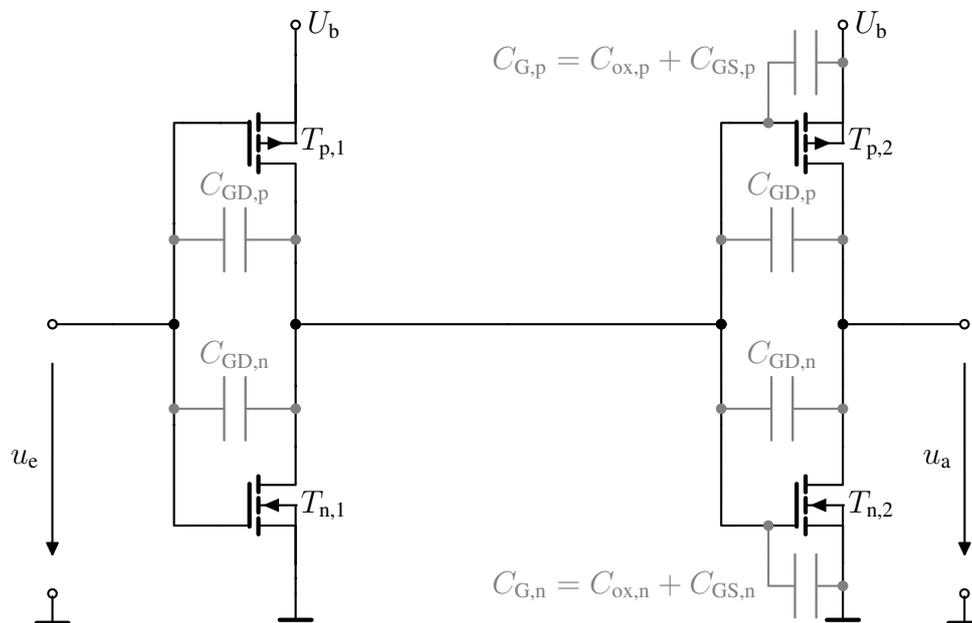


Abbildung 3

$$C_{G,n} = C_{ox,n} + C_{GS,n} = 0,78 \text{ fF} + 0,8 \text{ fF} = 1,58 \text{ fF}$$

$$C_{G,p} = C_{ox,p} + C_{GS,p} = 2,34 \text{ fF} + 0,8 \text{ fF} = 3,14 \text{ fF}$$

c) Die Kapazitäten  $C_{GD,p}$  und  $C_{GD,n}$  befinden sich zwischen Eingang und Ausgang der ersten Inverter-Stufe. Wenn der Eingang von 0 V auf  $U_b$  geschaltet wird (*LOW* auf *HIGH*), geht das Ausgangspotential der ersten Stufe von  $U_b$  auf 0 V. So ist die tatsächliche Spannungsänderung an den Gate-Drain-Kapazitäten doppelt so groß wie die Spannungsänderung am Ausgangsknoten.

Die Gate-Drain Kapazitäten des ersten Inverters können deshalb durch doppelt so große Kapazitäten nach Masse ( $2C_{GD,p}$  bzw.  $2C_{GD,n}$ ) modelliert werden.

Diese Beziehung kann auch anhand des Miller-Theorems bestätigt werden. Bei einem Schaltvorgang ist die Spannungsänderung am Ausgang betragsmäßig gleich wie die am Eingang. Die Spannungsverstärkung kann als  $A_0 = -1$  angenommen werden. Die äquivalente Kapazität am Ausgang des ersten Inverters ist dann:

$$C_{GD,n,eq} = C_{GD,n} \left( 1 - \frac{1}{A_0} \right) = 2C_{GD,n}$$

d) Da für diese Betrachtungen angenommen wird, dass die zweite Stufe noch nicht umgeschaltet hat, müssen die Gate-Drain-Kapazitäten der zweiten Stufe **nicht** anhand des Miller-Theorems umgewandelt werden. So liegen  $C_{GD,n}$ ,  $C_{GD,p}$ ,  $C_{G,n}$  und  $C_{G,p}$  zwischen dem Ausgangsknoten der ersten Inverter-Stufe und einem DC-Knoten. Da sich das Potential dieser Knoten nicht während des Schaltvorgangs ändert, können sie durch Erde ersetzt werden.

Die effektive Kapazität am Ausgangsknoten kann dann folgendermaßen modelliert werden:

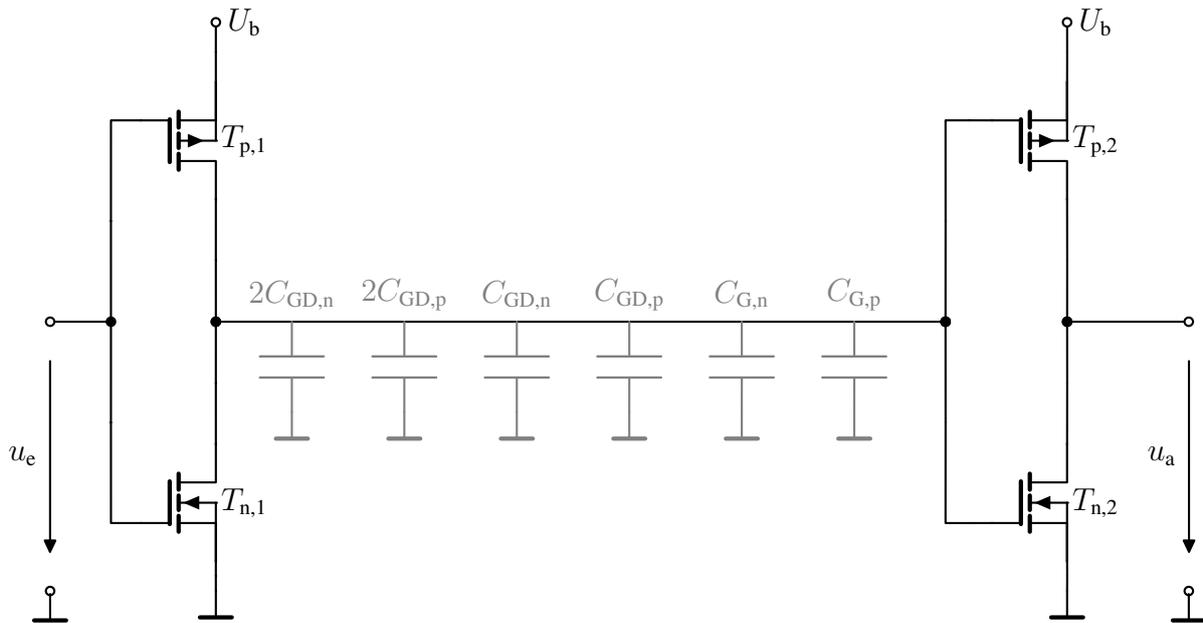


Abbildung 4

Die effektive Gesamtkapazität  $C_L$  mit der die Schaltung belastet wird ist also:

$$C_L = 2C_{GD,n} + 2C_{GD,p} + C_{GD,n} + C_{GD,p} + C_{G,n} + C_{G,p}$$

$$C_L = 2 \cdot 0,5 \text{ fF} + 2 \cdot 0,5 \text{ fF} + 0,5 \text{ fF} + 0,5 \text{ fF} + 1,58 \text{ fF} + 3,14 \text{ fF} = 7,72 \text{ fF}$$

e) Die Verzögerungszeit beträgt

$$t_{pdHL} = -r_{DS,n} \cdot C_L \cdot \ln\left(\frac{1}{2}\right) = 20,3 \text{ ps}$$

$$t_{pdLH} = -r_{DS,p} \cdot C_L \cdot \ln\left(\frac{1}{2}\right) = 20,3 \text{ ps},$$

mit

$$r_{DS,p} = r_{DS,n} = \frac{U_{DS,n}}{I_{D,n}} = \frac{1}{\beta_n(U_b - U_{th})} = 3,79 \text{ k}\Omega$$

Die gespeicherte Energie in der vollständig aufgeladenen Kapazität ist:

$$E_C = \frac{1}{2} C_L U_b^2$$

Bei jedem Clock-Zyklus wird die effektive Last-Kapazität einmal aufgeladen und einmal aufgeladen. Die dynamische Verlustleistung  $P_{dyn}$  der Schaltung berechnet sich zu::

$$P_{\text{dyn}} = 2f_{\text{clk}} \cdot \frac{1}{2} C_L U_b^2 = 1,54 \mu\text{W}$$

## Aufgabe 2 (Digitale Schaltung mit Bipolartransistoren)

a) Eine bistabile Schaltung ist eine Schaltung, deren Ausgänge zwei Zustände stabil annehmen können. Ohne äußere Auswirkung soll der Ausgangszustand unverändert bleiben.

Damit die gegebene Schaltung bistabil funktioniert, muss sie so eingestellt werden, dass immer jeweils ein Transistor leitet und der andere sperrt. Die Widerstände sollen so gewählt werden, dass sich diese Zustände gegenseitig halten.

b) Am Zweig, in dem der Transistor leitet, fällt die gesamte Versorgungsspannung  $U_b$  am Kollektorwiderstand  $R_C$  ab. Der Kollektorstrom kann anhand des ohmschen Gesetzes berechnet werden:

$$I_{C,\text{ein}} = \frac{U_b}{R_C} \stackrel{!}{=} 0,5 \text{ mA}$$

Der Kollektor-Widerstand muss entsprechend gewählt werden:

$$R_C = \frac{2 \text{ V}}{0,5 \text{ mA}} = 4 \text{ k}\Omega$$

Wenn  $T_2$  sperrt, soll das Potential am Ausgangsknoten der *High*-Spannung entsprechen. Da in diesem Fall kein Strom in den Kollektor von  $T_2$  fließt, bilden  $R_C$ ,  $R_1$  und  $R_2$  einen Spannungsteiler. Daraus folgt:

$$U_Q = U_b \frac{R_1 + R_2}{R_C + R_1 + R_2} \stackrel{!}{=} 1 \text{ V}$$

$$\frac{R_1 + R_2}{R_C + R_1 + R_2} = \frac{1 \text{ V}}{2 \text{ V}}$$

$$R_1 + R_2 = \frac{1}{2}(R_C + R_1 + R_2)$$

$$R_1 + R_2 = R_C = 4 \text{ k}\Omega$$

Gleichzeitig muss der Spannungsteiler zwischen  $R_1$  und  $R_2$  dafür sorgen, dass der entgegengesetzte Transistor (in diesem Fall  $T_1$ ) leitet. Das Potential an seiner Basis soll dafür 0,8 V betragen:

$$U_{R2} = 1 \text{ V} \cdot \frac{R_2}{R_1 + R_2} \stackrel{!}{=} 0,8 \text{ V}$$

$$R_2 = 0,8 \text{ V} \cdot (R_1 + R_2) = 3,2 \text{ k}\Omega$$

$$R_1 = 0,8 \text{ k}\Omega$$

c) Die Schaltung ist nun so entworfen, dass immer einer der beiden Zweige sperrt und der andere leitet. Die Verlustleistung des leitenden Zweigs ist gegeben durch:

$$P_{\text{leit}} = \frac{U_b^2}{R_C} = 1 \text{ mW}$$

Und die Leistung des sperrenden Zweigs ist gegeben durch:

$$P_{\text{sperr}} = \frac{U_b^2}{R_C + R_1 + R_2} = 0,5 \text{ mW}$$

Die statische Verlustleistung beträgt insgesamt:

$$P_{\text{ges}} = P_{\text{leit}} + P_{\text{sperr}} = 1,5 \text{ mW}$$

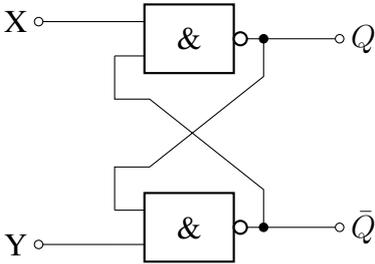
d) Die Wahrheitstabelle der Schaltung ist in Tab. 1 zu sehen. Offene Schalte werden als 0 bezeichnet und geschlossene Schalter als 1.

X	Y	$Q$	$\overline{Q}$	
0	0	$Q_{-1}$	$\overline{Q_{-1}}$	
0	1	1	0	
1	0	0	1	
1	1	1	1	<b>Verboten</b>

**Tabelle 1**

### Aufgabe 3 (CMOS-Flip-Flop)

a) Die Schaltung besteht aus zwei NAND-Gattern, die folgendermaßen verschaltet sind:



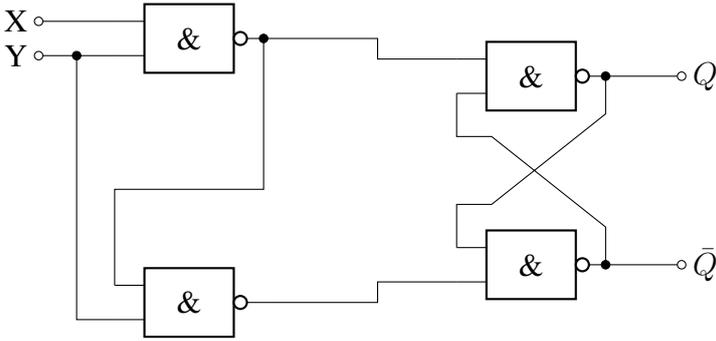
b)

X	Y	Q	$\bar{Q}$	
0	0	1	1	<b>Verboten</b>
0	1	1	0	
1	0	0	1	
1	1	$Q_{-1}$	$\bar{Q}_{-1}$	

Tabelle 2

Die Wahrheitstabelle zeigt, dass die Schaltung einem  $\bar{R}\bar{S}$ -Flip-Flop entspricht.

c) Der Schaltung wurden zwei weitere NAND-Gatter hinzugefügt:



d)

X	Y	Q	$\overline{Q}$
0	0	$Q_{-1}$	$\overline{Q}_{-1}$
0	1	0	1
1	0	$Q_{-1}$	$\overline{Q}_{-1}$
1	1	1	0

**Tabelle 3**

Tab. 3 ist die Wahrheitstabelle der Schaltung in Abb. 5 des Übungsblatts. Das Verhalten entspricht einem D-Flip-Flop. Üblicherweise wird das Signal X als *Data* (D) bezeichnet und das Signal Y als *Clock* (C).

e) Es gibt zwei wichtige Unterschiede zwischen den beiden Flipflops:

- Solange am Clock-Eingang (Y) ein *Low*-Signal anliegt, liefern die zwei Eingangsgatter jeweils ein *High*-Signal. Der Zustand des Flip-Flops bleibt dann unverändert.

Wenn ein *High*-Signal am Clock-Eingang (Y) anliegt, wird das Data-Signal (X) an den Ausgang Q übertragen.

- Die zusätzlichen Gatter vermeiden den verbotenen Zustand. Bei keiner Kombination der neuen Eingangssignalen wird das ursprüngliche  $\overline{R}\overline{S}$ -Flip-Flop mit zwei *Low*-Signalen eingespeist.