

Aufgaben zum Tutorium 6

"Elektronische Schaltungen"

SS 2013

Aufgabe 28:

Gegeben ist eine Schaltung nach Bild 28.1

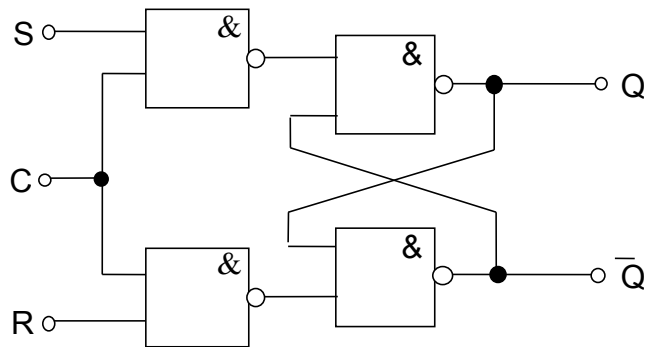


Bild 28.1

28.1 Skizzieren Sie das genormte Schaltsymbol für die Schaltung!

28.2 Vervollständigen Sie die Wahrheitstabelle für die Schaltung!

C	S	R	Q	$\bar{Q}$
0				
1	0	0		
1	0	1		
1	1	0		
1	1	1		

28.3 An die Eingänge der Schaltung werden Signale nach Bild 28.2 angelegt. Tragen Sie den Signalverlauf an den Ausgängen in das Diagramm ein!

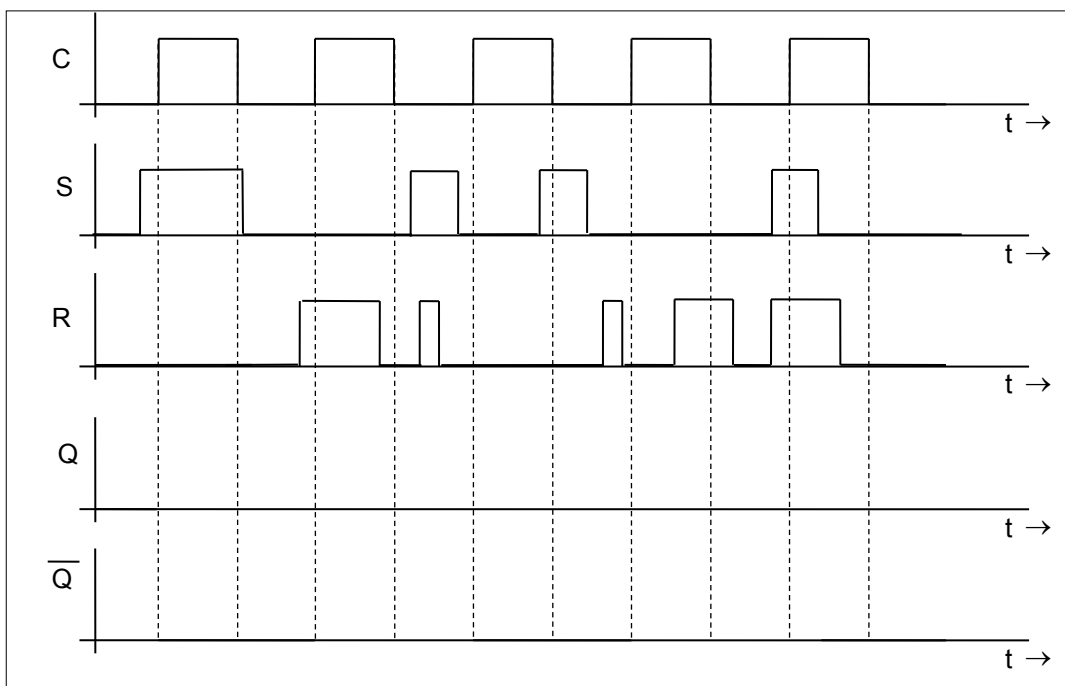


Bild 28.2

Aufgabe 29:

Gegeben ist ein Flip-Flop nach Bild 29.1

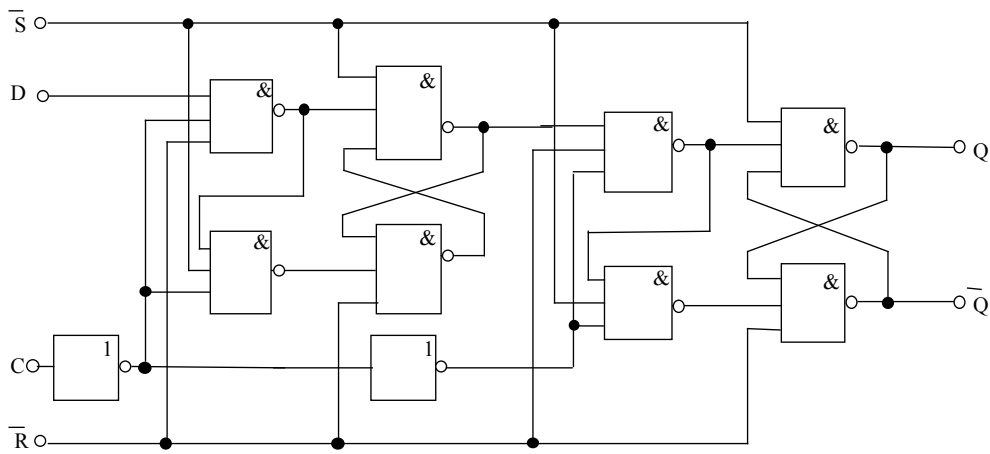


Bild 29.1

29.1 Beschreiben Sie die Funktion des Flip-Flops in Worten !

29.2 Beschreiben Sie die Funktion des Flip-Flops anhand einer Wahrheitstabelle !

29.3 An den Eingängen der Schaltung werden die Signale nach Bild 29.2 angelegt. Skizzieren Sie die Signale an den Ausgängen Q und $\overline{Q}$! ($Q(t=0) = \text{HIGH}$)

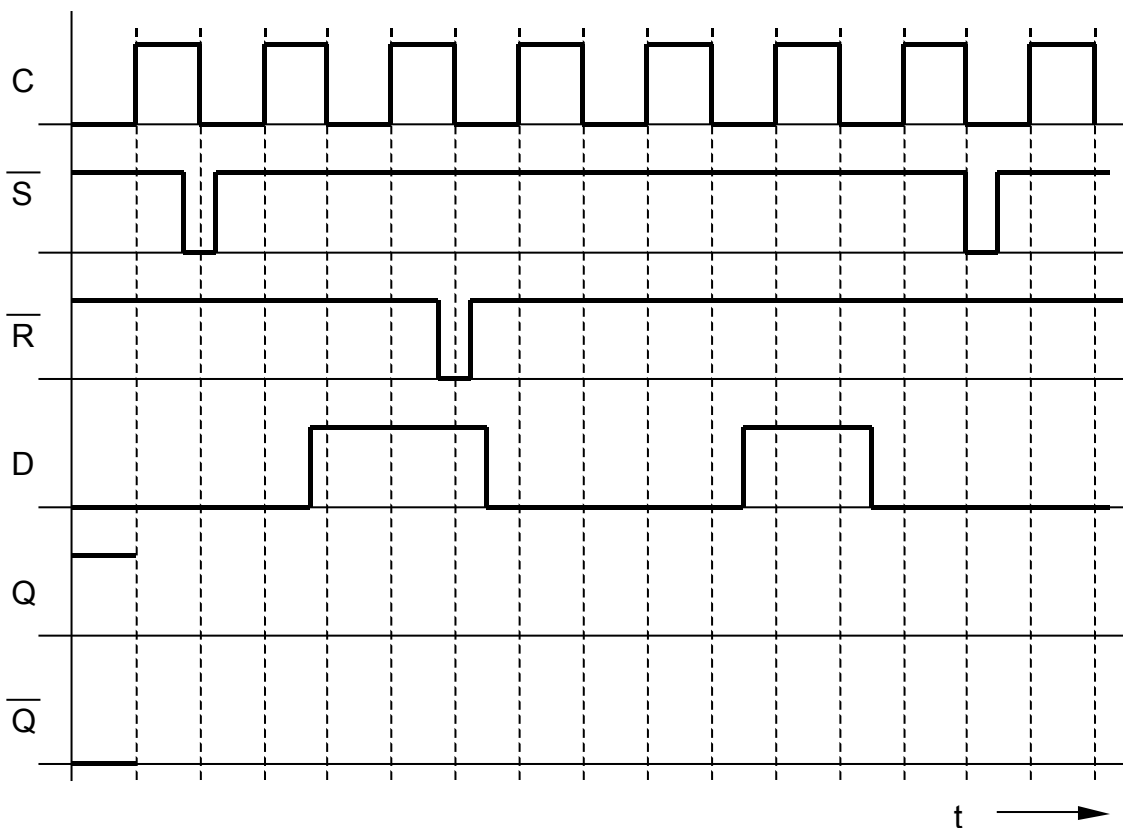


Bild 29.2

Aufgabe 30:

Die Bilder 30a bis 30d zeigen vier JK-Flip-Flops, die aus bekannten Grundelementen zusammengesetzt sind.

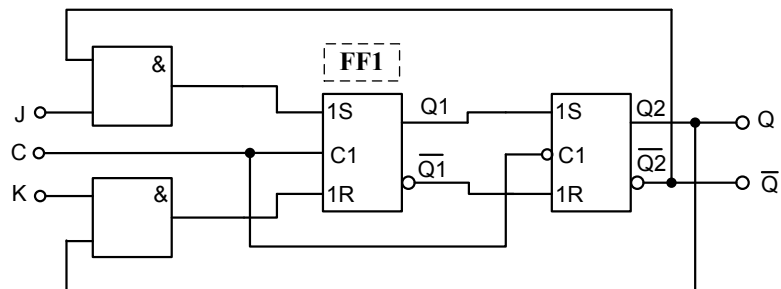


Bild 30a

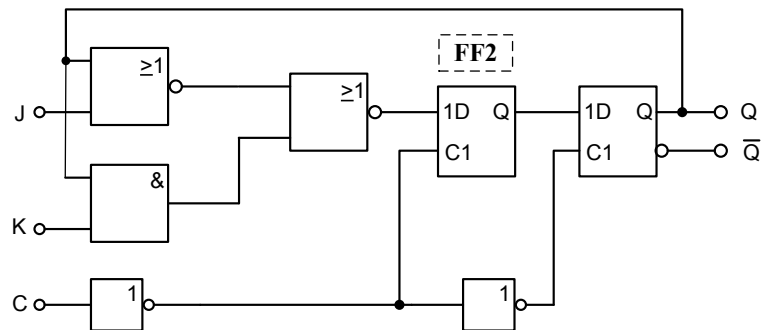


Bild 30b

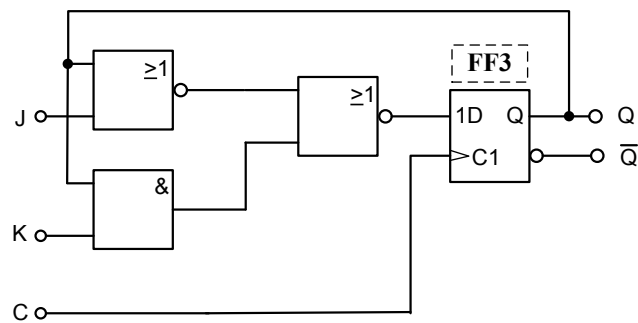


Bild 30c

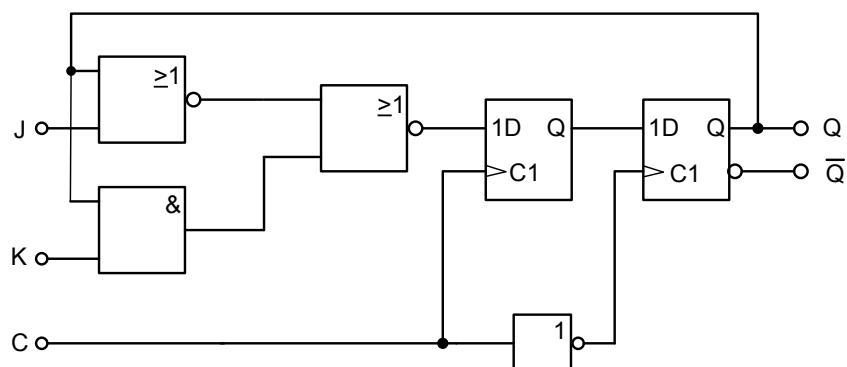


Bild 30d

- 30.1 Erstellen Sie die Wahrheitstabellen für die Flip-Flops **FF1** (in Bild 30a) , **FF2** (in Bild 30b) und **FF3** (in Bild 30c) !
- 30.2 Zeichnen Sie die logischen Symbole der vier JK-Flip-Flops! Achten Sie dabei auf folgende Details: Taktzustands- oder Taktflankengesteuert !
- 30.3 In Bild 30.2 ist ein zeitlicher Verlauf von Eingangssignalen (C, J und K) vorgegeben. Ergänzen Sie für die vier Flip-Flops Bild 30a bis 30d die zugehörigen Ausgangssignale am jeweiligen Q Ausgang der Flipflops !

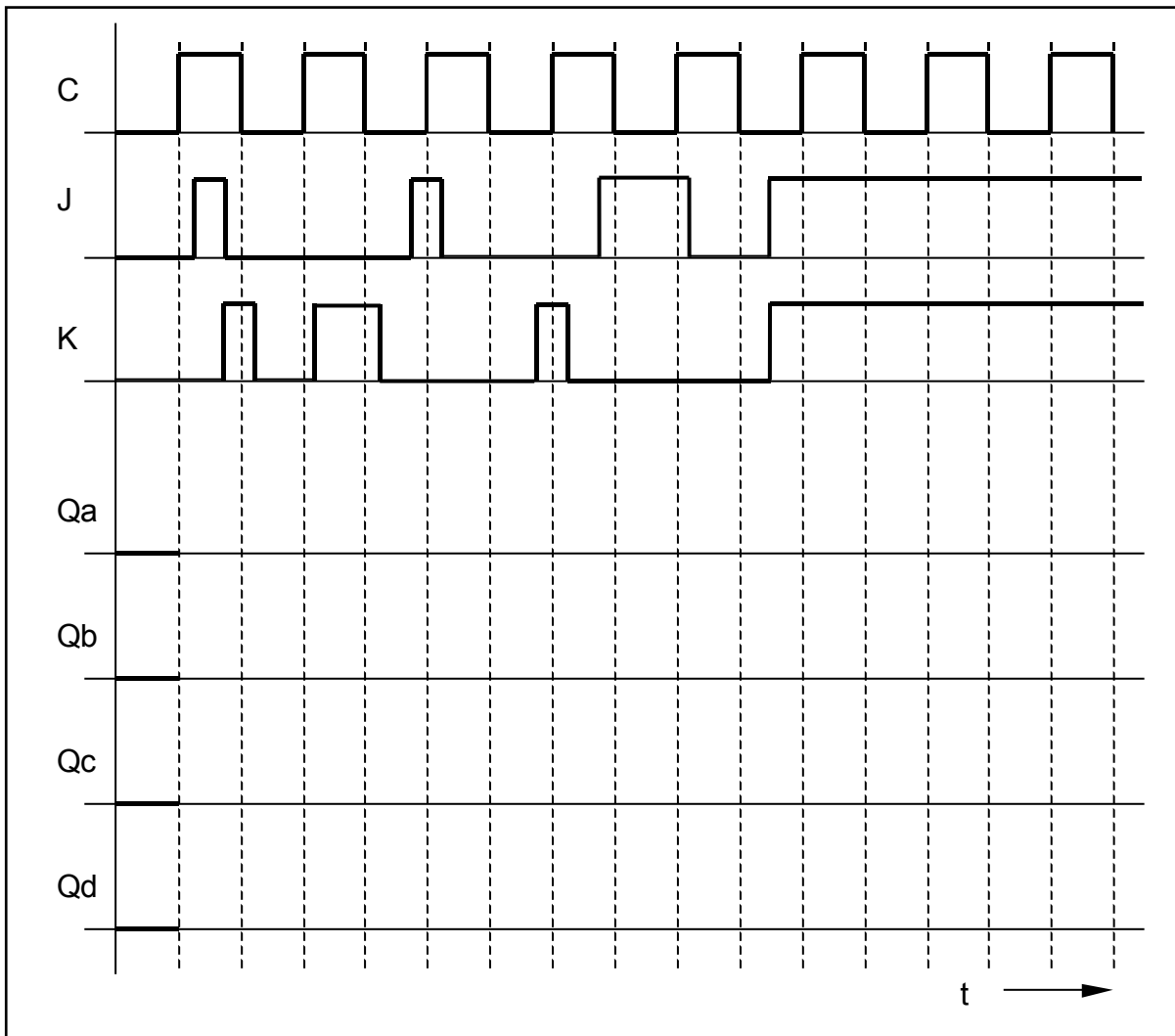


Bild 30.2

Aufgabe 31:

In Bild 31.1 ist die schaltungstechnische Auslegung eines logischen Gatters in CMOS dargestellt.

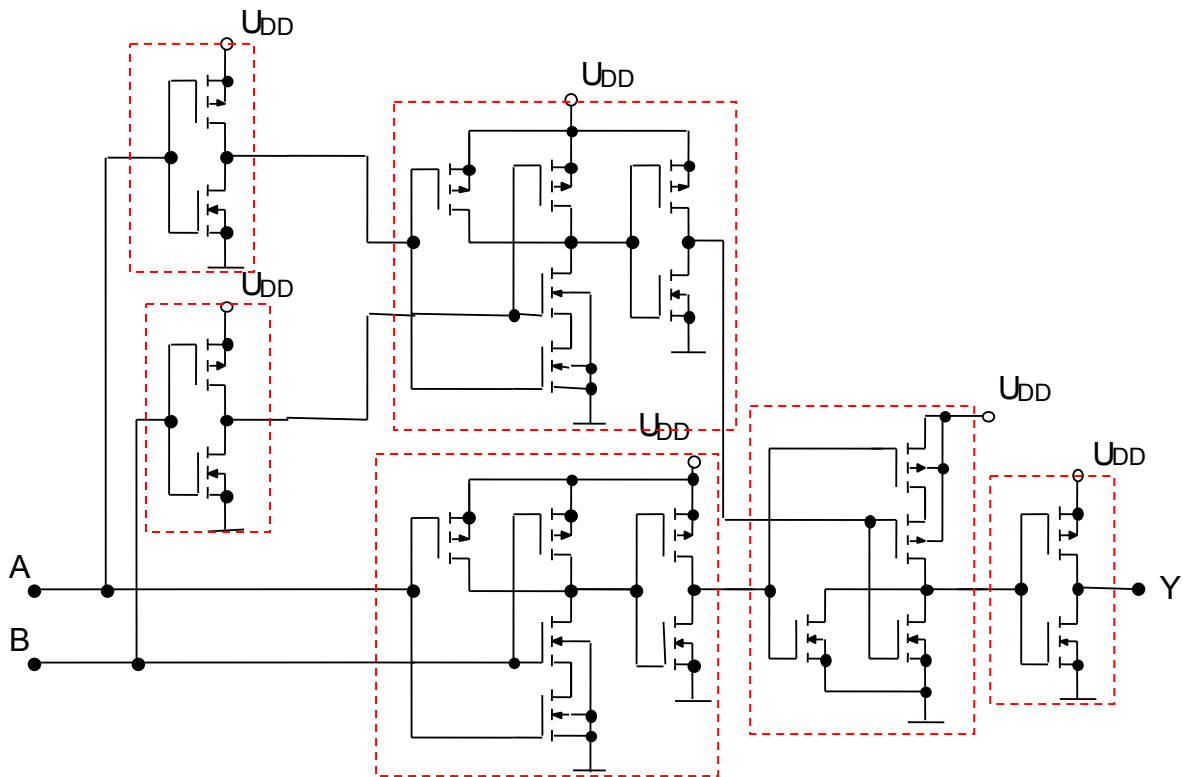


Bild 31.1

31.1 Zeichnen Sie das Ersatzschaltbild der Schaltung aus den 6 markierten logischen Gattern mit den genormten Symbolen nach DIN 40900!

31.2 Ergänzen Sie die Wahrheitstabelle für die Schaltung nach Bild 30.1!

A	B	Y
0	0	
1	0	
0	1	
1	1	

31.3 Um welche logische Funktion handelt es sich?

31.4 Geben Sie das genormte Symbol nach DIN 40900 für diese Funktion an!

Aufgabe 32

Sie sollen den Signal-Rausch-Abstand (SNR) eines DA-Wandlers bestimmen, der durch das Quantisierungsrauschen limitiert ist. Das Quantisierungsrauschen entsteht dadurch, dass ein DA-Wandler nur bestimmte quantisierte Zustände ausgeben kann. Die dabei auftretenden Amplitudensprünge, fügen dem Ausgangssignal zusätzliche rauschähnliche Frequenzanteile hinzu.

Der DA-Wandler ist ein n -Bit Wandler, der bipolare Spannungen mit Amplituden im Bereich $\pm \frac{A}{2}$ ausgeben kann (siehe Bild 32.1).

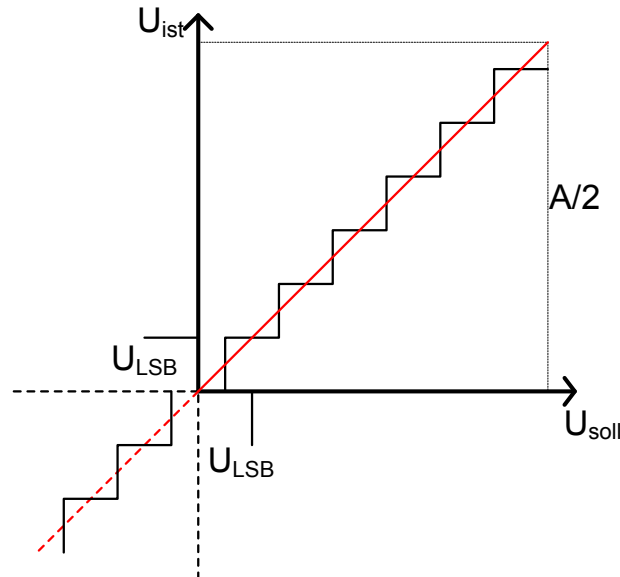


Bild 32.1 Vergleich der Ausgangskennlinie eines DA Wandlers mit (schwarz) und ohne Quantisierung (rot).

32.1 Bestimmen Sie den größten Quantisierungsfehler Δ_{err} in Abhängigkeit von A und n , der bei einer Wandlung auftreten kann!

32.2 Nehmen Sie an, dass der DA-Wandler in Vollaussteuerung einen Sinus mit der Amplitude $\frac{A}{2}$ darstellen kann. Bestimmen sie die mittlere Leistung P_{sinus} der Sinusschwingung in Abhängigkeit von A !

32.3 Bestimmen Sie den Signal-Rausch-Abstand $10 \log_{10} \left(\frac{P_{\text{sinus}}}{\sigma_q^2} \right)$ in Abhängigkeit von der Wandlerbreite n , wenn $\sigma_q^2 = \frac{\Delta_{\text{err}}^2}{12}$ ist und 32.2 gilt!

32.4 Um wie viele dB verbessert sich das SNR zwischen einem 12-bit Wandler und einem 16-bit Wandler basierend auf 32.3?

Lösungen zum Tutorium 6 in Elektronische Schaltungen

Name:.....Vorname:.....Matr.Nr.:.....

Gruppe:.....

Lösung Aufgabe 28

Lösung Aufgabe 32